

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-52290

(P2007-52290A)

(43) 公開日 平成19年3月1日(2007.3.1)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 505	5C006
G09G 3/20 (2006.01)	G02F 1/133 550	5C080
	G09G 3/20 622D	
	G09G 3/20 622G	
審査請求 有 請求項の数 6 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2005-237924 (P2005-237924)

(22) 出願日 平成17年8月18日 (2005.8.18)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100094053

弁理士 佐藤 隆久

(72) 発明者 板倉 直之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 2H093 NA16 NA32 NA43 NC18 NC34
NC35 ND07 NE07 NG20

最終頁に続く

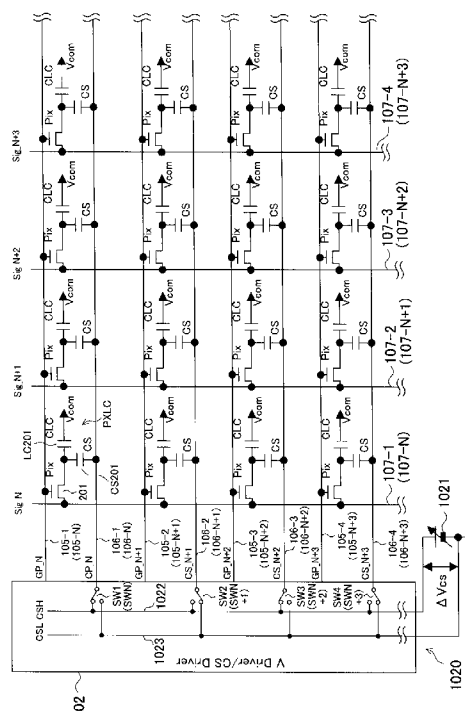
(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】 黒輝度および白輝度の両方をともに最適化することが可能な表示装置およびその駆動方法を提供する。

【解決手段】 画素回路の行配列に対応するように配置されたゲートライン105-1~105-mと、画素回路の行配列に対応するように配置された複数の容量配線106-1~106-mと、ゲートラインおよび容量配線を選択的に駆動する垂直駆動回路102と、所定の周期でレベルが切り替わる小振幅のコモン電圧信号を生成する生成回路104と、を有し、各画素回路は、第1画素電極および第2画素電極を有する液晶セルLC201と、第1電極および第2電極を有する保持容量CS201と、を含み、液晶セルの第1画素電極と保持容量の第1電極とTFTの一端子が接続され、保持容量の第2電極が対応する行に配列された容量配線に接続され、液晶セルの第2画素電極にはコモン電圧信号が印加される。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

スイッチング素子を通して映像用画素データを書き込む複数の画素回路がマトリクス状に配置された画素部と、

上記画素回路の行配列に対応するように

配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、

上記画素回路の行配列に対応するように配置された複数の容量配線と、

上記画素回路の列配列に対応するように配置され、上記画素データを伝搬する複数の信号ラインと、

上記複数の走査ライン、および上記複数の容量配線を選択的に駆動する駆動回路と、

10

所定の周期でレベルが切り替わる小振幅のコモン電圧信号を生成する生成回路と、を有し、

上記画素部に配列された各画素回路は、

第 1 画素電極および第 2 画素電極を有する表示エレメントと、

第 1 電極および第 2 電極を有する保持容量と、を含み、

上記表示エレメントの第 1 画素電極と上記保持容量の第 1 電極と上記スイッチング素子の一端子が接続され、

上記保持容量の第 2 電極が対応する行に配列された上記容量配線に接続され、

上記表示エレメントの第 2 画素電極には上記コモン電圧信号が印加される

表示装置。

20

【請求項 2】

上記駆動回路は、選択された行の走査ラインを駆動して所望の画素回路に画素データを書き込ませた後、同一の行の上記容量配線を駆動する

請求項 1 記載の表示装置。

【請求項 3】

上記駆動回路は、上記容量配線を駆動する信号は、第 1 レベルと当該第 1 レベルより低い第 2 レベルとのいずれかを選択して対応する容量配線に印加する

請求項 2 記載の表示装置。

【請求項 4】

上記コモン電圧信号の振幅値と上記容量配線を駆動する信号の第 1 レベルと第 2 レベルとの電位差の値は、実効画素電位が所定のしきい値以下となるように選定されている

30

請求項 3 記載の表示装置。

【請求項 5】

上記画素回路の表示エレメントが液晶セルである

請求項 4 記載の表示装置。

【請求項 6】

スイッチング素子を通して信号ラインを伝搬される映像用画素データを書き込む複数の画素回路がマトリクス状に配置された画素部と、

上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、

40

上記画素回路の行配列に対応するように配置された複数の容量配線と、

上記画素部に配列された各画素回路は、

第 1 画素電極および第 2 画素電極を有する表示エレメントと、

第 1 電極および第 2 電極を有する保持容量と、を含み、

上記表示エレメントの第 1 画素電極と上記保持容量の第 1 電極と上記スイッチング素子の一端子が接続され、

上記保持容量の第 2 電極が対応する行に配列された上記容量配線に接続された

表示装置の駆動方法であって、

上記容量配線は個別に駆動し、

上記表示エレメントの第 2 画素電極には所定の周期でレベルが切り替わる小振幅のコモ

50

ン電圧信号を印加し、

選択された行の走査ラインを駆動して所望の画素回路に画素データを書き込ませた後、同一の行の上記容量配線を駆動する

表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、たとえば液晶セルを画素の表示エレメント（電気光学素子）を表示領域にマトリクス状に配列したアクティブマトリクス型の表示装置およびその駆動方法に関するものである。

10

【背景技術】

【0002】

表示装置、たとえば液晶セルを画素の表示エレメント（電気光学素子）に用いた液晶表示装置は、薄型で低消費電力であるという特徴をいかして、たとえば携帯情報端末（Personal Digital Assistant：PDA）、携帯電話、デジタルカメラ、ビデオカメラ、パーソナルコンピュータ用表示装置等、幅広い電子機器に適用されている。

【0003】

図1は、液晶表示装置の構成例を示すブロック図である（たとえば特許文献1，2参照）。

液晶表示装置1は、図1に示すように、有効画素部2、垂直駆動回路（VDRV）3、および水平駆動回路（HDRV）4を有している。

20

【0004】

有効画素部2は、複数の画素回路21が、マトリクス状に配列されている。

各画素回路21は、スイッチング素子として薄膜トランジスタ（TFT；thin film transistor）21と、TFT21のドレイン電極（またはソース電極）に画素電極が接続された液晶セルLC21と、TFT21のドレイン電極に一方の電極が接続された保持容量Cs21により構成されている。

これら画素回路21の各々に対して、走査ライン（ゲートライン）5-1～5-mが各行ごとにその画素配列方向に沿って配線され信号ライン6-1～6-nが各列ごとにその画素配列方向に沿って配線されている。

30

そして、各画素回路21のTFT21のゲート電極は、各行単位で同一の走査ライン5-1～5-mにそれぞれ接続されている。また、各画素回路21のソース電極（または、ドレイン電極）は、各列単位で同一の信号ライン6-1～6-nに各々接続されている。

【0005】

さらに、一般的な液晶表示装置においては、保持容量配線Csを独立に配線し、この保持容量配線とCsと液晶セルLC21の第1電極との間に保持容量Cs21を形成するが、保持容量配線Csは、コモン電圧VCOMと同相パルスが入力され、保持容量として用いる。一般的な液晶表示装置においては、有効画素部2におけるすべての画素回路21の保持容量Cs21は、一つの保持容量配線Csに共通に接続されている。

そして、各画素回路21の液晶セルLC21の第2電極は、たとえば1水平走査期間（1H）毎に極性が反転するコモン電圧Vcomの供給ライン7に共通に接続されている。

40

【0006】

各走査ライン5-1～5-mは、垂直駆動回路3により駆動され、各信号ライン6-1～6-nは水平駆動回路4により駆動される。

【0007】

垂直駆動回路3は、1フィールド期間ごとに垂直方向（行方向）に走査して走査ライン5-1～5-mに接続された各画素回路21を行単位で順次選択する処理を行う。

すなわち、垂直駆動回路3から走査ライン5-1に対して走査パルスSP1が与えられたときには第1行目の各列の画素が選択され、走査ライン5-2に対して走査パルスSP2が与えられたときには第2行目の各列の画素が選択される。以下同様にして、走査ライ

50

ン 5 - 3 , ... , 5 - m に対して走査パルス $S P 3 , \dots , S P m$ が順に与えられる。

【 0 0 0 8 】

図 2 (A) ~ (E) に、図 1 に示す一般的な液晶表示装置のいわゆる 1 H V c o m 反転駆動方式におけるタイミングチャートを示す。

【 0 0 0 9 】

また、他の駆動方式として、保持容量配線 $C s$ からのカップリングを利用して液晶への印加電圧を変調させる容量結合駆動方式が知られている（たとえば特許文献 3 参照）。

【特許文献 1】特開平 1 1 - 1 1 9 7 4 6 号公報

【特許文献 2】特開 2 0 0 0 - 2 9 8 4 5 9 号公報

【特許文献 3】特開平 2 - 1 5 7 8 1 5 号公報

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

上述した容量結合駆動方式は、1 H V c o m 反転駆動方式に比べ、いわゆるオーバドライブによる液晶の応答速度を改善でき、また、V c o m 周波数帯域で発生するオーディオノイズを低減でき、超高精細パネルにおけるコントラスト補償（最適化）が行えるなどの特徴がある。

【 0 0 1 1 】

ところが、特許文献 3 に記載されたこの容量結合駆動方式を、図 3 に示すような、印加電圧に対する液晶誘電率 ϵ の特性を有する液晶材料（ノーマリホワイト対応）を用いて液晶表示装置に採用した場合、下記の式（1）、図 4 および図 5 に示すように、黒輝度を最適化しようとした際、白輝度が黒くなる（沈んでしまう）という不利益がある。

20

このことにより、現在の容量結合駆動方式を採用した液晶表示装置においては、黒輝度、白輝度の両者を同時に最適化することができないという不利益がある。

【 0 0 1 2 】

（数 1）

$$\Delta V_{pix1} = V_{sig} + \{ C_{cs} / (C_{cs} + C_{lc}) \} * \Delta V_{cs} - V_{com} \quad \dots (1)$$

【 0 0 1 3 】

式（1）において、 ΔV_{pix} は実効画素電位、 V_{sig} は映像信号電圧、 C_{cs} は保持容量、 C_{lc} は液晶容量を、 ΔV_{cs} は信号 $C S$ の電位を、 V_{com} はコモン電圧をそれぞれ示している。

30

上述したように、黒輝度を最適化しようとした際、白輝度が沈んでしまうのは、上記式（1）の $\{ C_{cs} / (C_{cs} + C_{lc}) \} * \Delta V_{cs}$ の項にあり、液晶誘電率の非線形性が実効画素電位に影響を与えるためである。

【 0 0 1 4 】

本発明の目的は、黒輝度および白輝度の両方をともに最適化することが可能な表示装置およびその駆動方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 5 】

40

本発明の第 1 の観点の表示装置は、スイッチング素子を通して映像用画素データを書き込む複数の画素回路がマトリクス状に配置された画素部と、上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、上記画素回路の行配列に対応するように配置された複数の容量配線と、上記画素回路の列配列に対応するように配置され、上記画素データを伝搬する複数の信号ラインと、上記複数の走査ライン、および上記複数の容量配線を選択的に駆動する駆動回路と、所定の周期でレベルが切り替わる小振幅のコモン電圧信号を生成する生成回路と、を有し、上記画素部に配列された各画素回路は、第 1 画素電極および第 2 画素電極を有する表示エレメントと、第 1 電極および第 2 電極を有する保持容量と、を含み、上記表示エレメントの第 1 画素電極と上記保持容量の第 1 電極と上記スイッチング素子の一端子が接続され、上記保持容

50

量の第2電極が対応する行に配列された上記容量配線に接続され、上記表示エレメントの第2画素電極には上記コモン電圧信号が印加される。

【0016】

好適には、上記駆動回路は、選択された行の走査ラインを駆動して所望の画素回路に画素データを書き込ませた後、同一の行の上記容量配線を駆動する。

【0017】

好適には、上記駆動回路は、上記容量配線を駆動する信号は、第1レベルと当該第1レベルより低い第2レベルとのいずれかを選択して対応する容量配線に印加する。

【0018】

好適には、上記コモン電圧信号の振幅値と上記容量配線を駆動する信号の第1レベルと第2レベルとの電位差の値は、実効画素電位が所定のしきい値以下となるように選定されている。 10

【0019】

好適には、上記画素回路の表示エレメントが液晶セルである。

【0020】

本発明の第2の観点の表示装置は、スイッチング素子を通して信号ラインを伝搬される映像用画素データを書き込む複数の画素回路がマトリクス状に配置された画素部と、上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、上記画素回路の行配列に対応するように配置された複数の容量配線と、上記画素部に配列された各画素回路は、第1画素電極および第2画素電極を有する表示エレメントと、第1電極および第2電極を有する保持容量と、を含み、上記表示エレメントの第1画素電極と上記保持容量の第1電極と上記スイッチング素子の一端子が接続され、上記保持容量の第2電極が対応する行に配列された上記容量配線に接続された表示装置の駆動方法であって、上記容量配線は個別に駆動し、上記表示エレメントの第2画素電極には所定の周期でレベルが切り替わる小振幅のコモン電圧信号を印加し、選択された行の走査ラインを駆動して所望の画素回路に画素データを書き込ませた後、同一の行の上記容量配線を駆動する。 20

【発明の効果】

【0021】

本発明によれば、黒輝度および白輝度の両方をともに最適化することができる利点がある。 30

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施の形態について図面に関連付けて詳細に説明する。

【0023】

図6は、たとえば液晶セルを画素の表示エレメント（電気光学素子）として用いた本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す図である。

【0024】

本表示装置100は、図6に示すように、有効画素部101、垂直駆動回路（VDRV）102、水平駆動回路（HDRV）103、およびコモン電圧生成回路（VcomGen）104を、主構成要素として有している。 40

【0025】

有効画素部101は、図7に示すように、複数の画素回路PXL Cが、 $m \times n$ のマトリクス状に配列されている。具体的には、全体としてノーマル表示が可能ないように、たとえば $320 \times RGB \times 320$ 個の画素回路が配列されている。

なお、図7においては、図面の簡単化のために、 4×4 のマトリクス配列として示している。

【0026】

各画素回路PXL Cは、図7に示すように、スイッチング素子としてTFT（薄膜トランジスタ；thin film transistor）201と、TFT 201のドレイン電極（またはソー 50

ス電極)に第1画素電極が接続された液晶セルLC201と、TFT201のドレイン電極に第1電極が接続された保持容量Cs201により構成されている。

なお、TFT201のドレインと、液晶セルLC201の第1画素電極と、保持容量Cs201の第1電極との接続点によりノードND201が形成されている。

【0027】

これら画素回路PXLの各々に対して、ゲートライン(走査ライン)105-1~105-mおよび保持容量配線(以下、ストレージラインという)106-1~106-mが各行ごとにその画素配列方向に沿って配線され、信号ライン107-1~107-nが各列ごとにその画素配列方向に沿って配線されている。

【0028】

そして、各画素回路PXLのTFT201のゲート電極は、各行単位で同一のゲートライン105-1~105-mにそれぞれ接続されている。

各画素回路PXLの保持容量Csの第2電極は、各行単位で同一のストレージライン106-1~106-mにそれぞれ接続されている。

また、各画素回路PXLのソース電極(または、ドレイン電極)は、各列単位で同一の信号ライン107-1~107-nに各々接続されている。

そして、各画素回路PXLの液晶セルLC201の第2画素電極は、1水平走査期間(1H)に極性が反転する小振幅のコモン電圧VCOMの図示しない供給ラインに共通に接続されている。

【0029】

各ゲートライン105-1~105-mは、垂直駆動回路102のゲートドライバにより駆動され、各ストレージライン106-1~106-mは垂直駆動回路102の容量ドライバ(CSドライバ)により駆動され、各信号ライン107-1~107-nは水平駆動回路103により駆動される。

【0030】

垂直駆動回路102は、基本的には、1フィールド期間ごとに垂直方向(行方向)に走査してゲートライン105-1~105-mに接続された各画素回路PXLを1行単位で順次選択する処理を行う。

すなわち、垂直駆動回路102は、ゲートライン105-1に対してゲートパルスGP1を与えて第1行目の各列の画素が選択し、ゲートライン105-2に対してゲートパルスGP2を与えて第2行目の各列の画素を選択する。以下同様にして、ゲートライン105-3, ..., 105-mに対してゲートパルスGP3, ..., GPMを順に与える。

【0031】

さらに、垂直駆動回路102は、各ゲートライン毎に対応して独立に配線された各ストレージライン106-1~106-m毎に第1レベル(CSH、たとえば3V~4V)または第2レベル(CSL、たとえば0V)のいずれかに選択した容量信号(以下、ストレージ信号という)CS1~CSmを順に与える。

【0032】

図8(A)~(L)は、本実施形態の垂直駆動回路のゲートラインとストレージラインの駆動例を示すタイミングチャートである。

【0033】

垂直駆動回路102は、たとえば第1行目から順番にゲートライン105-1~105-m、ストレージライン106-1~106-mを駆動していくが、ゲートパルスでのゲートラインを駆動した後(信号書き込み後)、次のゲートラインのゲートパルスの立ち上がりのタイミングで、ストレージライン106-1~106-mに印加するストレージ信号CS1~CSmのレベルを、以下のように、第1レベルCSHと第2レベルCSLを交互に選択して印加する。

たとえば、垂直駆動回路102は、第1行目のストレージライン106-1に第1レベルCSHを選択してストレージ信号CS1を印加した場合、第2行目のストレージライン106-2には第2レベルCSLを選択してストレージ信号CS2を印加し、第3行目の

10

20

30

40

50

ストレージライン 106 - 3 には第 1 レベル C S H を選択してストレージ信号 C S 3 を印加し、第 4 行目のストレージライン 106 - 4 には第 2 レベル C S L を選択してストレージ信号 C S 4 を印加し、以下同様にして交互に第 1 レベル C S H と第 2 レベル C S L を選択してストレージ信号 C S 5 ~ C S m をストレージライン 106 - 5 ~ 106 - m に印加する。

また、第 1 行目のストレージライン 106 - 1 に第 2 レベル C S L を選択してストレージ信号 C S 1 を印加した場合、第 2 行目のストレージライン 106 - 2 には第 1 レベル C S H を選択してストレージ信号 C S 2 を印加し、第 3 行目のストレージライン 106 - 3 には第 2 レベル C S L を選択してストレージ信号 C S 3 を印加し、第 4 行目のストレージライン 106 - 4 には第 1 レベル C S H を選択してストレージ信号 C S 4 を印加し、以下同様にして交互に第 2 レベル C S L と第 1 レベル C S H を選択してストレージ信号 C S 5 ~ C S m をストレージライン 106 - 5 ~ 106 - m に印加する。

10

【0034】

本実施形態においては、ゲートパルス G P の立下り後（信号ラインからの書き込み後）、ストレージライン 106 - 1 ~ 106 - m を駆動し、保持容量 C S 201 を介してカップリングさせることにより画素電位（ノード N D 201 の電位）を変化させて、液晶印加電圧を変調させている。

【0035】

図 7 には、垂直駆動回路 102 の C S ドライバ 1020 のレベル選択出力部の一例を模式的に示している。

20

C S ドライバ 1020 は、可変電源部 1021 と、電源部 1021 の正極側に接続された第 1 レベル供給ライン 1022 と、電源部 1021 の負極側に接続された第 2 レベル供給ライン 1023 と、第 1 レベル供給ライン 1022 または第 2 レベル供給ライン 1023 とを画素配列の各行毎に配線したストレージライン 106 - 1 ~ 106 - m とを選択的に接続するスイッチ S W 1 ~ S W m を含んで構成されている。

【0036】

また、図 7 中に ΔV_{cs} は第 1 レベル C S H と第 2 レベル C S L とのレベル差（電位差）を示している。

後で詳述するように、この ΔV_{cs} と小振幅の交番のコモン電圧 V_{com} の振幅 ΔV_{com} は、黒輝度および白輝度をともに最適化できるような値に選定される。

30

たとえば後述するように、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が 0.5 V 以下の値となるように ΔV_{cs} と ΔV_{com} の値が決定される。

【0037】

垂直駆動回路 102 は、垂直シフトレジスタ群を含み、画素配列に対応して各行毎に配列されたゲートラインが接続されたゲートバッファに対応して設けられた複数のシフトレジスタ V S R を有する。各シフトレジスタ V S R は、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルス V S T、垂直走査の基準となる垂直クロック V C K（または互いに逆相の垂直クロック V C K, V C K X）が供給される。

たとえばシフトレジスタは、垂直スタートパルス V S T を、垂直クロック V C K に同期してシフト動作を行い、対応するゲートバッファに供給する。

40

また、垂直スタートパルス V S T は、有効画素部 101 の上部側から、または下部側から伝搬され、各シフトレジスタに順番にシフトインされていく。

したがって、基本的には、シフトレジスタ V S R により供給された垂直クロックにより各ゲートバッファを通して各ゲートラインが順番に駆動されていく。

【0038】

水平駆動回路 103 は、水平走査の開始を指令する水平スタートパルス H S T、水平走査の基準となる水平クロック H C K（または互いに逆相の垂直クロック H C K, H C K X）に基づいて、入力される映像信号 V s i g を 1 H（H は水平走査期間）毎に順次サンプリングし、信号ライン 107 - 1 ~ 107 - n を介して垂直駆動回路 102 によって行単

50

位で選択される各画素回路 P X L C に対して書き込む処理を行う。

【 0 0 3 9 】

コモン電圧生成回路 1 0 4 は、1 水平走査期間 (1 H) 毎に極性が反転する小振幅のコモン電圧 V C O M を生成して図示しない供給ラインを通して有効画素部 1 0 1 の全画素回路 P X L C の液晶セル L C 2 0 1 の第 2 画素電極に共通に供給する。

コモン電圧 V c o m の振幅の振幅 $\Delta V c o m$ の値は、ストレージ信号 C S の第 1 レベルと C S H と第 2 レベル C S L との差 $\Delta V c s$ とともに、黒輝度および白輝度をともに最適化できるような値に選定される。

たとえば後述するように、白表示のときに液晶に印加される実効画素電位 $\Delta V p i x _W$ が 0 . 5 V 以下の値となるように $\Delta V c s$ と $\Delta V c o m$ の値が決定される。

10

【 0 0 4 0 】

図 6 においては、コモン電圧生成回路 1 0 4 を液晶パネル内に設ける構成を例として示しているが、パネル外に配置して、パネル外からコモン電圧 V c o m を供給するように構成することも可能である。

【 0 0 4 1 】

図 9 は、本実施形態に係るコモン電圧生成回路の構成例を示す回路図である。

図 9 の例は、パネルの外部部品により小振幅のコモン電圧 V c o m を生成する場合を示している。

【 0 0 4 2 】

図 9 のコモン電圧生成回路は、フリッカ調整用抵抗素子 R 1 , R 2 、平滑キャパシタ C 1 、小振幅 $\Delta V c o m$ だけ振幅させるためのキャパシタ C 4 、 V c o m 供給ライン 1 0 8 の配線抵抗 R c o m 、および V c o m 供給ライン 1 0 8 の寄生容量 C c o m を含んで構成されている。

20

【 0 0 4 3 】

電源電圧 V C C の供給ラインと接地ライン G N D との間に抵抗素子 R 1 、 R 2 が直列に接続され、両抵抗素子 R 1 , R 2 で抵抗分圧した電圧を抵抗素子の接続ノード N D 1 に発生する。抵抗素子 R 2 は可変抵抗で、発生する電圧を調整可能となっている。

接続ノード N D 1 がパネル端子 T に接続されている。キャパシタ C 1 の第 1 電極が接続ノード N D 1 と端子 T との接続ラインに接続され、第 2 電極が接地されている。

キャパシタ C 2 の第 1 電極が接続ノード N D 1 と端子 T との接続ラインに接続され、第 2 電極が信号 F R P の供給ラインに接続されている。

30

【 0 0 4 4 】

図 9 のコモン電圧生成回路においては、次式に従って小振幅 $\Delta V c o m$ が決定される。

【 0 0 4 5 】

(数 2)

$$\Delta V c o m = \{ C 2 / (C 1 + C 2 + C c o m) \} \times F R P \quad \dots (2)$$

【 0 0 4 6 】

小振幅は容量カップリング (結合) を利用、またはデジタル的に生成して、使用することが可能である。

小振幅 $\Delta V c o m$ の値は、極力小さい振幅、たとえば 1 0 m V ~ 1 . 0 V 程度の振幅が良い。理由は、それ以外であるとオーバドライブによる応答速度の改善、音響ノイズ低減などの効果が小さくなってしまうためである。

40

【 0 0 4 7 】

以上のように、本実施形態においては、液晶表示装置 1 0 0 において、容量カップリングを利用した容量結合駆動を行う際に、コモン電圧 V c o m の振幅の振幅 $\Delta V c o m$ の値と、ストレージ信号 C S の第 1 レベルと C S H と第 2 レベル C S L との差 $\Delta V c s$ の値が、黒輝度および白輝度をともに最適化できるような値に選定される。

たとえば、白表示のときに液晶に印加される実効画素電位 $\Delta V p i x _W$ が 0 . 5 V より低い値となるように $\Delta V c s$ と $\Delta V c o m$ の値が決定される。

以下、本実施形態の容量結合駆動についてさらに詳細に説明する。

50

【 0 0 4 8 】

図 1 0 (A) ~ (E) は、本実施形態の主要な液晶セルの駆動波形を示すタイミングチャートである。

図 1 0 (A) がゲートパルス GP_N を、図 1 0 (B) がコモン電圧 V_{com} を、図 1 0 (C) がストレージ信号 CS_N を、図 1 0 (D) が映像信号 V_{sig} を、図 1 0 (E) が液晶セルに印加される信号 Pix_N をそれぞれ示している。

【 0 0 4 9 】

本実施形態の容量結合駆動においては、コモン電圧 V_{com} は一定の直流電圧ではなく 1 水平走査期間 (1 H) 毎に極性が反転する小振幅の交番の信号として生成され、各画素回路 PXL の液晶セル $LC201$ の第 2 画素電極に印加される。

また、ストレージ信号 CS_N は、各ゲートライン毎に対応して独立に配線された各ストレージライン $106-1 \sim 106-m$ 毎に第 1 レベル (CSH 、たとえば $3V \sim 4V$) または第 2 レベル (CSL 、たとえば $0V$) のいずれかに選択して与える。

このように駆動された場合の、液晶に印加される実効画素電位 ΔV_{pix} は次式で与えられる。

【 0 0 5 0 】

【 数 3 】

$$\Delta V_{pix3} = V_{sig} + \frac{C_{cs}}{C_{cs}+C_{lc}+C_g+C_{sp}} * \Delta V_{cs} + \frac{C_{lc}}{C_{cs}+C_{lc}+C_g+C_{sp}} * \frac{\Delta V_{com}}{2} - V_{com}$$

$$\div V_{sig} + \frac{C_{cs}}{C_{cs}+C_{lc}} * \Delta V_{cs} + \frac{C_{lc}}{C_{cs}+C_{lc}} * \frac{\Delta V_{com}}{2} - V_{com}$$

【 0 0 5 1 】

図 1 1 に示すように、式 (3) において、 V_{sig} は映像信号電圧、 C_{cs} は保持容量、 C_{lc} は液晶容量を、 C_g はノード $ND201$ とゲートライン間の容量を、 C_{sp} はノード $ND201$ と信号ライン間の容量を、 ΔV_{cs} は信号 CS の電位を、 V_{com} はコモン電圧をそれぞれ示している。

式 (3) において、近似式の第 2 項 $\{ (C_{cs} / C_{cs} + C_{lc}) * \Delta V_{cs} \}$ が液晶誘電率の非線形性により低階調 (白輝度側) が黒くなる (沈む) 要因となる項であり、近似式の第 3 項 $\{ (C_{lc} / C_{cs} + C_{lc}) * \Delta V_{com} / 2 \}$ が液晶誘電率の非線形性により低階調側を白くする (浮かせる) 項である。

すなわち、近似式の第 2 項の低階調 (白輝度側) が黒くなる (沈む) 傾向部分が第 3 項により低階調側を白くする (浮かせる) 機能により補償するように動作する。

そして、黒輝度および白輝度をともに最適化できるような値に選定することで、最適なコントラストを得ることができる。

【 0 0 5 2 】

図 1 2 (A) , (B) は液晶表示装置で使用される液晶材料 (ノーマリホワイト液晶) を用いた場合の白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} の選定基準を説明するための図である。図 1 2 (A) が印加電圧に対する比誘電率 ϵ の特性を示す図であり、図 1 2 (B) は図 1 2 (A) の特性が大きく変化する領域を拡大して示す図である。

【 0 0 5 3 】

図に示すように、液晶表示装置に使用されている液晶特性では、約 $0.5V$ 以上の電圧を印加すると、白輝度が沈んでしまう。

そのため、白輝度を最適化するためには、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が $0.5V$ 以下とする必要がある。したがって、実効画素電位 ΔV_{pix_W} が $0.5V$ 以下となるように ΔV_{cs} と ΔV_{com} の値が決定される。

【 0 0 5 4 】

10

20

30

40

50

実際に評価した結果としては、 $\Delta V_{cs} = 3.8V$ 、 $\Delta V_{com} = 0.5V$ のとき、最適なコントラストが得られた。

【0055】

図13は、本発明の実施形態に係る駆動方式、関連する容量結合駆動方式、および通常の1HVcom駆動方式の映像信号電圧と実効画素電位との関係を示す図である。

図13において、横軸が映像信号電圧 V_{sig} を、縦軸が実効画素電位 ΔV_{pix} をそれぞれ示している。また、図13中、Aで示す線が本発明の実施形態に係る駆動方式の特性を、Bで示す線が関連する容量結合駆動方式の特性を、Cで示す線が通常の1HVcom駆動方式の特性を示している。

【0056】

10

図13からわかるように、本実施形態に係る駆動方式によれば、関連する容量結合駆動方式に比べて十分な特性改善が得られている。

【0057】

図14は、本発明の実施形態に係る駆動方式、および関連する容量結合駆動方式の映像信号電圧と輝度との関係を示す図である。

図14において、横軸が映像信号電圧 V_{sig} を、縦軸が輝度をそれぞれ示している。また、図14中、Aで示す線が本発明の実施形態に係る駆動方式の特性を、Bで示す線が関連する容量結合駆動方式の特性を示している。

【0058】

図14からわかるように、関連する容量結合駆動方式では黒輝度(2)を最適化した際に、白輝度(1)が沈んでいた。これに対して、本実施形態に係る駆動方式によれば、 V_{com} を小振幅としたことで、黒輝度(1)および白輝度(1)の両方とも最適化することができる。

20

【0059】

下記の式(4)に、本実施形態に係る駆動方式の上記式(3)に具体的な数値を設定した場合の黒表示のときと、黒表示のときの実効画素電位 ΔV_{pix_B} と白表示のときの実効画素電位 ΔV_{pix_W} の値を示す。

また、式(5)に関連する容量結合駆動方式の上記式(1)に具体的な数値を設定した場合の黒表示のときと、黒表示のときの実効画素電位 ΔV_{pix_B} と実効画素電位 ΔV_{pix_W} の値を示す。

30

【0060】

【数4】

(1)黒表示のとき

$$\begin{aligned}\Delta V_{pix_B} &= V_{sig} + \frac{C_{cs}}{C_{lc_b} + C_{cs}} \times \Delta V_{cs} + \frac{C_{lc_b}}{C_{lc_b} + C_{cs}} \times \frac{\Delta V_{com}}{2} - V_{com} \\ &= 3.3V + \frac{1.65}{2} - 1.65V \\ &= \boxed{3.3V} \quad \leftarrow \text{黒輝度を最適化}\end{aligned}$$

(2)白表示のとき

$$\begin{aligned}\Delta V_{pix_W} &= V_{sig} + \frac{C_{cs}}{C_{lc_w} + C_{cs}} \times \Delta V_{cs} + \frac{C_{lc_w}}{C_{lc_w} + C_{cs}} \times \frac{\Delta V_{com}}{2} - V_{com} \\ &= 0.0V + \frac{2.05}{2} - 1.65V \\ &= \boxed{0.4V} \quad \leftarrow \text{白輝度を最適化}\end{aligned}$$

40

【0061】

【数 5】

(1)黒表示のとき

$$\begin{aligned}\Delta V_{pix_B} &= V_{sig} + \frac{C_{cs}}{C_{lc_b} + C_{cs}} \times \Delta V_{cs} - V_{com} \\ &= 3.3V + \frac{\quad}{1.65} - 1.65V \\ &= \boxed{3.3V} \quad \leftarrow \text{黒輝度を最適化}\end{aligned}$$

(2)白表示のとき

$$\begin{aligned}\Delta V_{pix_W} &= V_{sig} + \frac{C_{cs}}{C_{lc_w} + C_{cs}} \times \Delta V_{cs} - V_{com} \\ &= 0.0V + \frac{2.45}{\quad} - 1.65V \\ &= \boxed{0.8V} \quad \leftarrow \text{白輝度が沈んでしまう}\end{aligned}$$

10

【0062】

式(4)および式(5)に示すように、黒表示のときは本実施形態に係る駆動方式と関連する駆動方式ともに実効画素電位 ΔV_{pix_B} は 3.3V となり、黒輝度が最適化されている。

20

白表示のときは、式(5)に示すように、関連する駆動方式の実効画素電位 ΔV_{pix_W} は 0.5V 以上の 0.8V となり、図12(B)に関連付けて説明したように白輝度が沈んでしまう。

これに対して、本実施形態に係る駆動方式の実効画素電位 ΔV_{pix_W} は 0.5V 以下の 0.4V となり、図12(B)に関連付けて説明したように白輝度が最適化される。

【0063】

次に、上記構成による動作を説明する。

【0064】

垂直駆動回路102のシフトレジスタには、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルス VST 、垂直走査の基準となる互いに逆相の垂直クロック VCK 、 $VCKX$ が供給される。

30

シフトレジスタにおいては、垂直クロックのレベルシフト動作が行われ、かつ、それぞれ異なる遅延時間で遅延される。たとえばシフトレジスタにおいては、垂直スタートパルス VST が、垂直クロック VCK に同期にてシフト動作が行われ、対応するゲートバッファに供給される。

また、垂直スタートパルス VST は、有効画素部101の上部側から、または下部側から伝搬され、各シフトレジスタに順番にシフトインされていく。

したがって、基本的には、シフトレジスタ VSR により供給された垂直クロックにより各ゲートバッファを通して各ゲートライン105-1～105-mが順番に駆動されていく。

40

【0065】

このように、垂直駆動回路102により、たとえば第1行目から順番にゲートライン105-1～105-mが駆動されていくが、これに伴い、ストレージライン106-1～106-mが駆動されていく。このとき、ゲートパルスでのゲートラインを駆動した後、次のゲートラインのゲートパルスの立ち上がりのタイミングで、ストレージライン106-1～106-mに印加するストレージ信号 $CS1 \sim CSm$ のレベルが、第1レベル CSH と第2レベル CSL が交互に選択されて印加される。

たとえば、第1行目のストレージライン106-1に第1レベル CSH を選択してストレージ信号 $CS1$ が印加された場合、第2行目のストレージライン106-2には第2レベル CSL が選択されてストレージ信号 $CS2$ が印加され、第3行目のストレージライン

50

106 - 3 に第 1 レベル C S H が選択されてストレージ信号 C S 3 が印加され、第 4 行目のストレージライン 106 - 4 には第 2 レベル C S L が選択されストレージ信号 C S 4 が印加され、以下同様にして交互に第 1 レベル C S H と第 2 レベル C S L が選択されストレージ信号 C S 5 ~ C S m がストレージライン 106 - 5 ~ 106 - m に印加される。

【0066】

また、小振幅 ΔV_{com} で交番のコモン電圧 V_{com} が有効画素部 101 の全画素回路 P X L C の液晶セル L C 201 の第 2 画素電極に共通に印加される。

【0067】

そして、水平駆動回路 103 では、図示しないクロックジェネレータにより生成された水平走査の開始を指令する水平スタートパルス H S T、水平走査の基準となる互いに逆相の水平クロック H C K、H C K X を受けてサンプリングパルスが生成され、入力される映像信号が生成したサンプリングパルスに应答して順次サンプリングされて、各画素回路 P X L C に書き込むべきデータ信号 S D T として各信号ライン 107 - 1 ~ 107 - n に供給される。

10

たとえば、まず、R 対応のセレクトスイッチが導通状態に駆動制御されて R データが各信号ラインに出力されて R データが書き込まれる。R データの書き込みが終了すると、G 対応のセレクトスイッチのみが導通状態に駆動制御されて G データが各信号ラインに出力されて書き込まれる。G データの書き込みが終了すると、B 対応のセレクトスイッチのみが導通状態に駆動制御されて B データが各信号ラインに出力されて書き込まれる。

【0068】

20

本実施形態においては、この信号ラインからの書き込み後（ゲートパルス G P の立下り後）、ストレージライン 106 - 1 ~ 106 - m から保持容量 C S 201 を介してカップリングさせることにより画素電位（ノード N D 201 の電位）を変化させて、液晶印加電圧を変調させている。

このとき、コモン電圧 V_{com} は一定値ではなく小振幅 ΔV_{com} （10 mV ~ 1.0 V）で交番信号として供給される。

これにより、黒輝度のみならず白輝度も最適化されている。

【0069】

以上説明したように、本実施形態によれば、T F T 201 を通して映像用画素データを書き込む複数の画素回路 P X L C がマトリクス状に配置された有効画素部 101 と、画素回路の行配列に対応するように配置されたゲートライン 105 - 1 ~ 105 - m と、画素回路の行配列に対応するように配置された複数の容量配線 106 - 1 ~ 106 - m と、画素回路の列配列に対応するように配置された信号ライン 107 - 1 ~ 107 - m と、ゲートライン、および容量配線を選択的に駆動する垂直駆動回路 102 と、所定の周期でレベルが切り替わる小振幅のコモン電圧信号を生成する生成回路 104 と、を有し、各画素回路は、第 1 画素電極および第 2 画素電極を有する液晶セル L C 201 と、第 1 電極および第 2 電極を有する保持容量 C S 201 と、を含み、液晶セルの第 1 画素電極と保持容量の第 1 電極と T F T の一端子が接続され、保持容量の第 2 電極が対応する行に配列された容量配線に接続され、液晶セルの第 2 画素電極にはコモン電圧信号が印加されることから、黒輝度および白輝度の両方をも最適化することができる。その結果、コントラストを最適化することができる利点がある。

30

40

【0070】

なお、上記実施形態では、液晶表示装置にアナログ映像信号を入力とし、これをラッチした後アナログ映像信号を点順次にて各画素に書き込むアナログインターフェース駆動回路を搭載した液晶表示装置に適用した場合について説明したが、デジタル映像信号を入力とし、セレクト方式にて線順次にて画素に映像信号を書き込む駆動回路を搭載した液晶表示装置にも、同様に適用可能である。

【0071】

また、上記実施形態においては、各画素の表示エレメント（電気光学素子）として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明した

50

が、液晶表示装置への適用に限られるものではなく、各画素の表示エレメントとしてエレクトロルミネッセンス（EL: electroluminescence）素子を用いたアクティブマトリクス型EL表示装置などアクティブマトリクス型表示装置全般に適用可能である。

以上説明した実施形態に係る表示装置は、直視型映像表示装置（液晶モニタ、液晶ビューファインダ）、投射型液晶表示装置（液晶プロジェクタ）の表示パネル、すなわちLCD (liquid crystal display) パネルとして用いることが可能である。

【図面の簡単な説明】

【0072】

【図1】一般的な液晶表示装置の構成例を示すブロック図である。

【図2】図1に示す一般的な液晶表示装置のいわゆる1HVcom反転駆動方式におけるタイミングチャートを示す。 10

【図3】ノーマリホワイト液晶の印加電圧と比誘電率との関係を示す図である。

【図4】1HVcom反転駆動方式と関連する容量結合駆動方式を採用した液晶表示装置の映像信号電圧と実効画素電位との関係を示す図である。

【図5】関連する容量結合駆動方式を採用した液晶表示装置の黒輝度を最適化すると、白輝度が黒くなる（沈んでしまう）ことを示す図である。

【図6】本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す図である。

【図7】図1の回路の画素部の具体的な構成例を示す回路図である。

【図8】本実施形態の垂直駆動回路のゲートラインとストレージラインの駆動例を示すタイミングチャートである。 20

【図9】本実施形態に係るコモン電圧生成回路の構成例を示す回路図である。

【図10】本実施形態の主要な液晶セルの駆動波形を示すタイミングチャートである。

【図11】式3における液晶セルの各容量を示す図である。

【図12】液晶表示装置で使用される液晶材料（ノーマリホワイト液晶）を用いた場合の白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} の選定基準を説明するための図である。

【図13】本発明の実施形態に係る駆動方式、関連する容量結合駆動方式、および通常の1HVcom駆動方式の映像信号電圧と実効画素電位との関係を示す図である。

【図14】本発明の実施形態に係る駆動方式、および関連する容量結合駆動方式の映像信号電圧と輝度との関係を示す図である。 30

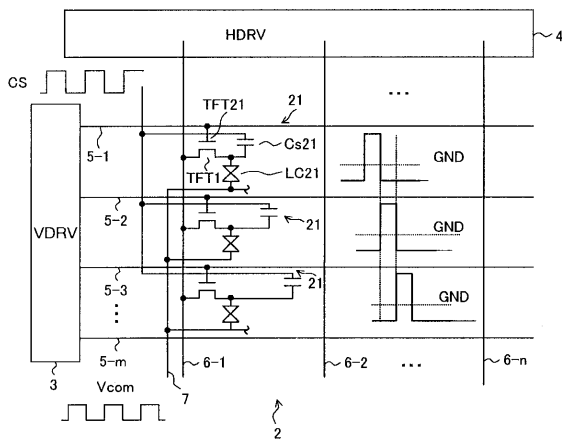
【符号の説明】

【0073】

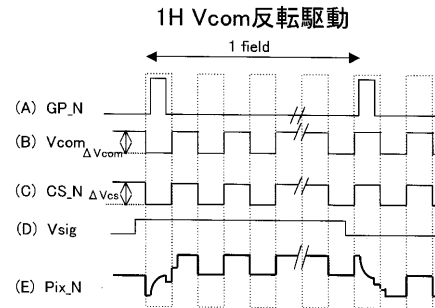
100・・・液晶表示装置、101・・・有効画素部、102・・・垂直駆動回路（VD_{RV}）、103・・・水平駆動回路（HD_{RV}）、104・・・コモン電圧生成回路、105-1～105-m・・・ゲートライン、106-1～106-m・・・容量配線（ストレージライン）、107-1～107-n・・・信号ライン、PXL_C...画素回路、201・・・TFT（スイッチング素子）、LC201...液晶セル、CS201...保持容量。

【図 1】

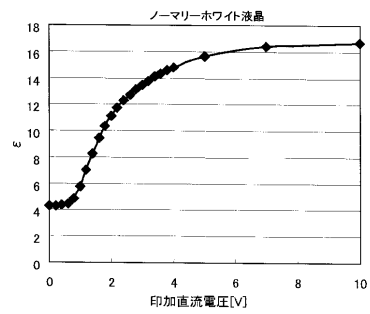
1



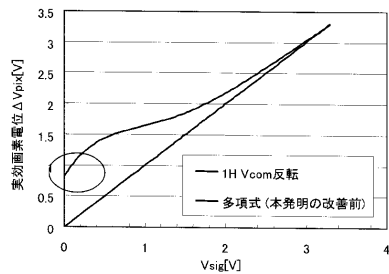
【図 2】



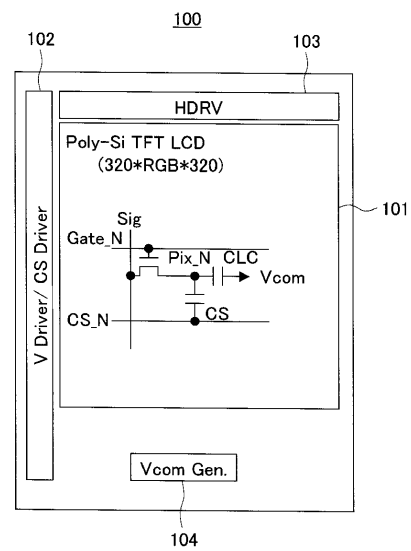
【図 3】



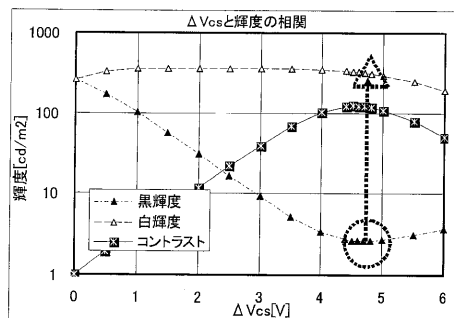
【図 4】



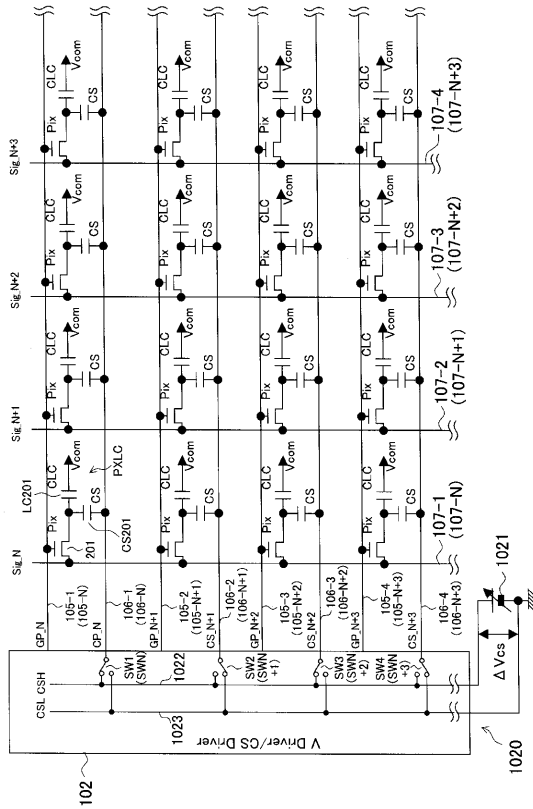
【図 6】



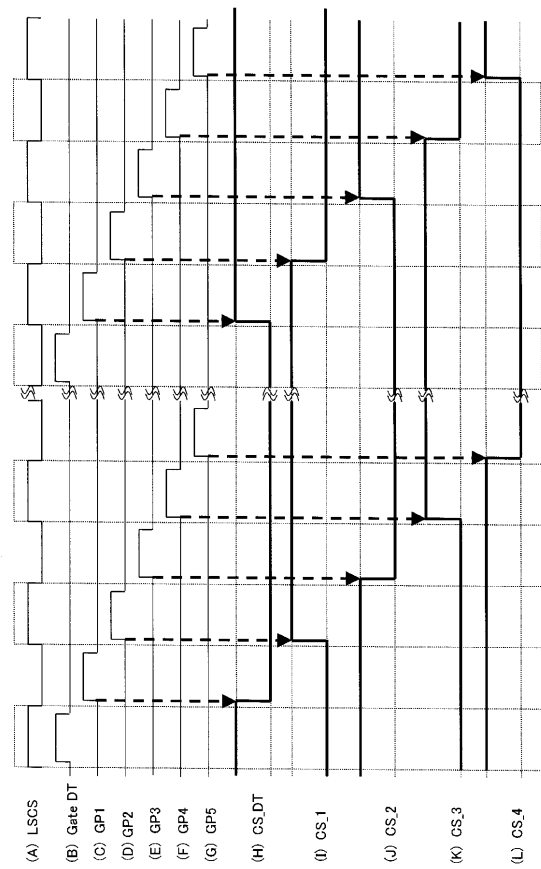
【図 5】



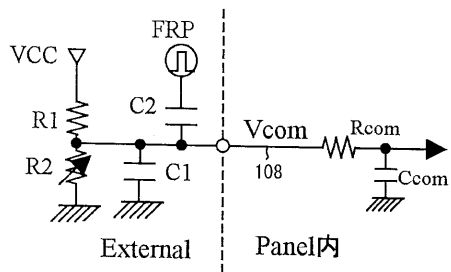
【図 7】



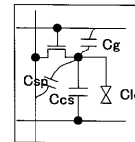
【図 8】



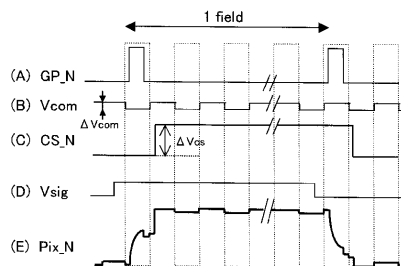
【図 9】



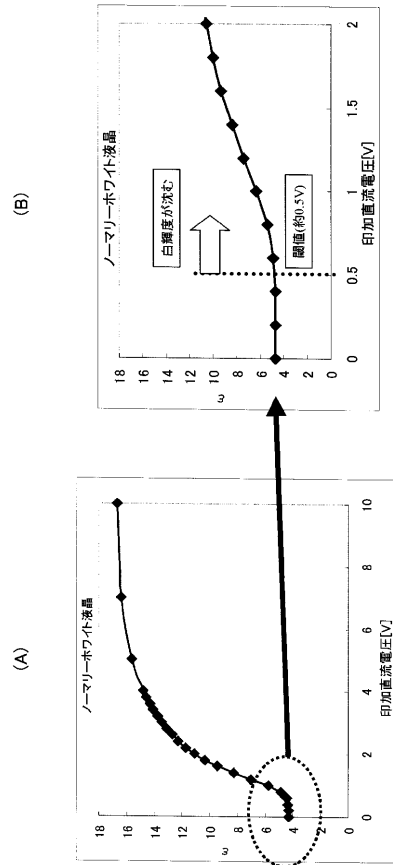
【図 11】



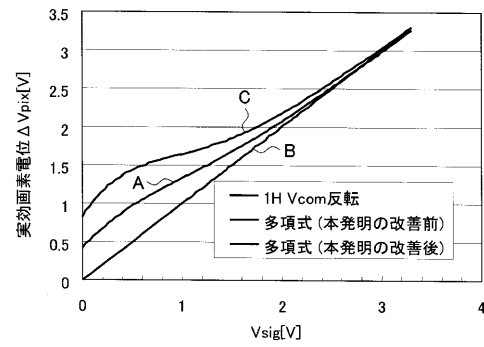
【図 10】



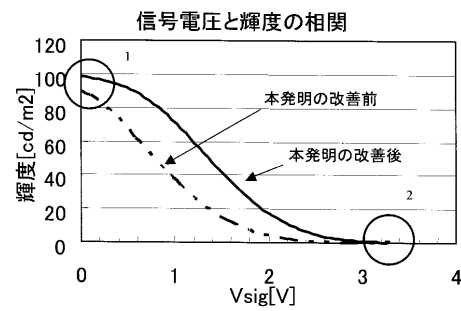
【図 1 2】



【図 1 3】



【図 1 4】



 フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G 3/20 6 2 4 B
 G 0 9 G 3/20 6 2 4 D
 G 0 9 G 3/20 6 2 4 E
 G 0 9 G 3/20 6 4 2 E
 G 0 9 G 3/20 6 8 0 H

F ターム(参考) 5C006 AA16 AA22 AC09 AC11 AC22 AC25 AC27 AC28 AF22 AF42
 AF44 AF71 AF85 BB16 BC02 BC03 BC06 BC12 BC13 BC22
 BF03 BF04 BF11 BF24 BF42 EC11 FA14 FA31 FA54
 5C080 AA10 BB05 CC03 DD03 DD08 DD12 EE29 FF11 JJ02 JJ03
 JJ04 JJ05 KK07 KK43

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2007052290A	公开(公告)日	2007-03-01
申请号	JP2005237924	申请日	2005-08-18
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	板倉直之 仲島義晴		
发明人	板倉 直之 仲島 義晴		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.550 G09G3/20.622.D G09G3/20.622.G G09G3/20.624.B G09G3/20.624.D G09G3/20.624.E G09G3/20.642.E G09G3/20.680.H		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA43 2H093/NC18 2H093/NC34 2H093/NC35 2H093/ND07 2H093/NE07 2H093/NG20 5C006/AA16 5C006/AA22 5C006/AC09 5C006/AC11 5C006/AC22 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF22 5C006/AF42 5C006/AF44 5C006/AF71 5C006/AF85 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC13 5C006/BC22 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF24 5C006/BF42 5C006/EC11 5C006/FA14 5C006/FA31 5C006/FA54 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD08 5C080/DD12 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK07 5C080/KK43 2H193/ZA04 2H193/ZA07 2H193/ZB08 2H193/ZB14 2H193/ZC02 2H193/ZF59		
代理人(译)	佐藤隆久		
其他公开文献	JP4492483B2		
外部链接	Espacenet		

摘要(译)

提供了一种能够优化黑亮度和白亮度的显示装置及其驱动方法。 设置成对应于像素电路的行的阵列的栅极线105-1至105-M，多条电容线被设置成对应于像素电路106-1至106-M的行的阵列用于选择性地驱动栅极线和电容布线的垂直驱动电路102和用于产生其电平以预定周期切换的小幅度公共电压信号的产生电路104，具有第一像素电极和第二像素电极，其具有第一电极和第二电极，存储电容器CS201的液晶单元LC201，其中所述第一电极和所述存储电容器的TFT和液晶单元的所述第一像素电极存储电容器的第二电极连接到布置在相应行中的电容器布线，并且公共电压信号施加到液晶单元的第二像素电极。 点域7

