

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-506683

(P2006-506683A)

(43) 公表日 平成18年2月23日(2006.2.23)

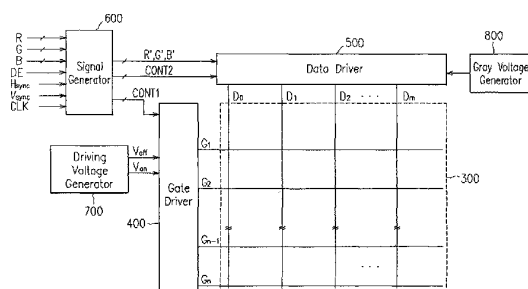
(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 505	5C006
G09G 3/20 (2006.01)	G02F 1/133 550	5C080
	G02F 1/133 575	
	G09G 3/20 612U	
審査請求 未請求 予備審査請求 未請求 (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2004-553275 (P2004-553275)	(71) 出願人	503447036
(86) (22) 出願日	平成15年11月20日 (2003.11.20)		サムスン エレクトロニクス カンパニー
(85) 翻訳文提出日	平成17年5月20日 (2005.5.20)		リミテッド
(86) 国際出願番号	PCT/KR2003/002514		大韓民国キョンギード, スウォンシ, ヨ
(87) 国際公開番号	W02004/046793		ントンーク, マエタンードン 416
(87) 国際公開日	平成16年6月3日 (2004.6.3)	(74) 代理人	100089705
(31) 優先権主張番号	10-2002-0072443		弁理士 社本 一夫
(32) 優先日	平成14年11月20日 (2002.11.20)	(74) 代理人	100076691
(33) 優先権主張国	韓国 (KR)		弁理士 増井 忠式
		(74) 代理人	100075270
			弁理士 小林 泰
		(74) 代理人	100080137
			弁理士 千葉 昭男
		(74) 代理人	100096013
			弁理士 富田 博行
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

ゲート線とデータ線に各々接続されており、行列形態に配列された複数の画素を含む液晶表示装置を駆動する装置を提供する。この駆動装置は、複数の階調電圧を生成する階調電圧生成部、一つの画素行に対する第1画像信号と次の画素行に対する第2画像信号を順次に受信し、第1画像信号と第2画像信号に依存して決められる補正画像信号を選択して、第1画像信号の代わりに出力する画像信号補正部、及び複数の階調電圧の中で画像信号補正部からの補正画像信号に対応する階調電圧を選択し、データ電圧として画素に印加するデータ駆動部を含む。



【特許請求の範囲】

【請求項 1】

ゲート線とデータ線に各々接続されており、行列の形態に配列された複数の画素を含む液晶表示装置を駆動する装置であって、

複数の階調電圧を生成する階調電圧生成部、

一つの画素行に対する第 1 画像信号と次の画素行に対する第 2 画像信号を順次に受信し、前記第 1 画像信号と前記第 2 画像信号によって予め決められている補正画像信号を選択し、該補正画像信号を出力する画像信号補正部、及び

前記複数の階調電圧の中で前記画像信号補正部からの前記補正画像信号に該当する階調電圧を選択し、データ電圧として前記画素に印加するデータ駆動部を含む液晶表示装置の駆動装置。

10

【請求項 2】

前記画像信号補正部は、画像信号を記憶するメモリ部を含む、請求項 1 に記載の液晶表示装置の駆動装置。

【請求項 3】

前記画像信号補正部は、前記第 1 画像信号を前記メモリ部に記憶しておき、前記第 2 画像信号が入力されたときに、前記メモリ部に記憶されている前記第 1 画像信号を読み出し、前記第 2 画像信号を前記メモリ部に記憶する、請求項 2 に記載の液晶表示装置の駆動装置。

【請求項 4】

前記メモリ部は、読取りポートと書き込みポートを備えたデュアルポートメモリを含む、請求項 3 に記載の液晶表示装置の駆動装置。

20

【請求項 5】

前記画像信号補正部は、前記第 1 画像信号と前記第 2 画像信号に依存する補正画像信号を記憶するデータ補正部をさらに含む、請求項 2 に記載の液晶表示装置の駆動装置。

【請求項 6】

前記データ補正部は、ルックアップテーブルである、請求項 5 に記載の液晶表示装置の駆動装置。

【請求項 7】

前記画像信号補正部は、前記第 1 画像信号と前記第 2 画像信号に依存して、前記メモリ部に印加される、前記画像信号の経路を変更するマルチプレクサをさらに含む、請求項 2 に記載の液晶表示装置の駆動装置。

30

【請求項 8】

前記マルチプレクサは、外部装置から印加される制御信号に応じて前記経路を変更し、前記制御信号は、一つの画素行に対する画像信号の伝送時間と周期が同一な水平同期信号及びデータイネーブル信号に同期する、請求項 7 に記載の液晶表示装置の駆動装置。

【請求項 9】

前記メモリ部は、一対の単一ポートメモリを含み、前記一対の単一ポートメモリは、交互に読取りと書き込み動作を行う、請求項 7 に記載の液晶表示装置の駆動装置。

【請求項 10】

前記画素はそれぞれ、第 1 副画素と第 2 副画素を含み、前記第 1 及び第 2 副画素はそれぞれ、前記ゲート線の一つと前記データ線の一つに接続されたスイッチング素子、及び前記スイッチング素子に接続された画素電極を含み、前記第 1 及び第 2 副画素は、隣接した他の副画素と容量結合されている、請求項 1 に記載の液晶表示装置の駆動装置。

40

【請求項 11】

前記画素は、相互に接続する上の画素と下の画素を含み、前記上の画素の第 2 画素は、前記下の画素の第 1 画素と容量結合されており、前記第 1 副画素と前記第 2 副画素との画素電極の面積比は $a:b$ であり、前記上の画素への前記第 1 画像信号に対応するデータ電圧を V_1 、前記下の画素への前記第 2 画像信号に対応するデータ電圧を V_2 、電圧 V に対する透過率を $T(V)$ とし、前記上の画素への画像補正画像信号に対応するデータ電圧を V_1' とし

50

、Cを定数とする時、 V_1' は、

【数 1】

$$\frac{aT(V_1)+bT(V_1+2CV_1)}{a+b} = \frac{aT(V_1')+bT(V_1'+2CV_2)}{a+b}$$

によって規定される、請求項 10 に記載の液晶表示装置の駆動装置。

【請求項 12】

複数のゲート線、前記複数のゲート線と交差する複数のデータ線、前記複数のゲート線の
一つと前記複数のデータ線の一つに各々接続されている複数のスイッチング素子、並びに 10
、前記スイッチング素子に接続されている画素電極を含む液晶表示装置の駆動方法において、

第 1 画素行の画像信号をメモリに書き込むステップ、

第 2 画素行の画像信号が入力されたときに、前記第 1 画素行の画像信号を読み出し、前
記第 2 画素行の画像信号を前記メモリに書き込むステップ、

前記第 1 画素行の画像信号と前記第 2 画素行の画像信号によって決められる補正画像信
号を選択するステップ、及び

前記補正画像信号を前記スイッチング素子を通じて前記画素に印加するステップ
を含む液晶表示装置の駆動方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

液晶表示装置（LCD）は、携帯が簡便な平板表示装置（FPD）の中で代表的なものである
。

液晶表示装置は、電界生成電極と偏光板を有している一対の表示板と、これら表示板間
に入っていて、電界生成電極が生成した電界が印加される液晶層を含む。液晶層の分子は
、電界方向に平行または、垂直に配列しようとする性質があるので、電界の強さが変化す
れば分子の方向も変化する。液晶表示装置は、偏光板を通して液晶層に光を通過させ、液
晶分子を再配向させることによって光の偏光を変える。偏光の変化は偏光板によって光の
透過率変化として現れるので、これを利用して所望の画像を得る。 30

【発明の開示】

【発明が解決しようとする課題】

【0003】

液晶表示装置は、狭い視野角を有しているが、特に、ねじれ配列されたネマチック液晶
を含む捩れネマチック（TN）液晶表示装置は、いろいろな長所を持っているので、広く
使用されているが、狭い視野角のため、モニタやTV分野にその範囲を広めることに限界を
有している。 40

液晶表示装置の視野角を改善するために、多重ドメイン、補償フィルムなど多様な技術
が開発されている。特に、広視野フィルムともいう補償フィルムを適用すれば、左右方向
では他の広視野技術に比べてほとんど遜色がない視野特性を実現できる。しかし、上下方
向では階調反転（ノーマリーブラックモード液晶表示装置で階調電圧を上げるによって増
加するべき輝度が、むしろ減少したりノーマリーホワイトモード液晶表示装置でその反対
に現れる現象）問題が依然として残っている。特に、下側の階調反転は非常に深刻な問題
である。

また、多重ドメイン液晶表示装置の場合、正面のガンマ曲線と側面のガンマ曲線が一致
しない現象が発生し、通常のTNモード液晶表示装置に比べても左右側面で劣等な視認性を
示す。例えば、ドメインを形成するための開口部を備えた垂直配置（PVA）モード液晶表 50

示装置の場合には、側面に向かうに従って全体的に画面が明ルック見え、白色側へ色相が移動する傾向があり、場合によっては高い階調の間の明るさの差がなくなって画面が崩れて見える場合も発生する。

【課題を解決するための手段】

【0004】

ゲート線とデータ線に各々接続されており、行列の形態に配列された複数の画素を含む液晶表示装置を駆動する装置が提供され、該装置は、複数の階調電圧を生成する階調電圧生成部、一つの画素行に対する第1画像信号と次の画素行に対する第2画像信号を順次に受信し、第1画像信号と第2画像信号によって予め決められている補正画像信号を選択し、該補正画像信号を出力する画像信号補正部、及び複数の階調電圧の中で画像信号補正部からの補正画像信号に該当する階調電圧を選択し、データ電圧として画素に印加するデータ駆動部を含む。

10

好適には、画像信号補正部は、画像信号を記憶するメモリ部を含み、また、画像信号補正部は、第1画像信号をメモリ部に記憶しておき、第2画像信号が入力されたときに、メモリ部に記憶されている第1画像信号を読み出し、第2画像信号をメモリ部に記憶する。

メモリ部は、読取りポートと書き込みポートを備えたデュアルポートメモリを含むことが好ましい。

【0005】

また、画像信号補正部は、第1画像信号と第2画像信号に依存する補正画像信号を記憶するデータ補正部をさらに含み、また、データ補正部は、ルックアップテーブルであることが好ましい。

20

画像信号補正部は、また、第1画像信号と第2画像信号に依存して、メモリ部に印加される画像信号の経路を変更するマルチプレクサをさらに含み、該マルチプレクサは、外部装置から印加される制御信号に応じて経路を変更し、制御信号は、一つの画素行に対する画像信号の伝送時間と周期が同一な水平同期信号及びデータイネーブル信号に同期することが好ましい。

メモリ部は、一对の単一ポートメモリを含み、前記一对の単一ポートメモリは、交互に読取りと書き込み動作を行うことが好ましい。

【0006】

好適には、画素はそれぞれ、第1副画素と第2副画素を含み、第1及び第2副画素はそれぞれ、ゲート線の一つとデータ線の一つに接続されたスイッチング素子、及びスイッチング素子に接続された画素電極を含み、第1及び第2副画素は、隣接した他の副画素と容量結合されている。

30

画素は、相互に接続する上の画素と下の画素を含み、上の画素の第2画素は、下の画素の第1画素と容量結合されており、第1副画素と前記第2副画素との画素電極の面積比はa:bであり、上の画素への第1画像信号に対応するデータ電圧を V_1 、下の画素への前記第2画像信号に対応するデータ電圧を V_2 、電圧Vに対する透過率を $T(V)$ とし、上の画素への画像補正画像信号に対応するデータ電圧を V_1' とし、Cを定数とすると、 V_1' は、

【数1】

$$\frac{aT(V_1)+bT(V_1+2CV_1)}{a+b} = \frac{aT(V_1')+bT(V_1'+2CV_2)}{a+b}$$

40

によって表される。

【0007】

本発明はまた、複数のゲート線、該複数のゲート線と交差する複数のデータ線、複数のゲート線の一つと前記複数のデータ線の一つに各々接続されている複数のスイッチング素子、並びに、前記スイッチング素子に接続されている画素電極を含む液晶表示装置の駆動方法を提供し、該方法は、第1画素行の画像信号をメモリに書き込むステップ、第2画素行の画像信号が入力されたときに、第1画素行の画像信号を読み出し、第2画素行の画像

50

信号をメモリに書き込むステップ、第1画素行の画像信号と第2画素行の画像信号によって決められる補正画像信号を選択するステップ、及び補正画像信号をスイッチング素子を通じて画素に印加するステップを含んでいる。

【発明の効果】

【0008】

このような本発明の動作によって現在画像信号と以前画像信号に基づいて新たな補正画像信号を生成し、データ駆動部に印加するので、上下画素間の画像差によって現れる同じ行の画素間の明るさの差を補償することができる。

このように、現在画像信号と以前画像信号に基づき、以前行に対する新たな補正画像信号を生成し、これは特に、画素間で容量結合された構造の液晶表示装置に有用である。

10

それによって、上下画素間のデータ電圧差によって発生する輝度差を補償するので、液晶表示装置の画質を改善する。

【発明を実施するための最良の形態】

【0009】

添付した図面を参照して、本発明の実施例について本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は、様々な形態に実現でき、ここで説明する実施例に限定されない。

図面で複数の層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似な部分については同一な図面符号を付けた。層、膜、領域、板などの部分が他の部分"上に"あるとする時、これは他の部分の"すぐ上に"ある場合だけでなく、その中間に他の部分がある場合も含む。逆に、その以外の部分が他の部分の"すぐ上に"あるとする時には中間に他の部分がないことを意味する。

20

【0010】

次に、本発明の実施例による液晶表示装置及びその駆動方法について添付した図面を参照して詳細に説明する。

図1は、本発明の一つの実施例による液晶表示装置のブロック図であり、図2Aは、本発明の一つの実施例による液晶表示装置で液晶表示板アセンブリの等価回路図であり、図2Bは、本発明の他の実施例による液晶表示装置で液晶表示板アセンブリの等価回路図であり、図3は、本発明の一つの実施例による液晶表示装置で一つの副画素の等価回路図である。

30

図1に示したように、本発明による液晶表示装置は、液晶表示板アセンブリ300、該アセンブリ300に接続されたゲート駆動部400とデータ駆動部500、ゲート駆動部400に接続された駆動電圧生成部700、データ駆動部500に接続された階調電圧生成部800、及びこれらを制御する信号制御部600を含む。

【0011】

図1、図2A及び2Bを参考にすれば、液晶表示板アセンブリ300は、複数の表示信号線 $G_1 - G_n$ 、 $D_1 - D_m$ 、SLとこれらに接続されていて、ほぼ行列(マトリクス)の形態に配列されている複数の画素を含む。

表示信号線は、ゲート信号("走査信号"とも言う)を伝達する複数のゲート線 $G_1 - G_n$ とデータ信号を伝達するデータ線 $D_1 - D_m$ を含む。ゲート線 $G_1 - G_n$ は、ほぼ行方向へ伸びていて、互いにほぼ平行でなり、データ線 $D_1 - D_m$ はほぼ列方向に伸びていてこれも、互いにほぼ平行でなる。

40

表示信号線はまた、共通電圧 V_{com} などの所定の電圧が印加される、ゲート線 $G_1 - G_n$ の間及びが疎の間に位置する複数の維持(ストレージ)電極線SLを含む。各維持電極線SLは、ゲート線 $G_1 - G_n$ の間及び画素の間に位置し、ほぼ行方向へ伸びていて、互いにほぼ平行でなる。この維持電極線SLは省略されることもできる。

【0012】

一つの画素は、一つのゲート線と一つのデータ線によって画定されるが、例えば画素(i, j)($i=1, 2, \dots, n, j=1, 2, \dots, m$)ならば、 i 番目ゲート線 G_i と j 番目データ線 D_j に接続されている画素を意味する。

50

図 2 A 及び 2 B に図示したように、各画素 $P_{i,j}$ は、一対の副画素 $P^1_{i,j}$ 、 $P^2_{i,j}$ で構成されて、各副画素 $P^1_{i,j}$ 、 $P^2_{i,j}$ は、ゲート線 G_i とデータ線 D_j に接続されたスイッチング素子 Q_1 、 Q_2 とこれに接続された液晶キャパシタ C_{LC1} 、 C_{LC2} 及びストレージキャパシタ C_{ST1} 、 C_{ST2} を含む。ストレージキャパシタ C_{ST1} 、 C_{ST2} は、省略することができ、その場合、維持電極線 SL も不要である。

スイッチング素子 Q_1 、 Q_2 は、薄膜トランジスタなど三端子素子であり、ゲート線 $G_1 - G_n$ の一つに接続されている制御端子、データ線 $D_1 - D_m$ の一つに接続されている入力端子、及び液晶キャパシタ C_{LC1} 、 C_{LC2} 及びストレージキャパシタ C_{ST1} 、 C_{ST2} に接続されている出力端子を有している。

液晶キャパシタ C_{LC1} 、 C_{LC2} は、スイッチング素子 Q_1 、 Q_2 と共通電圧 V_{com} の間に、ストレージキャパシタ C_{ST1} 、 C_{ST2} は、スイッチング素子 Q_1 、 Q_2 と維持電極線 SL の間に接続されている。維持電極線 SL がない場合、ストレージキャパシタ C_{ST1} 、 C_{ST2} は隣接したゲート線に接続される。

【0013】

平面的な配列から見る時、隣接したゲート線と、維持電極線 SL と、隣接した二つのデータ線によって区画される一つの領域に一つの副画素が割り当てられていて、副画素は、行列の形態に配列されている。言い換えると、隣接した副画素行の間には、ゲート線と維持電極線 SL のうちのいずれか一つが配置されていて、隣接した副画素列の間には一つのデータ線が配置されている。副画素の行数はゲート線数の 2 倍であるが、副画素の列数はデータ線数とほとんど同一であるので、今後、"副画素列"と"画素列"は同一な意味として使用する。

各画素 $P_{i,j}$ の副画素 $P^1_{i,j}$ 、 $P^2_{i,j}$ は、ゲート線 G_i に対して互いに反対側に位置する。各副画素行の副画素は、全て同一なゲート線に接続されており、一つのゲート線の両側に隣接した副画素行の副画素は、全てそのゲート線に接続されている。例えば、 i 番目ゲート線 G_i のすぐ上下に位置した二つの副画素行の副画素は、全て i 番目ゲート線 G_i に接続されている。従って、本明細書で i 番目画素行というと、 i 番目ゲート線 G_i に接続された二つの副画素行を共に意味する。

これとは異なって、各画素 $P_{i,j}$ の副画素 $P^1_{i,j}$ 、 $P^2_{i,j}$ は、データ線 D_j に対して同じ方向に位置する。一つのゲート線に接続された画素の副画素は、全て該データ線に対して同じ方向に位置する。

【0014】

図 2 A の場合には、一つのデータ線に接続された画素の副画素は、全て該データ線に対して同じ方向に位置する。図 2 A には、副画素が当該データ線の右側に位置するが、その反対の場合もある。

反面、図 2 B の場合には、一つのデータ線に接続された複数の画素の一部画素の副画素は、該データ線の一つの側に位置し、他の一部の画素の副画素は、その反対側に位置する。これを言い換えれば、一つの副画素列の一部の副画素は、その左側に位置したデータ線に接続されており、残りの副画素は、その右側に位置したデータ線に接続されている。

図 2 B では、データ線に関して画素の相対位置が交互に変わるように画素が配列されている。例えば、 j 番目データ線 D_j に接続された複数の画素の中で画素 $P_{i,j}$ の副画素 $P^1_{i,j}$ 、 $P^2_{i,j}$ は、該データ線 D_j の右側に位置し、画素 $P_{i+1,j}$ の副画素 $P^1_{i+1,j}$ 、 $P^2_{i+1,j}$ は左側に位置する。

【0015】

本発明の他の実施例によれば、画素 2 つ以上を単位としてデータ線に関しての位置が交互に変わるように画素が配列される。

各画素 $P_{i,j}$ の上及び下の副画素 $P^1_{i,j}$ 、 $P^2_{i,j}$ は、各々上下に隣接した副画素行の副画素と結合キャパシタ C_{cp} に接続されている。図 2 A 及び 2 B では、1 つの画素列の各副画素が、該画素列における隣接した副画素と結合されている。例えば、画素 $P_{i,j}$ の上側の副画素 $P^1_{i,j}$ は、画素 $P_{i-1,j}$ の下側の副画素 $P^2_{i-1,j}$ とに容量結合されており、画素 $P_{i,j}$ の下側の副画素 $P^2_{i,j}$ は、その下側の画素 $P_{i+1,j}$ の上側の副画素 $P^1_{i+1,j}$ と容量結合されている。

このような同一画素列の副画素間での容量結合を、今後は"同列結合"という。

本発明の他の実施例によれば、異なる副画素列における画素が容量結合しており、今後、これを"異列結合"という。

【0016】

一方、液晶表示板アセンブリ300を構造的に見れば、図3のように概略的に示すことができる。便宜上、図3には一つの副画素だけを示した。

図3に示したように、液晶表示板アセンブリ300は、互いに対向する下部表示板100と上部表示板200及び両者の液晶層3を含む。下部表示板100には、ゲート線 G_i 及びデータ線 D_j とスイッチング素子 Q_1 及びストレージキャパシタ C_{ST} が備わっている。液晶キャパシタ C_L は、下部表示板100の画素電極190と上部表示板200の共通電極270を二つの端子にして、二つの電極190、270の間の液晶層3は誘電体として機能する。

画素電極190は、スイッチング素子 Q_1 に接続され、共通電極270は、上部表示板200の全面に形成されていて共通電圧 V_{com} に接続される。

【0017】

ここで液晶分子は、画素電極190と共通電極270が生成する電場の変化によってその配列を変え、そのために液晶層3を通過する光の偏光が変化する。このような偏光の変化は、表示板100、200に付着された少なくとも一つの偏光子(図示せず)によって光の透過率変化に現れる。

画素電極190は、維持電極線SLと重なってストレージキャパシタ C_{ST} を構成し、隣接する画素電極と結合キャパシタ C_{pp} によって接続されている。また、画素電極190及び共通電極270の少なくとも一方が複数の切開部を有したり電極上に突起が形成され、この場合、視野角が向上できる。

【0018】

図3は、スイッチング素子の例としてMOSトランジスタを示していて、このMOSトランジスタは、実際工程で非晶質シリコンまたは、多結晶シリコンをチャネル層とする薄膜トランジスタに実現される。したがって、下部表示板100を"薄膜トランジスタ表示板(TFTアレイパネル)"という。

図3とは違って、共通電極270が下部表示板100に備わる場合もあり、この時には二つの電極190、270が全て線状または棒形に作られる。

一方、色表示を実現するためには、各画素が色相を表示できるようにすべきであるが、これは、各画素電極190に対応する領域に赤色、緑色、または青色の色フィルタ230を備えることによって可能である。図3において、色フィルタ230は、主に上部表示板200の該当する領域に形成されるので、上部表示板200を"色フィルタ表示板"という。しかし、下部表示板100の画素電極190上のまたは下に色フィルタ230を形成することもできる。

【0019】

図4～図5Bを参照して、本発明の一つの実施例による液晶表示装置の液晶表示板アセンブリ300を詳細に説明する。

図4は、本発明の一つの実施例による液晶表示板アセンブリの配置図であり、図5Aは、図4の液晶表示板アセンブリのVA-VA'線による断面図であり、図5Bは、図4の液晶表示板アセンブリの薄膜トランジスタ表示板のVB-VB'線による断面図である。

本実施例による液晶表示装置は、薄膜トランジスタ表示板100、色フィルタ表示板200、そしてこれらの間に入っている液晶層3を含む。

【0020】

薄膜トランジスタ表示板100は、透明なガラスなどに作られた絶縁基板110上に形成されている複数のゲート線121と複数の維持電極線131を含む。各ゲート線121は、主に行方向へ伸びていて、ゲート電極124を構成する複数の拡張部を含む。維持電極線131は、ゲート線121とほぼ平行で、複数の分岐線を有することもできる。

ゲート線121及び維持電極線131は、AlとAl合金などのAl系金属、AgとAg合金など

10

20

30

40

50

のAg系金属、MoとMo合金などのMo系金属、Cr、Ti、Taなどに作られる。これらは、物理的性質が異なる二つの膜、つまり、下部膜とその上の上部膜を含むことができる。上部膜は、ゲート線121と維持電極線131の信号遅延や電圧降下を減らすことができるように低い抵抗の金属、例えば、Al系金属または、Ag系金属から作られる。これとは異なって、下部膜は、他の物質、特に、ITOやIZOとの物理的、化学的、電気的接触特性に優れた物質、例えばTi、Ta、Cr、Mo系金属などで作られる。下部膜と上部膜の組み合わせの例としてはCr/Al-Nd合金がある。

【0021】

ゲート線121と維持電極線131の側面は、傾いていて、水平面に対する傾斜角は、 $30^{\circ} \sim 80^{\circ}$ であることが好ましい。

10

ゲート線121と維持電極線131上には、窒化珪素(SiN_x)などから作られたゲート絶縁膜140が形成されている。

ゲート絶縁膜140上には、水素化非晶質シリコン(a-Si:H)から作られた複数の線状及び島状半導体151、157が形成されている。線状半導体151は、主に列方向に伸びていて、ゲート電極124に向かって伸びて出た複数の突出部を含む。各突出部は中央部153、中央部153に対して反対側に位置した一对のチャンネル部154a、154b、及びチャンネル部154a、154bと接続されている外側部155a、155bを含む。

【0022】

半導体151、157の上には、シリサイドまたは、燐などのN型不純物が高濃度にドーピングされている水素化非晶質珪素などの物質から作られた複数の線状及び島状のオーミック接触部材161、165a、165b、167が形成されている。

20

半導体151、157とオーミック接触部材161、165a、165b、167の側面もテーパー構造を有して傾斜角は $30^{\circ} \sim 80^{\circ}$ 範囲である。

接触部材161、165a、165b、167上には複数のデータ線171、複数対のドレイン電極175a、175b及び複数の結合部材177が形成されている。

各データ線171は、線状半導体151に沿って主に列方向に伸びていて、その分岐がゲート電極124上に伸びて出て、複数のソース電極173をなす。各対のドレイン電極175a、175bは、ソース電極173に対して互いに対向して、ゲート電極124から上下に伸びている。

ゲート電極124、ソース電極173及びドレイン電極175a、175bは、チャンネル部154a、154bと共に薄膜トランジスタを構成する。

30

【0023】

結合部材177は、主に行方向へ伸びていて維持電極線131と一部重なっている。

データ線171、ドレイン電極175a、175b及び結合部材177は、Al系金属、Ag系金属、Mo系金属、Cr、Ti、Taなどの物質から作られ、多重層に構成できる。

ゲート線121と同様に、データ線171、ドレイン電極175a、175b及び結合部材177の側面は、 $30^{\circ} \sim 80^{\circ}$ の傾斜角を有することができる。

ここで、オーミック接触部材161、165a、165b、167は、半導体151、157とその上のデータ線171、ドレイン電極175a、175b及び結合電極177の間にだけ存在する。

40

【0024】

線状及び島状半導体151、157は、データ線171、ドレイン電極175a、175b、結合部材177に覆われないチャンネル部154a、154bを除けば、データ線171、ドレイン電極175a、175b、結合部材177及びその下部のオーミック接触部材161、165a、165b、167と実質的に同一な平面模様を有する。特に、島状半導体157、ストレージキャパシタ用導電体177及び島状オーミック接触部材167は、実質的に同一な平面形態を有している。

しかし、線状及び島状半導体151、157は、データ線171、ドレイン電極175a、175b及び結合電極177が同一な平面模様を有しないこともある。例えば、線状半導体151は、チャンネル部154a、154bを除いて全て省略される事も出来る。また、

50

線状半導体 151 は、ゲート線 121 とデータ線 171 の効果的な電氣的絶縁のために、これらと交差する部分にも存在できる。

【0025】

データ線 171、ドレイン電極 175a、175b、結合電極 177、並びに半導体 151、157 のチャンネル部 154a、154b 上には、窒化珪素などの無機絶縁物や樹脂などの有機絶縁物から作られた保護膜 180 が形成されている。

保護膜 180 は、ドレイン電極 175a、175b と結合電極 177 の端部を各々露出する複数の接触孔 183a、183b、185 と、データ線 171 の端部を露出する接触孔 182 を有している。ゲート絶縁膜 140 と保護膜 180 は、ゲート線 121 の端部を露出する接触孔 181 を有している。

保護膜 180 の上には、複数対の画素電極 190a、190b と複数の接触補助部材 91、92 が形成されている。画素電極 190a、190b と接触補助部材 91、92 は、ITO または、IZO などの透明導電物質または、反射性金属から作られる。

【0026】

各対の画素電極 190a、190b は、接触孔 183a、183b を通じてドレイン電極 175a、175b と各々接続されている、上の画素電極 190a と下の画素電極 190b を含む。下の画素電極 190b は、接触孔 185 を通じて結合部材 177 と接続されており、上の画素電極 190a は、結合部材 177 と重なっていて、上の画素の下の画素電極 190b と下の画素の上の画素電極 190a が容量結合される。また、上の画素の下の画素電極 190b と下の画素の上の画素電極 190a は、維持電極線 131 を中心に反対方向に位置し、維持電極線 131 と重なってストレージキャパシタを構成する。

一方、下の画素電極 190b は、概して行方向に長く伸びている一つの線状切開部 81 を有していて、行方向に伸びた少なくとも一つの切開部をさらに含む。上の画素電極 190a は、列方向に伸びた少なくとも一つの切開部を備えることができる。上の画素電極 190a が上下の画素電極 190a、190b の総面積の 10% ~ 50% になることが好ましく、特に、20 ~ 30% であることが好ましい。

【0027】

接触補助部材 91、92 は、接触孔 181、182 を通じてゲート線 121 及びデータ線 171 の露出された端部と各々接続されているが、これらはゲート線 121 及びデータ線 171 の露出部分を保護して、外部装置との物理的、電氣的接触性を高めるためのものであり、必須なものはない。

接触補助部材 91、92 を含む領域を除いた薄膜トランジスタ表示板 100 前面には、配向膜 11 が形成されている。

図 4 及び図 5 A を参考すれば、色フィルタ表示板 200 は、透明なガラスなどから作られた絶縁基板 210 上に形成されているブラックマトリックス 220 を含む。ブラックマトリックス 220 は、複数の開口部を有し、この開口部には、複数の赤、緑、青色の色フィルタ 230 が形成されている。色フィルタ 230 上には、オーバーコート膜 250 が形成されており、オーバーコート膜 250 上には、ITO、TZO などの透明な導電物質から作られた共通電極 270 が形成されている。

【0028】

共通電極 270 は、複数対の切開部を含み、各対には、三つの線状切開部 271 ~ 273 が含まれる。各対の切開部 271 ~ 273 は、列方向に長く伸びている一つの縦切開部 271 と行方向に伸びている二つの横切開部 272、273 を含む。縦切開部 271 は、上の画素電極 190a を左右に二つの副領域に区画し、横切開部 272、273 は、下の画素電極 190b の切開部 81 に対して対称して配置されている。切開部 272、81、273 は、下の画素電極 190b を上下に 4 等分する。一对の切開部 81、271、272、273 によって区画された副領域各々は、四角型をなして、その二つの長辺は、ゲート線 121 または、データ線 171 に対して平行になる。

画素電極 190a、190b と共通電極 270 の切開部 81、271、272、273 は、位置が互いに変えることができる。つまり、行方向の切開部 81 は、上の画素 190a

10

20

30

40

50

に位置し、列方向の切開部 271 - 273 は、下の画素 190b に位置することができる。

共通電極 270 上には、配向膜 21 が形成されている。

【0029】

二つの表示板 110、210 の外側面には、各々偏光板 12、22 が付着されている。この時、これら偏光板 12、22 の偏光軸は、ゲート線 121 またはデータ線 171 と実質的に直交又は平行に配置される。

液晶層 3 の液晶分子は、電界が供給されていないときは、表示板 100 及び 200 の表面に水平配向または直交配向されるが、直交配向されるのが広視野角のために好ましい。

切開部 81、271、272、273 のうちの少なくとも一つは、保護膜 180 上に形成される突起に置き換えることができる。

結合電極 177 は、ゲート線 121 と同一層に形成されることができ、この場合には、維持電極線 131 が結合電極 177 と接触しないように留意する必要がある。

【0030】

再び図 1 を参考にすれば、駆動電圧生成部 700 は、スイッチング素子 Q1、Q2 を導通させるゲートオン電圧 V_{on} と、スイッチング素子 Q1、Q2 を遮断させるゲートオフ電圧 V_{of} などを生成する。

階調電圧生成部 800 は、画素の透過率に関する二組の複数の階調電圧を生成する。一組の階調電圧は、共通電圧 V_{com} に対して正の値を有し、他の一組の階調電圧は、共通電圧 V_{com} に対して負の値を有する。

ゲート駆動部 400 は、スキャン駆動部ともいい、液晶表示板アセンブリ 300 のゲート線 $G_1 - G_n$ に接続され、駆動電圧生成部 700 からのゲートオン電圧 V_{on} とゲートオフ電圧 V_{of} の組み合わせからなるゲート信号をゲート線 $G_1 - G_n$ に印加する。

データ駆動部 500 は、ソース駆動部ともいい、液晶表示板アセンブリ 300 のデータ線 $D_1 - D_m$ に接続され、階調電圧生成部 800 からの階調電圧を選択し、データ信号としてデータ線 $D_1 - D_m$ に印加する。

信号制御部 600 は、ゲート駆動部 400 及びデータ駆動部 500 などの動作を制御する。

【0031】

このような液晶表示装置の動作を詳細に説明する。

信号制御部 600 は、外部のグラフィック制御機（図示せず）から RGB 画像信号 R、G、B 及びその表示を制御する入力制御信号、例えば、垂直同期信号 V_{sync} と水平同期信号 H_{sync} 、メインクロック CLK、データイネーブル信号 DE などが提供される。信号制御部 600 は、入力制御信号に基づいてゲート制御信号 CONT1 及びデータ制御信号 CONT2 を生成し、画像信号 R、G、B を液晶表示板アセンブリ 300 の動作条件に合うように適切に処理した後、ゲート制御信号 CONT1 をゲート駆動部 400 に供給し、データ制御信号 CONT2 と処理した画像信号 R' 、 G' 、 B' をデータ駆動部 500 に供給する。

ゲート制御信号 CONT1 は、1 フレームの開始を知らせる垂直同期開始信号 STV、ゲートオン電圧 V_{on} の出力時期を制御するゲートクロック信号 CPV 及びゲートオン電圧 V_{on} の持続時間を規定する出力イネーブル信号 OE などを含む。データ制御信号 CONT2 は、水平周期の開始を知らせる水平同期開始信号 STH、データ線 $D_1 - D_m$ に該当するデータ電圧を印加するように指示するロード信号 LOAD、共通電圧 V_{com} に対するデータ電圧の極性を反転させる反転制御信号 RVS 及びデータクロック信号 HCLK などを含む。

【0032】

データ駆動部 500 は、信号制御部 600 からのデータ制御信号 CONT2 に応答して、信号制御部 600 からの 1 画素行の画像データ R' 、 G' 、 B' のパケットを順次に受信し、これら画像データを、階調電圧生成部 800 からの階調電圧から選択されたアナログデータ電圧に変換し、得られたデータ電圧をデータ線 $D_1 - D_m$ に印加する。

ゲート駆動部 400 は、信号制御部 600 からのゲート制御信号 CONT1 に応答してゲートオン電圧 V_{on} をゲート線 $G_1 - G_n$ に印加し、ゲート線 $G_1 - G_n$ に接続されたスイッチング素

10

20

30

40

50

子 Q_1 、 Q_2 を導通させる。

それによって、導通したスイッチング素子 Q_1 、 Q_2 を通じて対応する画素に該当するデータ電圧が印加される。

【0033】

画素に印加されたデータ電圧と共通電圧 V_{com} の差は、液晶キャパシタ C_{LC1} 、 C_{LC2} の充電電圧、つまり、画素電圧として現れる。液晶分子は、画素電圧の大きさによってその方向を異ならせ、それによって、液晶キャパシタ C_{LC1} 、 C_{LC2} を通過した光の偏光が決定される。偏光子11、22は、決定された光の偏光を光の透過率に変換する。

水平同期信号、データイネーブル信号DE、及びゲートクロック信号CPVの1周期に等しい1水平期間(1H)の1画素行の走査が終了すると、次の画素行が走査される。このような方式で繰り返すことによって、1フレームの間、全てのゲート線 G_1 - G_n に対して順次にゲートオン電圧 V_{on} を印加し、全ての画素にデータ信号を印加する。1フレームが終わると、次のフレームが始まり、画素各々に印加されるデータ電圧の極性が以前フレームでの極性と反対になるように、データ駆動部500に印加される反転制御信号RVSの状態が制御される(“フレーム反転”)。この時、1フレーム内でも反転制御信号RVSの特性によって、一つのデータ線を通じて流れるデータ電圧の極性を変更させたり(“ライン反転”)、一つのバケット毎に印加されるデータ電圧の極性を変更させることができる(“ドット反転”)。

【0034】

一方、ある画素 $P_{i,j}$ に対するデータ電圧と共通電圧 V_{com} との差[以下、特別の理由がない限り共通電圧 V_{com} を0に仮定して、“データ電圧”と称する]を d_j^i として、その画素 $P_{i,j}$ の上及び下の副画素 $P_{i,j}^1$ 、 $P_{i,j}^2$ の液晶キャパシタ C_{LC1} 、 C_{LC2} に充電される電圧(以下、“画素電圧”)を各々 $V(P_{i,j}^1)$ 、 $V(P_{i,j}^2)$ とする時、次のような関係式が成立する。

【数2】

$$V(P_{i,j}^1) = d_j^i \quad (1)$$

$$V(P_{i,j}^2) = d_j^i + \frac{(d_j^{i+1} - d_j^{i+1})C_{pp}}{C_{LC2} + C_{ST2} + C_{pp}} = d_j^i + C \cdot \Delta d_j^{i+1} \quad (2)$$

$$C = \frac{C_{pp}}{C_{LC2} + C_{ST2} + C_{pp}} \text{ and } \Delta d_j^{i+1} = d_j^{i+1} - d_j^{i+1}$$

式1及び2において、 C_{LC2} 、 C_{ST2} は、下側の副画素 $P_{i,j}^2$ の液晶キャパシタ及びストレージキャパシタの静電容量であり、 C_{pp} は、結合キャパシタの静電容量であり、 d_j^{i+1} は、前フレームで副画素 $P_{i+1,j}^1$ に印加されたデータ電圧を意味する。便宜上、データ線 D_1 - D_m の配線抵抗や信号遅延は無視する。

【0035】

d_j^{i+1} と d_j^{i+1} は互いに反対極性であるので

【数3】

$$|\Delta d_j^{i+1}| \geq |d_j^{i+1}| \geq 0$$

$$|\Delta d_j^{i+1}| \geq |d_j^{i+1}| \geq 0$$

(3)

が成立する。

d_j^{i+1} が d_j^{i+1} と同一極性であれば、 Δd_j^{i+1} の極性が d_j^i と同一なので、

10

20

30

40

【数 4】

$$|V(P_{i,j}^2)| = |d_j^i + C \cdot \Delta d_j^{i+1}| \geq |d_j^i| = |V(P_{i,j}^1)| \quad (4)$$

が成り立つ。

ドット反転または、ライン反転の場合のように、 d_j^{i+1} が d_j^i と反対極性であれば、 Δd_j^{i+1} の極性が d_j^i と反対であるので、つまり、 $-\Delta d_j^{i+1}$ の極性が d_j^i の極性と同一なので、

【数 5】

$$|V(P_{i,j}^2)| = |d_j^i - C \cdot (-\Delta d_j^{i+1})| \leq |d_j^i| = |V(P_{i,j}^1)| \quad (5) \quad 10$$

式(4)と(5)によれば、結合キャパシタ C_{pp} に接続された二つの副画素の極性が同一であれば、下側の副画素 $P_{i,j}^2$ に上側の副画素 $P_{i,j}^1$ より高い電圧が充電され、これと反対に極性が互いに反対である場合には、下側の副画素 $P_{i,j}^2$ に上側の副画素 $P_{i,j}^1$ より低い電圧が充電される。

【0036】

結局、隣接した二つの画素行に印加されるデータ電圧の極性が同一であれば、上側の画素の下側の副画素に充電される画素電圧が高まり、逆に極性が異なれば低くなり、一つの画素の上側の副画素と下側の副画素に各々充電される画素電圧に差が発生する。

一方、画素 $P_{i,j}$ の下側の副画素 $P_{i,j}^2$ に充電される画素電圧は、図2に示すように、下画素 $P_{i,j+1}$ に対する前フレームと現在フレームのデータ差電圧の大きさと関連がある。 20

理解を容易にするために、停止画像を想定する。停止画像である場合、前フレームのデータ電圧の絶対値が、現在フレームのデータ電圧の絶対値と同一である。フレーム反転を考慮すれば、 $d_j^{i+1} = -d_j^{i+1}$ であるので、

【数 6】

$$V(P_{i,j}^2) = d_j^i + 2C \cdot d_j^{i+1} \quad (6)$$

になる。

式(6)から、ある画素行の画素に全て同一なデータ電圧が印加されると仮定しても、該画素行の画素の画素電圧は、その次の画素行に印加されるデータ電圧の大きさに依存することが分かる。 30

特に、下の画素行における画素電圧の偏差が大きい場合には、上の画素行における画素電圧の偏差が大きくなる。

【0037】

一方、ある副画素に充電された電圧が V である時、その副画素の透過率を $T(V)$ で示す。 $T(V)$ は、製品ごとに変動し、ノーマリーブラックモードの場合、図6のような特性を示す。画素各々の上側の副画素と下側の副画素の面積比を $a:b$ に仮定する。

すると、画素 $P_{i,j}$ の明るさ T_{ij} は、

【数 7】

$$T_{ij} = \frac{aT[V(P_{i,j}^1)] + bT[V(P_{i,j}^2)]}{a+b} \quad (7) \quad 40$$

により与えられ、式(1)と式(6)から

【数 8】

$$T_{ij} = \frac{aT(d_j^i) + bT(d_j^i + 2C \cdot d_j^{i+1})}{a+b} \quad (8)$$

となる。

式(8)から分かるように、下の画素行に対するデータ電圧の大きさの偏差が画素別に 50

大きくなると、上の画素行の画素の透過率の差も大きくなる。

【 0 0 3 8 】

本発明の実施例では、下行の画素に供給されるデータ電圧と等しいデータ電圧が印加される場合の画素の透過率が、下行の画素に供給されるデータ電圧と異なるデータ電圧が印加される場合の透過率と同一になるように、該画素に印加される画像信号を補正する。

例えば停止画像とする。

i 番目画素行の j 番目画素とその下の画素に同一なデータ電圧が印加されれば、ドット反転の場合、上下の画素の極性が反対であるので、 $d_j^i = -d_j^{i+1}$ であり、一方、上下の画素の極性が同一ならば $d_j^i = d_j^{i+1}$ であるので、以下の式が成立する。

【 数 9 】

$$T_{ij} = \frac{aT(d_j^i) + bT(d_j^i \pm 2C \cdot d_j^i)}{a+b} \quad (9)$$

10

便宜上、添字 j を全て省略し、 d^i の補正電圧を d_c^i とする。補正された透過率は、以下の式で表される。

【 数 1 0 】

$$T_i = \frac{aT(d_c^i) + bT(d_c^i + 2C \cdot d^{i+1})}{a+b} \quad (10)$$

式 (9) と式 (1 0) から、以下の式が得られる。

20

【 数 1 1 】

$$\frac{aT(d^i) + bT(d^i \pm 2C \cdot d^i)}{a+b} = \frac{aT(d_c^i) + bT(d_c^i + 2C \cdot d^{i+1})}{a+b} \quad (11)$$

電圧対透過率 (V-T) 特性は決められているので、式 (1 1) から、ある画素の補正データ電圧 d_c^i は、その画素のデータ電圧 d^i とその下の画素のデータ電圧 d^{i+1} から求められる。もちろん動画像に対しても前フレームのデータ電圧の値と現在フレームのデータ電圧の値が同一であると仮定すれば、同様に適用できる。

【 0 0 3 9 】

30

このような動作をするための構造について、図 7 を参考に詳細に説明する。

図 7 は、本発明の一つの実施例による画素電圧補正部のブロック図である。

図 7 に示したように、画素電圧補正部は、一つの行の画素に対する画像信号 R、G、B を記憶する赤色 (R)、緑色 (G)、そして、青色 (B) 用メモリ 6 2 1 ~ 6 2 3、メモリ 6 2 1 ~ 6 2 3 に接続されているメモリ書込み制御部 6 1 0 及びメモリ読取り制御部 6 3 0 と、画像信号 R、G、B を受信し、メモリ読取り制御部 6 3 0 に接続されているデータ補正部 6 4 0 を含む。

メモリ 6 2 1 ~ 6 2 3 各々は、読取り・書き込みが同時に可能な二重ポートメモリとして、メモリ書込み制御部 6 1 0 とメモリ読取り制御部 6 3 0 に接続されたアドレス端子とデータ端子を備えており、一つの行の画素に対する画像信号 R、G、B を記憶できる。

40

【 0 0 4 0 】

メモリ書込み制御部 6 1 0 は、画像信号 R、G、B を受信し、一行分ずつメモリ 6 2 1 ~ 6 2 3 の該当するアドレスに書き込む。

メモリ読取り制御部 6 3 0 は、メモリ 6 2 1 ~ 6 2 3 各々に記憶された一つの行の画素に対する画像信号 R、G、B を読み出し、データ補正部 6 4 0 に伝達する。

データ補正部 6 4 0 は、メモリ読取り制御部 6 3 0 からの画像信号 R、G、B を現在入力される一つの行の画像信号 R、G、B と比較した後、先に説明した方式で決定された補正画像信号が記憶されているルックアップテーブルから該当する補正画像信号 R' 、 G' 、 B' を検索し、データ駆動部 5 0 0 に供給する。

本発明の実施例において、このような構造を有する画素電圧補正部は、信号制御部 6 0

50

0 に内蔵されているが、信号制御部 600 と別途に独立的に存在することもできる。

【0041】

このような構造に構成されている画素電圧補正部の動作をさらに詳細に説明する。

まず、外部からメモリ書込み制御部 610 とデータ補正部 640 に画像信号 R、G、B が入力されれば、メモリ書込み制御部 610 は、画像信号 R、G、B を該当する赤色、緑色及び青色用メモリ 621 ~ 623 の該当するアドレスに順次書き込む。この書き込み動作は、メモリ書込み制御部 610 がデータ端子を通じて画像信号をメモリ 621 ~ 623 に供給すると同時にアドレス端子を通じて書き込む位置を知らせるアドレス信号 AS をメモリ 621 ~ 623 に印加することによって行われる。

【0042】

一つの行の画素に対する画像信号が全てメモリ 621 ~ 623 に記憶されれば、メモリ読取り制御部 630 は、メモリ 621 ~ 623 に記憶されている画像信号を順次に読み出し、“以前画像信号”としてデータ補正部 640 に供給する。この読取り動作は、メモリ読取り制御部 630 が読み出す位置を知らせるアドレス信号 AS をアドレス端子を通じてメモリ 621 ~ 623 に印加すれば、メモリ 621 ~ 623 が当該位置に記憶された画像信号 R、G、B をデータ端子を通じてメモリ読取り制御部 630 に供給することによって行われる。

この時、データ補正部 640 は、外部から次の画素行に対する画像信号（以下、“現在画像信号”とする）を受信し始める。データ補正部 640 は、メモリ読取り制御部 630 からの以前画像信号を現在画像信号と比較し、二つの画像信号によって決められる値をルックアップテーブルから選択し、以前画像信号の補正画像信号 R'、G'、B' としてデータ駆動部 500 に出力する。

【0043】

具体的な過程を説明する。

以前画像信号値と現在画像信号値を比較し、二つの値が同一であるか、二つの値の差が一定値以下であれば、以前画像信号をそのまま補正画像信号 R'、G'、B' として出力する。これとは異なって、二つの値が異なってその差が一定値の以上であれば、ルックアップテーブルから該当する値を探し、補正画像信号として出力する。この時、ルックアップテーブルに記憶されている値は、例えば、図 8 に示した形態でありうる。ここで、 $x_{i,j}$ は、式 (11) の関係式から得た結果である。

一方、メモリ読取り制御部 630 がメモリ 621 ~ 623 から以前画像信号を読み出す間、メモリ書込み制御部 610 は、現在画像信号をメモリ 621 ~ 623 に書き込む。この時、読取り動作と書き込み動作は、同時に行われることができ、書き込み動作が読取り動作より遅れて進められることもできる。

【0044】

ここで、データ補償部 640 に供給される最初の画素行の画像信号 R、G、B についてはメモリ 621 ~ 623 に記憶されている画像信号が存在しないので、データ補正部 640 から出力がなく、第二行の信号が入る時、第一行の画像信号が出力されるので、画像信号 R、G、B の入力時点と補正画像信号 R'、G'、B' の出力時点は、一つの水平周期 (1H) すなわち水平同期信号 H_{sync} の一周期の差が出る。

このように、本実施例では、現在画像信号と以前画像信号に基づいて、新たな補正画像信号を生成し、データ駆動部に印加するので、上下の画素間の階調差によって現れる同じ行の画素間の明るさの差を補償できる。

【0045】

次に、図 9 を参照にして、本発明の他の実施例による画素電圧補正部について説明する。

図 9 は、本発明の他の実施例による画素電圧補正部の回路図である。

図 7 に示した画素電圧補正部との主な差異点は、同時に読取り書き込みが不可能である単一ポートメモリを使用するという点である。具体的に、図 9 に示した画素電圧補正部は、画像信号 R、G、B を受信するマルチプレクサ 650、このマルチプレクサ 650 の出力

10

20

30

40

50

端子各々に接続された一対の第 1 及び第 2 メモリ制御部 6 1 1、6 1 2、アドレス端子とデータ端子を通じてこれら第 1 及び第 2 メモリ制御部 6 1 1、6 1 2 に各々接続された一対の第 1 及び第 2 赤色用メモリ 6 2 1 A、6 2 1 B、一対の第 1 及び第 2 緑色用メモリ 6 2 2 A、6 2 2 B、及び一対の第 1 及び第 2 青色用メモリ 6 2 3 A、6 2 3 B、並びに第 1 及び第 2 メモリ制御部 6 1 1、6 1 2 に接続されたデータ補正部 6 4 0 を含んでいる。

【0046】

マルチプレクサ 6 5 0 は、制御端子に印加される制御信号 CS の状態によって信号の出力経路が決定される。本実施例で、制御信号 CS は、例えば、一つの行の画素に対する画像信号の伝送時間と周期が同一な水平同期信号 H_{sync} やデータイネーブル信号 DE に同期し、信号制御部 6 0 0 で作りだした高レベルである "ハイ" 状態と低レベルである "ロー" 状態が繰り返される信号である。例えば、制御信号 CS の状態が "ハイ" である時、マルチプレクサ 6 5 0 の出力経路は第 1 経路 A であり、"ロー" である時、出力経路は第 2 経路 B である。しかし、このような制御信号 CS の状態とマルチプレクサ 6 5 0 の出力経路は変更できる。

10

【0047】

このような本発明の一つの実施例による画像電圧補正部の動作について説明する。

まず、画像信号 R、G、B が入力され、この時の制御信号 CS の状態が "ハイ" であれば、マルチプレクサ 6 5 0 の画像信号出力経路は、第 1 経路 A になる。したがって、マルチプレクサ 6 5 0 は、第 1 メモリ制御部 6 1 1 に画像信号 R、G、B を伝送する。第 1 メモリ制御部 6 1 1 は、データ補正部 6 4 0 に画像信号 R、G、B を伝送すると同時に第 1 メモリ 6 2 1 A、6 2 2 A、6 2 3 A 各々の該当するアドレスを指定するアドレス信号 AS を、画像信号 R、G、B と共に第 1 メモリ 6 2 1 A、6 2 2 A、6 2 3 A に送り、画像信号を記憶させる。

20

【0048】

一つの画素行の画像信号 R、G、B が全て入力されれば、制御信号 CS の状態が "ロー" に変わり、マルチプレクサ 6 5 0 の出力経路は、第 2 経路 B になるので、マルチプレクサ 6 5 0 は、第 2 経路 B を通じて第 2 メモリ制御部 6 1 2 に、次行の画像信号 R、G、B を伝送する。第 2 メモリ制御部 6 1 2 は、画像信号 R、G、B を現在画像信号としてデータ補正部 6 4 0 に供給し、アドレス信号 AS と共に画像信号を第 2 メモリ制御部 6 1 2 に送り、指定されたアドレスの該当するメモリ 6 2 1 B、6 2 2 B、6 2 3 B に該する画像信号 R、G、B を記憶させる。その間、第 1 メモリ制御部 6 1 1 は、メモリ 6 2 1 A、6 2 2 A、6 2 3 A 各々のアドレスに記憶されている画像信号を読み出して、以前画像信号としてデータ補正部 6 4 0 に供給する。

30

データ補正部 6 4 0 は、以前画像信号を現在画像信号 R、G、B と比較し、この現在画像信号 R、G、B と以前画像信号の値に依存して決められる補正画像信号 R' 、 G' 、 B' を選択して出力する。

【図面の簡単な説明】

【0049】

【図 1】本発明の一つの実施例による液晶表示装置のブロック図である。

【図 2 A】本発明の実施例による液晶表示装置の等価回路図である。

【図 2 B】本発明の他の実施例による液晶表示装置の等価回路図である。

【図 3】本発明の一つの実施例による液晶表示装置における、一つの副画素の等価回路図である。

40

【図 4】本発明の一つの実施例による液晶表示板アセンブリの配置図である。

【図 5 A】図 4 の VA-VA' 線による薄膜トランジスタ表示板の断面図である。

【図 5 B】図 4 の VB-VB' 線による薄膜トランジスタ表示板の断面図である。

【図 6】本発明の一実施例による液晶表示装置の電圧-透過率曲線を示すグラフである。

【図 7】本発明の一実施例による画素電圧補正部のブロック図である。

【図 8】本発明の一つの実施例による画素電圧補正部のルックアップテーブルの説明図である。

【図 9】本発明の他の実施例による画素電圧補正部のブロック図である。

【図 1】

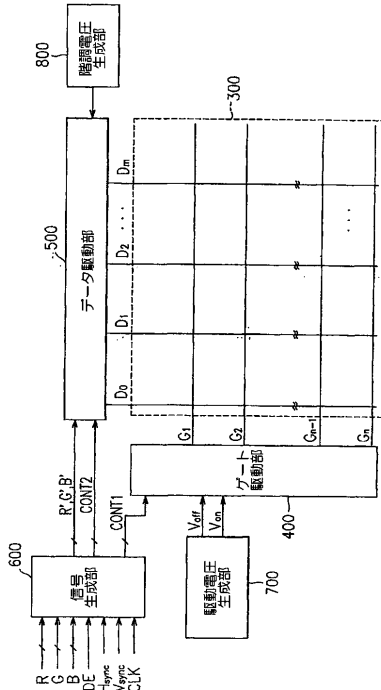


FIG. 2A

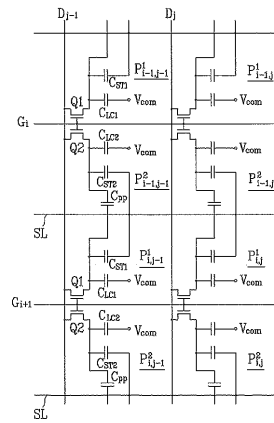
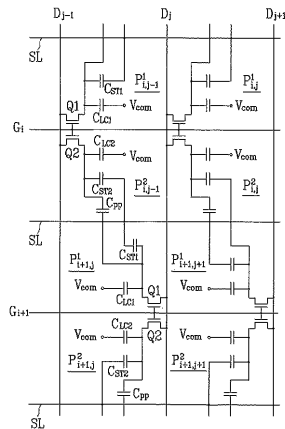
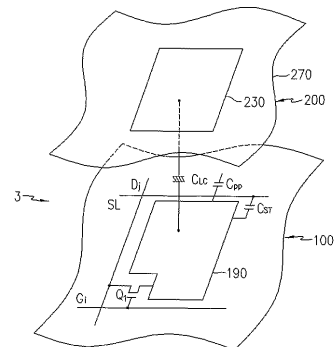


FIG. 2B



【図 3】

FIG. 3



【図4】

FIG.4

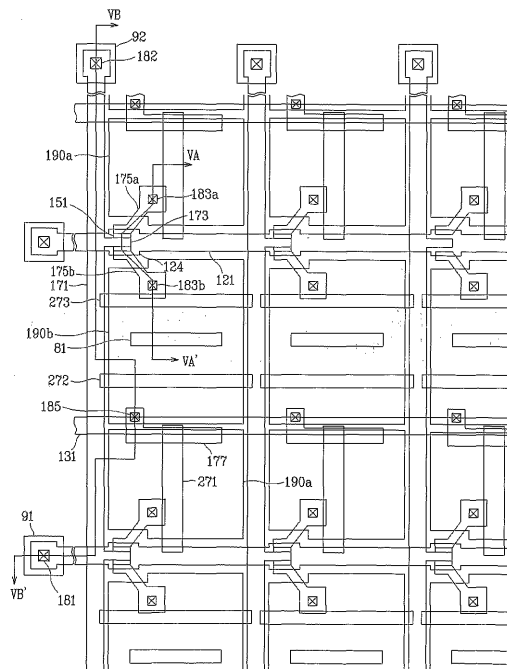


FIG.5A

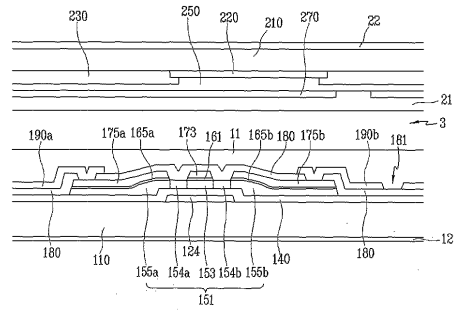
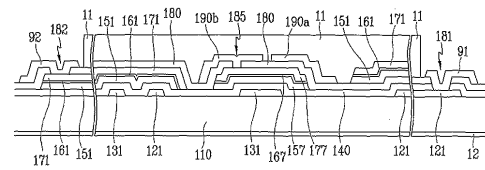
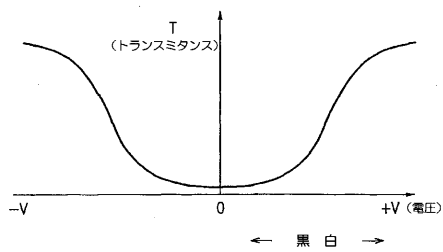


FIG.5B



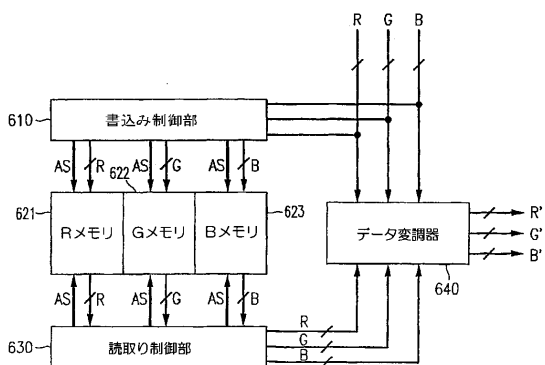
【図6】



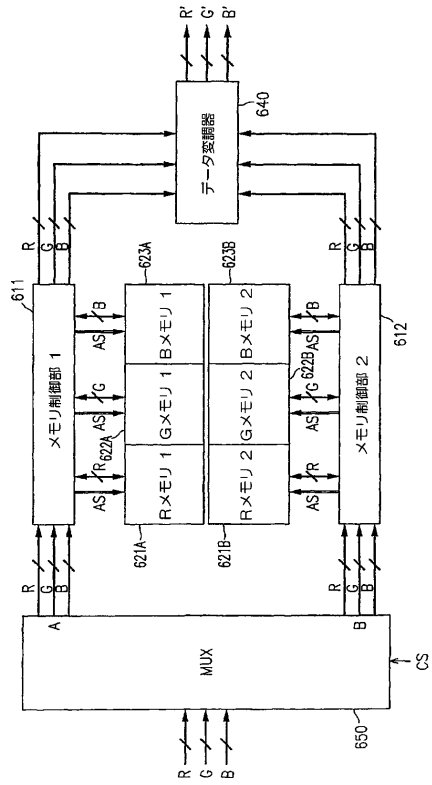
【図8】

以前	現在	1	2	...	K-1	K
1	1	$X_{2,1}$			$X_{1,K-1}$	$X_{1,K}$
2	$X_{2,1}$	2			$X_{2,K-1}$	$X_{2,K}$
...	...	...			...	...
R-1	$X_{R-1,1}$	$X_{R-1,2}$			R-1	$X_{R-1,K}$
R	$X_{R,1}$	$X_{R,2}$			$X_{R,K-1}$	R

【図7】



【図 9】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR 03/02514-0

CLASSIFICATION OF SUBJECT MATTER		
IPC ⁷ : G09G 3/36, G09G 3/20, G02F 1/133, H04N 5/66		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC ⁷ : G09G, G02F, H04N		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
WPI, PAJ, EPODOC, English Fulltext		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	US 2003/0058211 A1 (KIM et.al.) 27 March 2003 (27.03.2003) <i>the whole document.</i>	1-12
P,A	US 2003/0151579 A1 (LEE) 14 August 2003 (14.08.2003) <i>the whole document.</i>	1-12
A	US 6359389 B1 (EVANICKY et.al.) 19 March 2002 (19.03.2002) <i>the whole document.</i>	1-12
A	US 6429841 B (LEE) 6 August 2002 (06.08.2002) <i>the whole document.</i>	1-12
A	KR 2002 017318 A (SAMSUNG ELECTRONICS CO LTD) 7 March 2002 (07.03.2002) <i>the whole document.</i>	1-12
A	EP 1122711 A (SAMSUNG ELECTRONICS CO LTD) 8 August 2001 (08.08.2001) <i>the whole document.</i>	1-12
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: „A“ document defining the general state of the art which is not considered to be of particular relevance „E“ earlier application or patent but published on or after the international filing date „L“ document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) „O“ document referring to an oral disclosure, use, exhibition or other means „P“ document published prior to the international filing date but later than the priority date claimed „T“ later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention „X“ document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone „Y“ document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art „&“ document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
18 May 2004 (18.05.2004)		23 June 2004 (23.06.2004)
Name and mailing address of the ISA/AT Austrian Patent Office Dresdner Straße 87, A-1200 Vienna Facsimile No. 1/53424/535		Authorized officer WALTER P. Telephone No. 1/53424/569

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR 03/02514-0

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 09 090910 A (MATSUSHITA DENKI SANGYO KK) 4 April 1997 (04.04.1997) <i>the whole document.</i> -----	1-12

INTERNATIONAL SEARCH REPORT
 Information on patent family members

 International application No.
 PCT/KR 03/02514-0

Patent document cited in search report			Publication date	Patent family member(s)			Publication date
EP	A	1122711		TW	B	516011	2003-01-01
				KR	A	2002044672	2002-06-19
				KR	A	2002010216	2002-02-04
				KR	A	2001077568	2001-08-20
				US	A	2001038372	2001-11-08
				JP	A	2001265298	2001-09-28
JP	A	91082		none			
KR	A	20020173 18	2002-03-07	none			
US	A	20030058 211		none			
US	A	20030151 579		none			
US	B	6359389	2002-03-19	none			
US	B	6429841	2002-08-06	KR	A	2000013602	2000-03-06

フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G	3/20	6 3 1 B
G 0 9 G	3/20	6 3 1 D
G 0 9 G	3/20	6 3 1 M
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 4 1 Q
G 0 9 G	3/20	6 4 2 A

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100096068

弁理士 大塚 住江

(72) 発明者 リ, セウン - ウー

大韓民国ソウル 1 5 3 - 8 4 4 , クムチョン - ク, ドクサン 1 - ドン 2 9 3 - 1 0 , ドクサン・ヒュンダイ・アパートメント 1 0 2 - 1 0 0 8

(72) 発明者 キム, ヤン - キ

大韓民国キョンギ - ドー, ファソン - シティ, バイオンジェオム - リ・タエアン - ユ 4 4 5 - 9 7 4 , シンミジュアパートメント 1 0 2 - 7 0 2

(72) 発明者 リ, ジュン - ヒー

大韓民国キョンギ - ドー, スウォン - シティ 4 4 2 - 4 0 0 , パルダル - ク, マンポ - ドン 6 9 4 , マンポマウル・ヒュンダイ 1 - チャ・アイ・パーク 1 0 9 - 8 0 2

F ターム(参考) 2H093 NA16 NC13 NC28 NC34 NC35 ND03 ND06 NF04 NH18

5C006 AF03 AF04 AF06 AF13 AF44 AF45 AF46 AF53 BB16 BC16

BF01 BF02 BF09 FA18 FA22 FA54 FA55 GA02

5C080 AA10 BB05 DD01 DD05 EE28 EE29 FF11 GG12 GG15 GG17

JJ02 JJ03 JJ05 JJ06

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2006506683A	公开(公告)日	2006-02-23
申请号	JP2004553275	申请日	2003-11-20
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
[标]发明人	リセウンウー キムヤンキ リジュンヒー		
发明人	リ,セウン-ウー キム,ヤン-キ リ,ジュン-ヒー		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G02F1/1343 G09G5/02		
CPC分类号	G09G3/3607 G02F2001/134345 G09G5/02 G09G2300/0876 G09G2360/126		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.550 G02F1/133.575 G09G3/20.612.U G09G3/20.631.B G09G3/20.631.D G09G3/20.631.M G09G3/20.631.V G09G3/20.641.Q G09G3/20.642.A		
F-TERM分类号	2H093/NA16 2H093/NC13 2H093/NC28 2H093/NC34 2H093/NC35 2H093/ND03 2H093/ND06 2H093/NF04 2H093/NH18 5C006/AF03 5C006/AF04 5C006/AF06 5C006/AF13 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF53 5C006/BB16 5C006/BC16 5C006/BF01 5C006/BF02 5C006/BF09 5C006/FA18 5C006/FA22 5C006/FA54 5C006/FA55 5C006/GA02 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD05 5C080/EE28 5C080/EE29 5C080/FF11 5C080/GG12 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06		
代理人(译)	小林 泰 千叶昭夫		
优先权	1020020072443 2002-11-20 KR		
外部链接	Espacenet		

摘要(译)

提供了一种用于驱动液晶显示装置的装置，该液晶显示装置连接到栅极线和数据线并且包括以矩阵形式布置的多个像素。的驱动装置，用于产生多个灰度电压的灰度电压产生器，一第二顺序接收所述第一图像信号和像素行的下一个像素行，所述第一图像信号和图像信号选择校正后的图像信号在所述第二图像信号的依赖性决定的，所述图像信号校正单元，用于输出第一图像信号，而不是以及数据驱动器，用于从多个灰度级电压中选择与来自图像信号校正器的校正图像信号对应的灰度级电压，并将所选择的数据作为数据电压施加到像素。

