

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-317638

(P2006-317638A)

(43) 公開日 平成18年11月24日(2006.11.24)

(51) Int. Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード(参考)

2H092

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号

特願2005-139087 (P2005-139087)

(22) 出願日

平成17年5月11日(2005.5.11)

(71) 出願人

302020207

東芝松下ディスプレイテクノロジー株式会社

東京都港区港南4-1-8

(74) 代理人

100062764

弁理士 樺澤 襄

(74) 代理人

100092565

弁理士 樺澤 聡

(74) 代理人

100112449

弁理士 山田 哲也

(72) 発明者

村田 幹夫

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

最終頁に続く

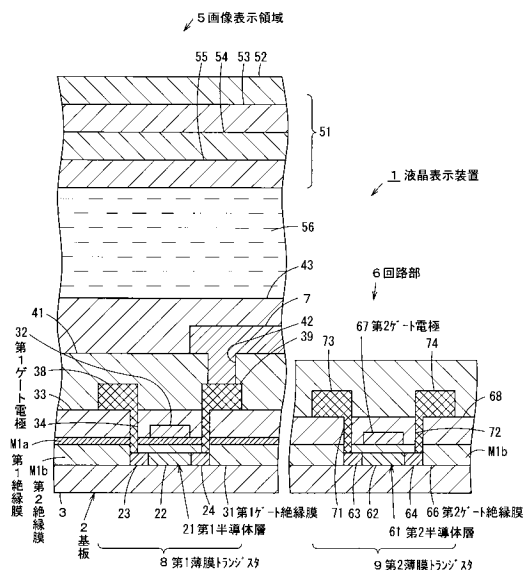
(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【要約】

【課題】高耐圧の薄膜トランジスタとオン電流が大きい薄膜トランジスタとを共通のアレイ基板に形成した液晶表示装置の製造方法を提供する。

【解決手段】アレイ基板2のガラス基板3上に形成した各ゲート絶縁膜31,66をそれぞれパターニングする。各ゲート絶縁膜31,66のそれぞれを、所定の膜厚差となるまでドライエッチングする。高耐圧の第1薄膜トランジスタ8と、第1薄膜トランジスタ8の第1ゲート絶縁膜31よりも薄い第2ゲート絶縁膜66を備えオン電流が大きい第2薄膜トランジスタ9とを共通のガラス基板3上に容易に形成できる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板に設けられた第 1 半導体層上に設けられた第 1 ゲート絶縁膜を備えた第 1 薄膜トランジスタと、前記基板に設けられた第 2 半導体層上に設けられ前記第 1 ゲート絶縁膜よりも膜厚が小さい第 2 ゲート絶縁膜を備えた第 2 薄膜トランジスタとを備えた液晶表示装置の製造方法であって、

前記第 1 ゲート絶縁膜および前記第 2 ゲート絶縁膜にそれぞれパターンニングする絶縁膜パターンニング工程と、

前記第 1 ゲート絶縁膜および前記第 2 ゲート絶縁膜のそれぞれを、第 2 ゲート絶縁膜の膜厚が前記第 1 ゲート絶縁膜の膜厚よりも小さくなるようにエッチングするエッチング工程と

10

を具備したことを特徴とした液晶表示装置の製造方法。

【請求項 2】

第 1 薄膜トランジスタは、画像表示領域の画素に用いられる素子であり、

第 2 薄膜トランジスタは、前記画像表示領域の周辺に位置し前記画素を駆動する回路部に用いられる素子である

ことを特徴とした請求項 1 記載の液晶表示装置の製造方法。

【請求項 3】

第 1 ゲート絶縁膜と第 2 ゲート絶縁膜とは、共通のゲート絶縁膜を加工して形成され、前記ゲート絶縁膜は、

20

第 1 絶縁膜と、

この第 1 絶縁膜と第 1 半導体層および第 2 半導体層との間に位置する第 2 絶縁膜とを備え、

エッチング工程は、前記第 1 絶縁膜よりも前記第 2 絶縁膜のエッチングレートを遅くし、前記第 1 絶縁膜と前記第 2 絶縁膜とで第 1 ゲート絶縁膜を形成するとともに、前記第 1 絶縁膜を前記第 2 絶縁膜に対して選択的にエッチングすることで第 2 ゲート絶縁膜を形成する

ことを特徴とした請求項 1 または 2 記載の液晶表示装置の製造方法。

【請求項 4】

第 1 絶縁膜は、シリコン窒化膜であり、

30

第 2 絶縁膜は、シリコン酸化膜であり、

エッチング工程は、四フッ化炭素および酸素を含む混合ガスと三フッ化窒素および塩素を含む混合ガスとのいずれか一方を用いるドライエッチング法である

ことを特徴とした請求項 3 記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板に設けられた複数の薄膜トランジスタを有する液晶表示装置の製造方法に関する。

【背景技術】

40

【0002】

近年、液晶表示装置においては、画素毎に液晶を駆動させるための薄膜トランジスタ (Thin Film Transistor: TFT) を備えたアクティブマトリクス型の液晶表示装置が主流となりつつある。なかでも、半導体層に多結晶シリコンとしてのポリシリコンを用いたポリシリコン TFT 液晶は、ガラス基板上に駆動回路の一部を取り込むことによる製造コストの削減のほか、狭額縁、高開口率および高精細化に適するとして、次第に普及してきている。また、一般的なアクティブマトリクス型の液晶表示装置は、多結晶シリコンを活性層に用いた薄膜トランジスタをアレイ基板上に形成している。

【0003】

そして、このアレイ基板は、ガラスなどの絶縁基板上にプラズマ CVD 法などによって

50

非晶質半導体薄膜であるアモルファスシリコン薄膜を堆積させる。この後、このアモルファスシリコン薄膜にエキシマレーザービームなどのエネルギービームを照射して溶融させて結晶化させて多結晶膜であるポリシリコン薄膜とする。次いで、このポリシリコン薄膜の表面をレジストにて覆った後、このポリシリコン薄膜にプラズマを照射してドライエッチングして島状にパターニングする。この後、この島状のポリシリコン薄膜上にシリコン酸化膜などによるゲート絶縁膜をプラズマCVD法などにて形成する。さらに、このゲート絶縁膜上に金属膜をスパッタ法などにて成膜してからパターニングしてゲート電極を形成する。

【0004】

この金属膜の成膜工程の前までに薄膜トランジスタのチャンネル部にp型、あるいはn型の不純物を注入し、薄膜トランジスタの閾値電圧を調整した後、このゲート電極をマスクとしてp型あるいはn型の不純物を高濃度に注入して薄膜トランジスタのソース領域およびドレイン領域を形成する。次いで、アニールを行って不純物を活性化した後、ゲート電極を含むゲート絶縁膜上に層間絶縁膜を成膜する。さらに、これら層間絶縁膜およびゲート絶縁膜をパターニングして、活性層のソース領域およびドレイン領域に連通するコンタクトホールを形成する。この後、これらコンタクトホールを含む層間絶縁膜上にスパッタ法などで金属膜を形成した後、レジストを剥離してソース電極およびドレイン電極を形成し、さらにパッシベーション膜を成膜する。

10

【0005】

ところで、アクティブマトリクス型の液晶表示装置においては、ガラス基板上に駆動回路などの回路を作り込む際に、画素部に用いられる薄膜トランジスタと、回路部に用いられる薄膜トランジスタとは、要求される性能が異なる。

20

【0006】

すなわち、画素部の薄膜トランジスタでは、液晶を駆動するために、高電圧(～5V)が印加されるため、高耐圧が要求される一方で、回路部の薄膜トランジスタでは、より低い電圧での動作で充分であり、高耐圧は要求されないものの、駆動する回路の高速動作が求められるため、大きなオン電流が要求される。

【0007】

そこで、画素部の薄膜トランジスタと回路部用の薄膜トランジスタとの両方に第1ゲート絶縁膜を成膜し、この第1ゲート絶縁膜にパターニングしてエッチング法により回路部用の薄膜トランジスタのみに第1ゲート絶縁膜を形成した後、この第1ゲート絶縁膜を含む各薄膜トランジスタ上に新たに他のゲート絶縁膜を成膜し、パターニングおよびエッチングする方法が知られている(例えば、特許文献1参照。)

30

【特許文献1】特開平8-250742号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上述の液晶表示装置の製造方法では、画素部の薄膜トランジスタと回路部用の薄膜トランジスタとでゲート絶縁膜の膜厚を異ならせるために、ゲート絶縁膜の成膜、パターニングおよびエッチングを繰り返さなければならず、製造性が良好でないという問題点を有している。

40

【0009】

本発明は、このような点に鑑みなされたもので、高耐圧の薄膜トランジスタとオン電流が大きい薄膜トランジスタとを共通の基板に容易に形成できる液晶表示装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、基板に設けられた第1半導体層上に設けられた第1ゲート絶縁膜を備えた第1薄膜トランジスタと、前記基板に設けられた第2半導体層上に設けられ前記第1ゲート絶縁膜よりも膜厚が小さい第2ゲート絶縁膜を備えた第2薄膜トランジスタとを備えた液

50

晶表示装置の製造方法であって、前記第1ゲート絶縁膜および前記第2ゲート絶縁膜にそれぞれパターンニングする絶縁膜パターンニング工程と、前記第1ゲート絶縁膜および前記第2ゲート絶縁膜のそれぞれを、第2ゲート絶縁膜の膜厚が前記第1ゲート絶縁膜の膜厚よりも小さくなるようにエッチングするエッチング工程とを具備したものである。

【0011】

そして、パターンニング工程にて第1ゲート絶縁膜および第2ゲート絶縁膜にそれぞれパターンニングし、エッチング工程にて第2ゲート絶縁膜の膜厚が第1ゲート絶縁膜の膜厚よりも小さくなるようにエッチングする。

【発明の効果】

【0012】

本発明によれば、第1薄膜トランジスタの第1ゲート絶縁膜よりも第2薄膜トランジスタの第2ゲート絶縁膜の膜厚をパターンニング工程およびエッチング工程により、容易に小さくし、高耐圧の第1薄膜トランジスタと、オン電流が大きい第2薄膜トランジスタとを共通の基板に容易に形成できる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の一実施の形態の液晶表示装置の構成を図1ないし図10を参照して説明する。

【0014】

図1ないし図3において、1は液晶表示装置としての液晶パネルである。この液晶パネル1は、トップゲートタイプの薄膜トランジスタ(Thin Film Transistor: TFT)方式である。また、この液晶パネル1は、アクティブマトリクス型でもある。そして、この液晶パネル1は、基板としての薄膜トランジスタ基板である略矩形平板状のアレイ基板2を備えている。このアレイ基板2は、略透明な矩形平板状の絶縁基板としてのガラス基板3を有している。

【0015】

さらに、図3に示すように、アレイ基板2の図1に示すガラス基板3の一主面である表面上の中央部には、複数の画素4をマトリクス状に備えた画像表示領域としての画面部5が形成されているとともに、ガラス基板3の表面上の画面部5の周辺である側方には、画素4を駆動する回路部としての駆動領域である周辺回路部6が形成されている。

【0016】

また、ガラス基板3の表面の画面部5に対応する部分には、配線層としてのゲート電極配線である図示しない複数の走査線と、配線層としての画像信号配線である図示しない複数の信号線とが、格子状に配線され、それぞれ周辺回路部6に電氣的に接続されている。走査線は、ガラス基板3の横方向に向けて等間隔に平行に離間されている。また、信号線は、ガラス基板3の横方向に向けて等間隔に平行に離間されている。そして、これら走査線および信号線の各交点に対応して、図1に示す画素電極7、補助容量および第1薄膜トランジスタ8のそれぞれが画素4毎に設けられている。

【0017】

画素4のそれぞれには、図1に示す画素電極7、蓄積容量としての図示しない補助容量および第1薄膜トランジスタ8がそれぞれ1つずつ配置されている。

【0018】

また、周辺回路部6は、各走査線に走査信号を供給して第1薄膜トランジスタ8をオンオフさせるタイミングに同期して、各信号線に画素信号を供給することによって、アレイ基板2の画面部5に所定の画像を表示させる回路部であり、第2薄膜トランジスタ9が所定の位置に複数配設されている。

【0019】

そして、ガラス基板3の表面には、シリコン窒化膜やシリコン酸化膜などにて構成された図示しないアンダーコート層が積層されて成膜されている。このアンダーコート層上には、トップゲート型構造としてのトップゲートタイプの第1薄膜トランジスタ8が1画素

10

20

30

40

50

構成要素として配設されているとともに、トップゲート型構造としてのトップゲートタイプの第2薄膜トランジスタ9が周辺回路部6を高速動作させるスイッチング素子として配設されている。

【0020】

そして、第1薄膜トランジスタ8は、アンダーコート層上に形成された第1半導体層としての第1活性層21を備えている。この第1活性層21は、多結晶半導体としてのポリシリコン(p-Si)にて構成された多結晶半導体層としてのポリシリコン半導体層である。すなわち、この第1活性層21は、非晶質半導体としてのアモルファスシリコン(a-Si)薄膜ASをエキシマレーザEによる溶解結晶化であるアニールしてからパターンニングして作成した島状のポリシリコン薄膜である。

10

【0021】

ここで、この第1活性層21は、第1薄膜トランジスタ8用の半導体層パターンであり、矩形平膜状に形成され、この第1活性層21の中央部に設けられたチャネル部としての第1チャネル領域22を有している。この第1チャネル領域22の両端部には、第1ソース領域23および第1ドレイン領域24のそれぞれが設けられている。これら第1ソース領域23および第1ドレイン領域24は、第1チャネル領域22とともに第1活性層21を形成しており、この第1チャネル領域22の両側に接続されている。

【0022】

そして、各第1薄膜トランジスタ8の第1チャネル領域22、第1ソース領域23および第1ドレイン領域24のそれぞれを含むアンダーコート層上には、絶縁性を有する配線絶縁層としての第1ゲート絶縁膜31が積層されて成膜されている。この第1ゲート絶縁膜31は、第1活性層21を含むアンダーコート層上に配置され、所定のゲート絶縁膜M1により形成されている。

20

【0023】

ここで、このゲート絶縁膜M1は、上側に位置する第1絶縁膜M1aと、下側に位置する第2絶縁膜M1bとを有している。第1絶縁膜M1aは、例えばシリコン窒化膜であり、第2絶縁膜M1bは、例えばシリコン酸化膜である。このため、第1絶縁膜M1aのエッチングレートが第2絶縁膜M1bのエッチングレートよりも遅くなっている。そして、第1ゲート絶縁膜31は、その膜厚により第1薄膜トランジスタ8の耐圧およびオン電流を設定可能であり、所定の耐圧に対応する十分な膜厚を有している。

30

【0024】

さらに、各第1薄膜トランジスタ8の第1チャネル領域22に対向した第1ゲート絶縁膜31上には、第1ゲート電極32が積層されて成膜されている。この第1ゲート電極32は、第1ゲート絶縁膜31を介して各第1薄膜トランジスタ8の第1チャネル領域22上に対向して絶縁されている。さらに、この第1ゲート電極32は、走査線の一侧縁に一体的に接続されて、この走査線の一部を構成する。

【0025】

そして、第1ゲート電極32から離間された第1ゲート絶縁膜31上には、画素補助容量としての補助容量が積層されている。さらに、この補助容量、第1ゲート電極32および走査線のそれぞれを含む第1ゲート絶縁膜31上には、層間絶縁層としての第1層間絶縁膜33が積層されて成膜されている。この第1層間絶縁膜33は、走査線の第1活性層21に対する反対側に設けられている。

40

【0026】

また、図2に示すように、これら第1層間絶縁膜33および第1ゲート絶縁膜31には、これら第1層間絶縁膜33および第1ゲート絶縁膜31のそれぞれを貫通した第1の開口部としての導通部である複数のコンタクトホール34, 35が開口されて設けられている。ここで、これらコンタクトホール34, 35は、第1薄膜トランジスタ8の第1ゲート電極32の両側に位置する、この第1薄膜トランジスタ8の第1ソース領域23および第1ドレイン領域24上に設けられている。そして、コンタクトホール34は、第1薄膜トランジスタ8の第1ソース領域23に連通して開口している。また、コンタクトホール35は、第1薄膜トランジスタ

50

8の第1ドレイン領域24に連通して開口している。

【0027】

さらに、第1薄膜トランジスタ8の第1ソース領域23に連通したコンタクトホール34を含む第1層間絶縁膜33上には、第1ソース電極38が積層されて成膜されている。この第1ソース電極38は信号線に電氣的に接続されている。したがって、この信号線は、第1ソース電極38を介して第1薄膜トランジスタ8の第1ソース領域23に電氣的に接続されて導通されている。

【0028】

また、第1薄膜トランジスタ8の第1ドレイン領域24に連通したコンタクトホール35を含む第1層間絶縁膜33上には、第1ドレイン電極39が積層されて設けられている。この第1ドレイン電極39は、補助容量に電氣的に接続されている。また、この第1ドレイン電極39は、コンタクトホール35を介して第1薄膜トランジスタ8の第1ドレイン領域24に電氣的に接続されて導通されている。さらに、この第1ドレイン電極39は、信号線と同一工程で同一材料にて形成されている。

10

【0029】

ここで、これら第1ソース電極38、第1ドレイン電極39、第1活性層21、第1ゲート絶縁膜31、第1ゲート電極32および第1層間絶縁膜33によって各第1薄膜トランジスタ8が構成されている。よって、これら第1薄膜トランジスタ8は、ガラス基板3の画面部5上にマトリクス状の半導体層パターンとして形成されている。

【0030】

さらに、各第1薄膜トランジスタ8の第1ソース電極38および第1ドレイン電極39を含む第1層間絶縁膜33上には、保護膜としてのパッシベーション膜である平坦化膜41が積層されて成膜されている。この平坦化膜41には、この平坦化膜41を貫通した導通部としてのコンタクトホール42が開口されて設けられている。このコンタクトホール42は、第1薄膜トランジスタ8の第1ドレイン電極39に連通して開口している。

20

【0031】

そして、このコンタクトホール42を含む平坦化膜41上には、ITO薄膜である画素電極7が積層されて成膜されている。この画素電極7は、コンタクトホール42を介して第1ドレイン電極39に電氣的に接続されて導通されている。ここで、この画素電極7は、この画素電極7に第1ドレイン電極39が電氣的に接続されている第1薄膜トランジスタ8にて制御される。さらに、この画素電極7を含んだ平坦化膜41上には、配向膜43が積層されて成膜されている。

30

【0032】

一方、アレイ基板2の画面部5の表面側には、矩形平板状の対向基板51が対向して配設されている。この対向基板51は、略透明な矩形平板状の絶縁基板としての透光性基板であるガラス基板52を備えている。このガラス基板52におけるアレイ基板2に対向した側の一面である表面には、カラーフィルタ層53が積層されて設けられている。このカラーフィルタ層53は、少なくとも2色以上である1組の色単位、例えば赤(Red: R)、緑(Green: G)および青(Blue: B)の3つのドットが繰り返し配置されて構成された色層である。

【0033】

また、このカラーフィルタ層53は、アレイ基板2に対向基板51を対向させた際に、このアレイ基板2の各画素4に対応して対向するように設けられている。さらに、このカラーフィルタ層53の表面には、共通電極としての矩形平板状の対向電極54が積層されて設けられている。この対向電極54は、対向基板51の表面とアレイ基板2の表面とを対向させた際に、このアレイ基板2のガラス基板3の画面部5全体に亘って対向する矩形状の大きな電極である。言い換えると、この対向電極54は、アレイ基板2に対向基板51を対向させた際に、このアレイ基板2の画素電極7と相対するように配置されている。さらに、この対向電極54上には、配向膜55が積層されて成膜されている。

40

【0034】

そして、この対向基板51は、この対向基板51の配向膜55をアレイ基板2の配向膜43に対

50

向させた状態で、この対向基板51にアレイ基板2が取り付けられている。すなわち、このアレイ基板2の画素電極7は、対向基板51の対向電極54に対向して配設されている。さらに、これら対向基板51の配向膜55とアレイ基板2の配向膜43との間には、図示しない液晶が挟持されて介挿されて封止されて光変調層としての液晶層56が形成されている。この液晶層56は、アレイ基板2の画素電極7と対向基板51の対向電極54との間に液晶容量を形成させる。

【0035】

そして、周辺回路部6の第2薄膜トランジスタ9は、アンダーコート層上に形成された第2半導体層としての第2活性層61を備えている。この第2活性層61は、第1活性層21とともに共通の半導体層としての活性層Sにより構成されている。すなわち、第2活性層61は、多結晶半導体としてのポリシリコン(p-Si)にて構成された多結晶半導体層としてのポリシリコン半導体層である。したがって、この第2活性層61は、非晶質半導体としてのアモルファスシリコン(a-Si)薄膜ASをエキシマレーザEによる溶解結晶化であるアニールしてからパターンニングして作成した島状のポリシリコン薄膜である。

10

【0036】

ここで、この第2活性層61は、第2薄膜トランジスタ8用の半導体層パターンであり、矩形平膜状に形成され、この第2活性層61の中央部に設けられたチャンネル部としての第2チャンネル領域62を有している。この第2チャンネル領域62の両端部には、第2ソース領域63および第2ドレイン領域64のそれぞれが設けられている。これら第2ソース領域63および第2ドレイン領域64は、第2チャンネル領域62とともに第2活性層61を形成しており、この第2チャンネル領域62の両側に接続されている。

20

【0037】

そして、各第2薄膜トランジスタ9の第2チャンネル領域62、第2ソース領域63および第2ドレイン領域64のそれぞれを含むアンダーコート層上には、絶縁性を有する配線絶縁層としての第2ゲート絶縁膜66が積層されて成膜されている。この第2ゲート絶縁膜66は、第1ゲート絶縁膜31と共通のゲート絶縁膜M1をドライエッチング法により加工して形成され、第2活性層61を含むアンダーコート層上に配置されている。また、この第2ゲート絶縁膜66は、その膜厚により第2薄膜トランジスタ9の耐圧およびオン電流を設定可能であり、所定のオン電流に対応する膜厚を有している。

【0038】

ここで、第2ゲート絶縁膜66は、ゲート絶縁膜M1の第1絶縁膜M1aを第2絶縁膜M1bに対して選択的にドライエッチングすることにより、第2絶縁膜M1bのみで形成されるようになっている。したがって、第2ゲート絶縁膜66の膜厚は、少なくとも第1絶縁膜M1aの厚み分、第1ゲート絶縁膜31の膜厚よりも小さくなっており、第1ゲート絶縁膜31の第2絶縁膜M1bの厚みと略等しくなっている。このため、第2薄膜トランジスタ9は、第1薄膜トランジスタ8と比較して、耐電圧が低く、かつ、オン電流が大きくなっている。言い換えると、第1薄膜トランジスタ8と第2薄膜トランジスタ9とは、互いに性能が異なっている。

30

【0039】

さらに、各第2薄膜トランジスタ9の第2チャンネル領域62に対向した第2ゲート絶縁膜66上には、第2ゲート電極67が積層されて成膜されている。この第2ゲート電極67は、第2ゲート絶縁膜66を介して各第2薄膜トランジスタ9の第2チャンネル領域62上に対向して絶縁されている。この第2ゲート電極67は、第1ゲート電極32と共通のゲート電極M2により形成されている。

40

【0040】

そして、第2ゲート電極67を含む第2ゲート絶縁膜66上には、第2層間絶縁膜68が積層されて成膜されている。この第2層間絶縁膜68は、第1層間絶縁膜33と共通の層間絶縁膜M3により形成されている。

【0041】

また、第2層間絶縁膜68および第2ゲート絶縁膜66には、これら第2層間絶縁膜68およ

50

び第2ゲート絶縁膜66のそれぞれを貫通した第2の開口部としての導通部である複数のコンタクトホール71, 72が開口されて設けられている。ここで、これらコンタクトホール71, 72は、第2薄膜トランジスタ9の第2ゲート電極67の両側に位置する、この第2薄膜トランジスタ9の第2ソース領域63および第2ドレイン領域64上に設けられている。そして、コンタクトホール71は、第2薄膜トランジスタ9の第2ソース領域63に連通して開口している。また、コンタクトホール72は、第2薄膜トランジスタ9の第2ドレイン領域64に連通して開口している。

【0042】

さらに、第2薄膜トランジスタ9の第2ソース領域63に連通したコンタクトホール71を含む第2層間絶縁膜68上には、第2ソース電極73が積層されて成膜されている。また、第2薄膜トランジスタ9の第2ドレイン領域64に連通したコンタクトホール72を含む第2層間絶縁膜68上には、第2ドレイン電極74が積層されて設けられている。

10

【0043】

ここで、これら第2ソース電極73、第2ドレイン電極74、第2活性層61、第2ゲート絶縁膜66、第2ゲート電極67および第2層間絶縁膜68によって各第2薄膜トランジスタ9が構成されている。

【0044】

さらに、各第2薄膜トランジスタ9の第2ソース電極73および第2ドレイン電極74を含む第2層間絶縁膜68上は、第1薄膜トランジスタ8と同様に平坦化膜41により覆われている。

20

【0045】

次に、上記一実施の形態の液晶表示装置の製造方法を説明する。

【0046】

まず、第1プラズマCVD工程として、ガラス基板3上にプラズマCVD (Chemical Vapor Deposition)法でアンダーコート層を形成した後、図4に示すように、PE (Plasma Enhanced) - CVD法によるPE - CVD工程あるいはスパッタリング法によるスパッタリング工程などにて、このアンダーコート層上にアモルファスシリコン薄膜ASを堆積する。

【0047】

次いで、レーザ照射工程として、図5に示すように、このアモルファスシリコン薄膜61にエネルギービームEを照射してアニールして、このアモルファスシリコンASを熔融結晶化させて多結晶半導体薄膜である活性層Sにする。このとき、エネルギービームEとしては、例えばエキシマレーザビームを用いる。

30

【0048】

この後、第2プラズマCVD工程として、活性層Sの表面にレジストを形成し、このレジストをマスクとして、プラズマCVD法などにて活性層Sをプラズマに曝してドライエッチングして島切りして島状にパターニングする。

【0049】

次いで、ゲート絶縁膜形成工程として、図5に示すこれら島状の活性層Sを含むアンダーコート層上に、プラズマCVD法などにて、図6に示すように、ゲート絶縁膜M1を形成する。

40

【0050】

この後、絶縁膜パターニング工程として、第1ゲート絶縁膜31および第2ゲート絶縁膜66となるゲート絶縁膜M1の表面にフォトレジストなどを用いて薄膜トランジスタ9に対応する部分のみがエッチングされるようにパターニングする。

【0051】

この後、このフォトレジストをマスクとして、図7に示すように、例えば四フッ化炭素(CF₄)と酸素(O₂)とを含む混合ガス、あるいは、三フッ化窒素(NF₃)と塩素(Cl₂)とを含む混合ガスなどを用いたドライエッチングにより、図1に示す各薄膜トランジスタ8, 9に対応した各ゲート絶縁膜31, 66の所定の膜厚となるように加工する。

【0052】

50

このとき、第2絶縁膜M1bのエッチングレートが第1絶縁膜M1aのエッチングレートよりも遅い、すなわち第1絶縁膜M1aのエッチングレートが第2絶縁膜M1bのエッチングレートよりも早いことにより、第1絶縁膜M1aが比較的早くエッチング除去され、第2絶縁膜M1bはエッチング除去されにくくなるから、第1ゲート絶縁膜31の膜厚が第1絶縁膜M1aの膜厚と第2絶縁膜M1bの膜厚との和となり、第2ゲート絶縁膜66の膜厚が略第2絶縁膜M1bの膜厚となる。したがって、第1絶縁膜M1aと第2絶縁膜M1aとの膜厚を適宜設定することにより、各ゲート絶縁膜31、66の膜厚差を管理する。

【0053】

さらに、第1金属膜形成工程として、各薄膜トランジスタ8、9の各チャネル領域22、62となる各活性層21、61上に、例えばモリブデン-タンタル合金(Mo-Ta)やモリブデン-タングステン合金(Mo-W)などをスパッタ法などにて成膜してゲート電極M2を形成してからパターニングした後、図8に示すように、プラズマPに曝してドライエッチングして、走査線、信号線および各ゲート電極32、67のそれぞれを形成する。

10

【0054】

なお、閾値電圧調整工程として、第1金属膜形成工程の前までに、各チャネル領域22、62に、n型のリン(P)やp型のボロン(B)などの不純物を注入し、各薄膜トランジスタ8、9の閾値電圧を調整する。

【0055】

そして、イオンドーピング工程として、各ゲート電極32、67をマスクとして用いて、各薄膜トランジスタ8、9の各ソース領域23、63および各ドレイン領域24、64となる部分の各活性層21、61の両側部にn型のリンやp型のボロンなどの不純物を高濃度にイオンドーピングしてn⁺層あるいはp⁺層として、各薄膜トランジスタ8、9の各ソース領域23、63および各ドレイン領域24、64のそれぞれを形成する。

20

【0056】

この後、各薄膜トランジスタ8、9の各活性層21、61をアニールして、各薄膜トランジスタ8、9の各活性層21、61にドーピングした不純物を活性化させる。

【0057】

次いで、層間絶縁膜形成工程として、各薄膜トランジスタ8、9それぞれの各ゲート電極32、67を含むゲート絶縁膜31上に、酸化シリコン膜などを成膜して層間絶縁膜M3を形成する。この後、第1フォトリソ工程として、図9に示すように、この層間絶縁膜M3および各ゲート絶縁膜31、66をパターニングしてコンタクトホール34、35、71、72を開口させて、各薄膜トランジスタ8、9の各ソース領域23、63およびドレイン領域24、64のそれぞれの一部を露出させる。

30

【0058】

この状態で、第2金属膜形成工程として、これらコンタクトホール34、35、71、72を含む層間絶縁膜M3上の全面にスパッタ法などにて図示しない第2の金属膜を成膜する。この後、各薄膜トランジスタ8、9の各ソース電極38、73および各ドレイン電極39、74となる第2の金属層上に図示しないフォトレジストを形成する。

【0059】

次いで、電極形成工程として、このフォトレジストをマスクとして用い、図10に示すように、各薄膜トランジスタ8、9の各ソース電極38、73およびドレイン電極39、74となる部分以外の第2の金属層をドライエッチングなどにて除去して、各薄膜トランジスタ8、9の各ソース電極38、73および各ドレイン電極39、74のそれぞれを形成する。

40

【0060】

この後、これら各ソース電極38、73および各ドレイン電極39、74上のフォトレジストを剝離して除去する。さらに、平坦化膜形成工程として、これら各ソース電極38、73およびドレイン電極39、74のそれぞれを含む各層間絶縁膜33、68上にシリコン窒化膜(SiN)である平坦化膜41を形成して、各薄膜トランジスタ8、9を完成する。

【0061】

この後、フォトリソ工程にて、平坦化膜41にコンタクトホール42を形成して、薄膜トラ

50

ンジスタ 8 の第 1 ドレイン電極 39 の一部を露出させた後、コンタクトホール 42 を含む平坦化膜 41 上に透明導電膜をスパッタしてからパターニングして画素電極 7 を形成し、画素電極 7 を含む平坦化膜 41 上に配向膜 43 を形成してアレイ基板 2 を製造する。

【0062】

そして、アレイ基板 2 の配向膜 43 側に、対向基板 51 の配向膜 55 側を対向させて取り付けした後、これらアレイ基板 2 の配向膜 43 と対向基板 51 の配向膜 55 との間に液晶層 56 を介挿させて封止する。さらに、これらアレイ基板 2 および対向基板 51 に図示しないシステム回路や偏光板、バックライトなどの様々な部材を組み合わせて液晶パネル 1 とする。

【0063】

上述したように、上記一実施の形態では、各ゲート絶縁膜 31, 66 をそれぞれパターニングする絶縁膜パターニング工程と、各ゲート絶縁膜 31, 66 のそれぞれを、所定の膜厚差となるまでドライエッチングするエッチング工程とにより、第 1 薄膜トランジスタ 8 と、この第 1 薄膜トランジスタ 8 の第 1 ゲート絶縁膜 31 よりも薄い第 2 ゲート絶縁膜 66 を備えた第 2 薄膜トランジスタ 9 とを共通の基板 3 上に形成する構成とした。

【0064】

この結果、例えばゲート絶縁膜の成膜、パターニングおよびエッチングを繰り返して第 1 ゲート絶縁膜と第 2 ゲート絶縁膜との膜厚を異ならせる従来の製造方法と比較して、ゲート絶縁膜 M1 を成膜するゲート絶縁膜形成工程と、ゲート絶縁膜 M1 にパターニングする絶縁膜パターニング工程と、このゲート絶縁膜 M1 をエッチングするエッチング工程とのみで、第 1 薄膜トランジスタ 8 と、第 2 薄膜トランジスタ 9 とを略同時に容易に形成できる。

【0065】

そして、このように各ゲート絶縁膜 31, 66 の膜厚を異ならせることにより、特に画面部 5 の各画素 4 と周辺回路部 6 とで薄膜トランジスタに要求される性能が異なる液晶パネル 1 において、ことで高耐圧を確保し、より低い電圧での動作で充分である一方で周辺回路部 6 の高速動作を可能にするために大きいオン電流を要求される第 2 薄膜トランジスタ 9 に対しては、必要最小限の膜厚の第 2 ゲート絶縁膜 66 を形成することにより、大きいオン電流を確保できる。

【0066】

また、上述のように互いに性能が異なる第 1 薄膜トランジスタ 8 と第 2 薄膜トランジスタ 9 とを共通の基板 3 上に形成できることで、液晶パネル 1 の性能を確保できるとともに、各薄膜トランジスタ 8, 9 を略同時進行で共通の基板 3 上に形成できるので、タクトタイムを抑制して製造コストをも抑制できる。

【0067】

ここで、ゲート絶縁膜の膜厚は、薄膜トランジスタの特性、信頼性および歩留まりなどに大きな影響を与えるので、その管理が非常に重要となる。

【0068】

そこで、上記一実施の形態では、各ゲート絶縁膜 31, 66 となるゲート絶縁膜 M1 を、第 1 絶縁膜 M1a と第 2 絶縁膜 M1b との二層に形成し、かつ、第 1 絶縁膜 M1a のエッチングレートを第 2 絶縁膜 M1b のエッチングレートよりも遅くして、エッチング工程において、第 1 絶縁膜 M1a を第 2 絶縁膜 M1b に対して選択的にエッチングすることにより、各ゲート絶縁膜 31, 66 の膜厚差を第 1 絶縁膜 M1a の膜厚などにより容易に調整でき、ゲート絶縁膜 M1 の成膜時の膜厚のばらつき、およびエッチングによるばらつきなどが生じても、各ゲート絶縁膜 M1a, M1b の膜厚を、精度よく、かつ、容易に管理できる。

【0069】

そして、このように各薄膜トランジスタ 8, 9 の信頼性、歩留まりを確保でき、かつ、点欠などの表示不良をも低減できることで、液晶パネル 1 の信頼性をも向上できる。

【0070】

なお、上記各実施の形態において、トップゲートタイプの薄膜トランジスタ 8 について説明したが、ボトムゲート型構造であるボトムゲートタイプの薄膜トランジスタ 8 であっても対応させて用いることができる。

10

20

30

40

50

【図面の簡単な説明】

【0071】

【図1】本発明の一実施の形態の液晶表示装置を示す説明断面図である。

【図2】同上液晶表示装置の各薄膜トランジスタの一部を示す説明断面図である。

【図3】同上液晶表示装置を示す説明平面図である。

【図4】同上液晶表示装置の製造方法のスputtering工程を示す説明断面図である。

【図5】同上液晶表示装置の製造方法のレーザ照射工程を示す説明断面図である。

【図6】同上液晶表示装置の製造方法のゲート絶縁膜形成工程を示す説明断面図である。

【図7】同上液晶表示装置の製造方法のエッチング工程を示す説明断面図である。

【図8】同上液晶表示装置の製造方法の第1金属膜形成工程を示す説明断面図である。

10

【図9】同上液晶表示装置の製造方法の第1フォトリソ工程を示す説明断面図である。

【図10】同上液晶表示装置の製造方法の電極形成工程を示す説明断面図である。

【符号の説明】

【0072】

1 液晶表示装置としての液晶パネル

2 基板としてのアレイ基板

4 画素

5 画像表示領域としての画面部

6 回路部としての周辺回路部

8 第1薄膜トランジスタ

20

9 第2薄膜トランジスタ

21 第1半導体層としての第1活性層

31 第1ゲート絶縁膜

61 第2半導体層としての第2活性層

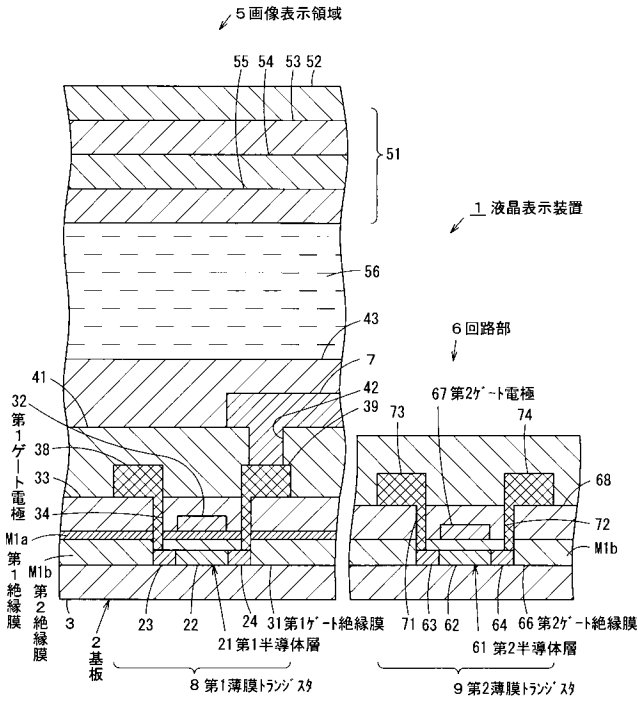
66 第2ゲート絶縁膜

M1 ゲート絶縁膜

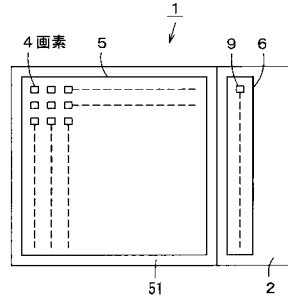
M1a 第1絶縁膜

M1b 第2絶縁膜

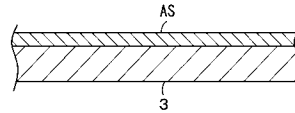
【 図 1 】



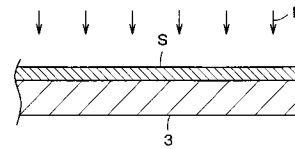
【 図 3 】



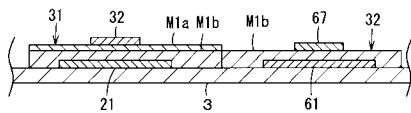
【 図 4 】



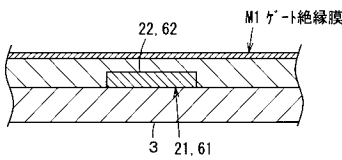
【 図 5 】



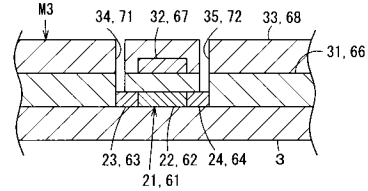
【 図 2 】



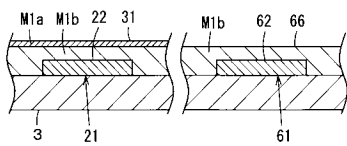
【 図 6 】



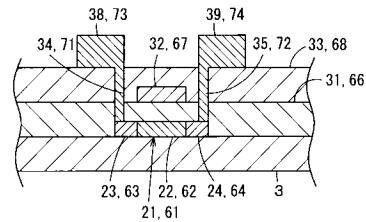
【 図 9 】



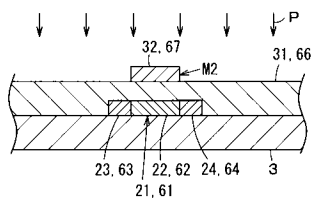
【 図 7 】



【 図 10 】



【 図 8 】



フロントページの続き

(72)発明者 多田 正浩

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 四元 茂之

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 2H092 GA59 JA25 JA35 JA36 MA18 NA25 NA27

专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	JP2006317638A	公开(公告)日	2006-11-24
申请号	JP2005139087	申请日	2005-05-11
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	村田幹夫 多田正浩 四元茂之		
发明人	村田 幹夫 多田 正浩 四元 茂之		
IPC分类号	G02F1/1368		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/GA59 2H092/JA25 2H092/JA35 2H092/JA36 2H092/MA18 2H092/NA25 2H092/NA27 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB81 2H192/EA43 2H192/EA67 2H192/FB02 2H192/FB15 2H192/FB34 2H192/HA62 2H192/HA63		
代理人(译)	山田哲也		
外部链接	Espacenet		

摘要(译)

提供一种制造液晶显示装置的方法，其中在公共阵列基板上形成高击穿电压薄膜晶体管和大导通电流的薄膜晶体管。解决方案：在阵列基板2的玻璃基板3上形成的每个栅极绝缘膜31,66被图案化。对每个栅极绝缘膜31和66进行干法蚀刻，直到获得预定的膜厚差。具有高耐压的第一薄膜晶体管8和具有比第一薄膜晶体管8的第一栅极绝缘膜31薄的第二栅极绝缘膜66并且具有大的导通电流的第二薄膜晶体管9容易地形成在普通玻璃基板3上。例如。点域1

