

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-276590

(P2006-276590A)

(43) 公開日 平成18年10月12日(2006.10.12)

(51) Int. Cl.	F I	テーマコード (参考)
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1368	2H092
<b>GO9F 9/30 (2006.01)</b>	GO9F 9/30 338	5C094
<b>HO1L 29/786 (2006.01)</b>	HO1L 29/78 623A	5F038
<b>HO1L 27/04 (2006.01)</b>	HO1L 27/04 H	5F110
<b>HO1L 21/822 (2006.01)</b>		

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号	特願2005-97204 (P2005-97204)	(71) 出願人	304053854 三洋エプソンイメージングデバイス株式会社 東京都港区浜松町二丁目4番1号
(22) 出願日	平成17年3月30日 (2005.3.30)	(74) 代理人	100095728 弁理士 上柳 雅普
		(74) 代理人	100107076 弁理士 藤綱 英吉
		(74) 代理人	100107261 弁理士 須澤 修
		(72) 発明者	太田 昭雄 東京都港区浜松町二丁目4番地1号 三洋 エプソンイメージングデバイス株式会社内

最終頁に続く

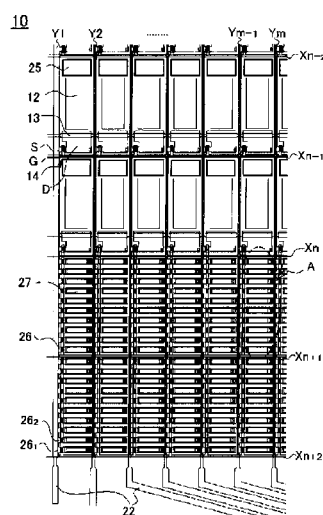
(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】

【課題】 非有効表示領域の面積を増加させることなく多数個のダミー画素電極を設け、端子側からの多数回の静電気浸入に対処できる液晶表示装置を提供すること。

【解決手段】 基板上にマトリクス状に配置された複数の信号線  $Y1 \dots Ym$  及び走査線  $X1 \dots Xn$ 、 $Xn+1$ 、 $Xn+2$  と、前記各信号線及び走査線の交点近傍に配置されたスイッチングトランジスタ 14 と、前記各信号線及び走査線で囲まれた位置にそれぞれ配置されているとともに前記スイッチングトランジスタに接続された画素電極とを備えたアクティブマトリクス型液晶表示装置 10 において、前記画素電極は有効表示領域に設けられた表示に寄与する表示用画素電極 12 (25) と非有効表示領域に設けられた表示に寄与しないダミー画素電極 27 とからなり、前記ダミー画素電極は、前記表示用画素電極の面積よりも小さく、各信号線毎に複数個のダミー画素電極を並列に接続したことを特徴とする。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

基板上にマトリクス状に配置された複数の信号線及び走査線と、前記各信号線及び走査線の交点近傍に配置されたスイッチングトランジスタと、前記各信号線及び走査線で囲まれた位置にそれぞれ配置されているとともに前記スイッチングトランジスタに接続された画素電極とを備えたアクティブマトリクス型液晶表示装置において、

前記画素電極は有効表示領域に設けられた表示に寄与する表示用画素電極と非有効表示領域に設けられた表示に寄与しないダミー画素電極とからなり、

前記ダミー画素電極は、前記表示用画素電極の面積よりも小さく、各信号線毎に複数個が並列に設けられていることを特徴とするアクティブマトリクス型液晶表示装置。

10

## 【請求項 2】

前記ダミー画素電極の面積は前記表示用画素電極の面積の  $1/2$  以下であることを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

## 【請求項 3】

前記ダミー画素電極の面積は前記表示用画素電極の面積の  $1/20$  以上であることを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

## 【請求項 4】

前記ダミー画素電極に接続されているスイッチングトランジスタは、それぞれソース電極が並列に前記信号線に接続され、ゲート電極が並列に走査線に接続されていることを特徴とする請求項 1 ~ 3 のいずれかに記載のアクティブマトリクス型液晶表示装置。

20

## 【請求項 5】

前記ダミー画素電極に接続されているスイッチングトランジスタは、前記表示用画素電極に接続されているスイッチングトランジスタのチャンネル幅及びチャンネル長よりも小さくなっていることを特徴とする請求項 1 ~ 4 のいずれかに記載のアクティブマトリクス型液晶表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、アクティブマトリクス型液晶表示装置に関し、特に半導体スイッチング素子として薄膜トランジスタ (Thin Film Transistor、以下「TFT」という。) を使用したアクティブマトリクス型液晶表示装置において、静電気による TFT の破壊防止手段を設けたアクティブマトリクス型液晶表示装置に関する。

30

## 【背景技術】

## 【0002】

一般に液晶表示装置には薄型軽量、低消費電力という特徴があり、特に、薄膜トランジスタ方式のアクティブマトリクス型液晶表示装置は携帯電話機、携帯端末から大型テレビに至るまで幅広く利用されている。

## 【0003】

まず、従来のアクティブマトリクス型液晶表示装置の一般的な構成を、数画素部分の平面図である図 4、その数画素分の模式的な等価回路図である図 5 及び図 4 の Z-Z 断面図である図 6 を参照して簡単に説明する。従来の液晶表示装置 10A は、第 1 の透光性基板 11 上にマトリクス状に設けられた走査線 X1、X2・・・Xn と信号線 Y1、Y2・・・Ym で囲まれた領域毎に画素電極 12 が設けられており、この画素電極 12 は図 5 においては等価的に液晶容量  $C_{LC}$  で表わされている。通常液晶容量  $C_{LC}$  には補助容量電極 13 により形成された補助容量  $C_s$  が並列に接続されている。液晶容量  $C_{LC}$  の一端は駆動用のスイッチングトランジスタ 14 に接続されているとともに、他端は第 2 の透光性基板 15 にカラーフィルタ層 CF を介して設けられた共通電極 16 に接続されて所定の共通電位  $V_c$  が印加されている。

40

## 【0004】

スイッチングトランジスタ 14 は絶縁ゲート電界効果型の薄膜トランジスタ TFT (Th

50

in Film Transistor) からなり、そのソース電極 S は信号線 Y 1、Y 2・・・Y m に接続されて画像信号 V<sub>s</sub> の供給を受け、また、ドレイン電極 D は液晶容量 C<sub>L C</sub> の一端、すなわち画素電極 1 2 に接続されている。さらに、スイッチングトランジスタ 1 4 のゲート電極 G は走査線 X 1、X 2・・・X n に接続されて所定の電圧を有するゲートパルス V<sub>g</sub> が印加されるようになされている。

#### 【0005】

また、画素電極 1 2 及び共通電極 1 6 の表面にはそれぞれ配向膜 ( 図示せず ) が設けられているとともに、第 1 の透光性基板 1 1 と第 2 の透光性基板 1 5 との間には液晶 1 7 が封入されている。なお、符号 1 8 及び 1 9 はそれぞれ S i O<sub>2</sub> もしくは S i N からなる絶縁膜を示し、符号 2 0 は a - S i 層を示す。そして複数本の走査線 X 1、X 2・・・X n 及び信号線 Y 1、Y 2・・・Y m は、基板の額縁部 ( 基板の周縁部 ) の 2 方向ないしは 1 方向に引き出され、それぞれの終端部に走査線用入力端子 2 1 及び信号線用入力端子 2 2 が設けられている。

10

#### 【0006】

このような構成のアクティブマトリクス型液晶表示装置は、携帯電話機用の小型のものから対角 4 0 インチ ( 約 1 0 2 c m ) ないし 5 0 インチ ( 約 1 2 7 c m ) サイズ程度の大型のものまで製造されるようになってきている。しかしながら、液晶表示装置は、製造工程において表示領域内に静電気が浸入すると、液晶表示装置としてでき上がった段階で表示欠陥が生じる。特に中小型機種においては高精細化が進むにつれて今まで以上に静電気不良が発生しやすくなっている。静電気は、製造工程においても、パネルを搬送する際にも、他のものと接触するだけで発生してしまう。また、配向膜のラビング時には摩擦により最も静電気が発生しやすい。したがって、液晶表示装置の製造技術分野では、静電気による表示欠陥が生じないようにすることは特に急務である。

20

#### 【0007】

このような静電気による画素欠陥の発生を防止する技術も幾つか知られている。たとえば、下記特許文献 1 に開示されているアクティブマトリクス型液晶表示装置 3 0 の発明は、図 7 に示すように、基板上にストライプ状のゲート信号線 3 1 と、これと直交するストライプ状のソース信号線 3 2 と、これらの交差部近傍に設けられたスイッチング素子 T F T と、前記スイッチング素子 T F T に接続され、マトリクス状に複数形成された画素電極とを有し、前記画素電極が、有効表示領域内に設けられ表示に寄与する表示用画素電極 3 3 A と、非有効表示領域に設けられ表示に寄与しないダミー画素電極 3 3 B とからなっており、このダミー画素電極 3 3 B 駆動用のゲート信号線 3 4 を有効表示領域のゲート信号線 3 1 から分岐させることにより形成している。さらに、下記特許文献 1 には、有効表示領域を確実に保護するため、ダミー画素電極 3 3 B を複数列設けることも示唆されている。

30

#### 【0008】

すなわち、この液晶表示装置 3 0 は、液晶表示装置の製造工程中に前記第 1 又は第 2 の信号線 3 1、3 2 を伝って静電気が侵入した場合、非有効表示領域に設けられたダミー画素電極 3 3 B に接続されたスイッチング素子が優先的に破壊されるので、有効表示領域内の表示用画素電極に接続されたスイッチング素子を保護することが可能となるというものである。

40

#### 【0009】

一方、下記特許文献 2 に開示されている液晶表示装置 4 0 は、図 8 に示すように、互いに直交するように形成される走査線 4 1 及び信号線 4 2 と、上記走査線 4 1 及び信号線 4 2 の交差部に形成されるスイッチング素子 T F T と、上記スイッチング素子 T F T に接続され、上記走査線 4 1 及び信号線 4 2 から供給される信号により駆動制御される表示用画素電極 4 3 A を有効表示領域に複数形成する一方、上記有効表示領域の周辺部に上記走査線 4 1 及び信号線 4 2 から切り離されたダミー画素電極 4 3 B を複数形成し、このダミー画素電極 4 3 B に対向するように追加補助容量電極 4 4 を形成したものである。

#### 【0010】

50

すなわち、この液晶表示装置 40 は、液晶表示装置の製造工程中に前記第 1 又は第 2 の信号線 41、42 を伝って静電気が侵入した場合、非有効表示領域に設けられたダミー画素電極 43B にチャージされた状態となり、このチャージされた静電気は付加補助容量電極 44 ないしは他の補助容量電極 45 を介して放電するために、有効表示領域内の表示用画素電極 43A に接続されたスイッチング素子 T F T を保護することが可能となるというものである。

【特許文献 1】特開平 10 - 213816 号公報（特許請求の範囲、段落 [0029] ~ [0034]、[0039]、[0048]、図 2）

【特許文献 2】特開平 11 - 052427 号公報（特許請求の範囲、図 1）

【発明の開示】

10

【発明が解決しようとする課題】

【0011】

しかしながら、上記特許文献 1 に開示されている液晶表示装置 30 では、ゲート信号線 31 ないしはソース信号線 32 に対して一つのダミー画素電極 33B しか設けられていないため、一度静電気によりダミー画素電極 33B のスイッチング素子 T F T が破壊された場合には、そのダミー画素電極 33B はその能力を失ってしまうため、再度静電気が浸入した場合には、表示領域の画素電極 33A のスイッチング素子 T F T が破壊されてしまう虞がある。すなわち、液晶表示装置の製造時においては、配向膜のラビング時だけでなく、パネルの搬送時においても他のものと接触するだけで静電気が発生してしまうために、完成品が得られるまでに何度も静電気が浸入する可能性があるが、上記特許文献 1 に開示されている液晶表示装置 30 はこのような多数回の静電気浸入に対処できない可能性がある。

20

【0012】

なお、上位特許文献 1 には、有効表示領域を確実に保護するため、ダミー画素電極 33B を複数列設けることも示唆されている（段落 [0039] 参照）が、この場合、ダミー画素電極 33B は有効表示領域の画素電極 33A と同じ大きさないしはそれよりも大きく（請求項 3、段落 [0048] 参照）しているため、非有効表示領域が大きくなってしまいうという問題点が存在する。

【0013】

また、上記特許文献 2 に開示されている液晶表示装置 40 では、液晶表示装置の製造工程中に走査線 41、信号線 42 を伝って静電気が侵入した場合、非有効表示領域に設けられたダミー画素電極 43B にチャージされた状態となるが、ダミー画素電極 43B は走査線 41、信号線 42 とは切り離されているのでコンデンサとして機能するものであるから、この静電気が付加補助容量電極 44 ないしは他の補助容量電極 45 を介して放電する前に有効表示領域の画素電極 43A にまで浸入し、この有効表示領域内の画素電極 43A に接続されたスイッチング素子 T F T が静電破壊を受ける可能性が存在する。

30

【0014】

本願の発明者は、上述のような従来例の静電気による有効表示領域の画素電極に接続されているスイッチング素子の静電破壊を防止する技術の問題点を解決すべく種々検討を重ねた結果、外部から侵入した静電気を有効に放電させるには、非有効表示領域に設けるダミー画素として有効表示領域の画素電極に接続されているスイッチング素子 T F T と同様の構成のみを設ければ、ダミー画素電極の面積が極めて小さくても、このダミー画素のスイッチング素子が優先的に静電破壊を起こすために静電気が有効表示領域にまで浸入する虞がなくなり、画素電極に接続されているスイッチング素子を有効に保護することができること、しかも、従来の有効表示領域の画素電極と同じ面積内に約 10 倍もの数のダミー画素を設けることができるため、非有効表示領域の面積を増加させることなく、多数回の静電気浸入にも対処することができることを見出し、本発明を完成するに至ったのである。

40

【0015】

すなわち、本発明は、非有効表示領域の面積を増加させることなく多数個のダミー画素

50

電極を設け、端子側からの多数回の静電気浸入に対処できる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0016】

本発明の上記目的は以下の構成により達成し得る。すなわち、請求項1のアクティブマトリクス型液晶表示装置の発明は、基板上にマトリクス状に配置された複数の信号線及び走査線と、前記各信号線及び走査線の交点近傍に配置されたスイッチングトランジスタと、前記各信号線及び走査線で囲まれた位置にそれぞれ配置されているとともに前記スイッチングトランジスタに接続された画素電極とを備えたアクティブマトリクス型液晶表示装置において、

10

前記画素電極は有効表示領域に設けられた表示に寄与する表示用画素電極と非有効表示領域に設けられた表示に寄与しないダミー画素電極とからなり、

前記ダミー画素電極は、前記表示用画素電極の面積よりも小さく、各信号線毎に複数個が並列に設けられていることを特徴とする。

【0017】

また、請求項2に記載の発明は、請求項1に記載のアクティブマトリクス型液晶表示装置において、前記ダミー画素電極の面積は前記表示用画素電極の面積の $1/2$ 以下 $1/20$ 以上であることを特徴とする。

【0018】

また、請求項3に記載の発明は、請求項1又は2に記載のアクティブマトリクス型液晶表示装置において、前記ダミー画素電極に接続されているスイッチングトランジスタは、それぞれソース電極が並列に前記信号線に接続され、ゲート電極が並列に走査線に接続されていることを特徴とする。

20

【0019】

また、請求項4に記載の発明は、請求項1～3のいずれかに記載のアクティブマトリクス型液晶表示装置において、前記ダミー画素電極に接続されているスイッチングトランジスタは、前記表示用画素電極に接続されているスイッチングトランジスタのチャンネル幅及びチャンネル長よりも小さくなっていることを特徴とする。

【発明の効果】

【0020】

本発明は上記の構成を備えることにより以下に述べるような優れた効果を奏する。すなわち、請求項1の発明によれば、非有効表示領域に極めて小さなスイッチングトランジスタを有するダミー画素を複数個並列に設けたので、端子側から静電気が浸入してもそのダミー画素のスイッチングトランジスタが優先的に犠牲となってスパークし、静電気を逃がすことができるために、静電気が表示領域にまで達する虞が少なく、表示欠陥が少ない液晶表示装置が得られる。加えて、ダミー画素電極を複数個並列に設けてあるので、複数回の静電気浸入に対処することができるため、製造工程中に表示領域の表示用画素が静電破壊される虞が非常に少なくなる。

30

【0021】

また、請求項2の発明によれば、電気的にはダミー画素電極の一つは表示用画素電極一つ分にあたるから、ダミー画素電極一つの大きさが表示用画素電極の $1/2$ 以下 $1/20$ 以上であるため、面積的に見ると表示用画素の一つ分の面積にダミー画素を2個～15個を配置することができるため、非有効表示領域(額縁部)が広がることがない。また、犠牲となるダミー画素が入力端子から多く連なっているため、端部から順番に静電気でスパークしても、表示領域に到達するまでの回数を稼げるため、有効表示領域にまで到達することを少なくすることができる。

40

【0022】

なお、ダミー画素電極の面積が表示用画素電極の面積の $1/2$ を超えると非有効表示領域を広くしないと並列に設けるダミー画素の数を増やすことができなくなるので好ましくはなく、また、 $1/20$ 未満であると1個あたりのダミー画素電極に流すことができる静

50

電気量が少なくなるので却って好ましくない。より好ましいダミー画素電極の面積は表示用画素電極の面積の1/5以下1/15以上である。

【0023】

また、請求項3の発明によれば、小さな面積に多くのダミー画素電極に接続されているスイッチングトランジスタを配置することができるため、ダミー画素の大きさを小さくできるので、非有効表示領域(額縁部)が広くなることがない。

【0024】

さらに、請求項4の発明によれば、ダミー画素に接続されているスイッチングトランジスタは前記表示用画素電極に接続されているスイッチングトランジスタよりも静電破壊され易いため、外部から静電気が浸入しても確実にダミー画素電極に接続されているスイッチングトランジスタが静電破壊されるので、静電気が有効表示領域に親友する虞が少なくなる。

10

【発明を実施するための最良の形態】

【0025】

以下、本発明に係るアクティブマトリクス型液晶表示装置の実施例を図面を参照して詳細に説明する。ただし、以下に示す実施例は、本発明の技術思想を具体化するためのアクティブマトリクス型液晶表示装置としての半透過型液晶表示装置を例示するものであって、本発明をこの半透過型液晶表示装置に特定することを意図するものではなく、本発明は特許請求の範囲に示した技術思想を逸脱することなく種々の変更を行ったものにも均しく適用し得るものである。なお、図1は実施例に係る半透過型液晶表示装置の有効表示領域及び非有効表示領域近傍の拡大平面図であり、図2は図1のA領域の拡大平面図であり、図3は図2のB-B断面図である。なお、図1~図3においては図4~図6に示した従来例の液晶表示装置と同一の構成部分には同一の参照符号を付与して説明する。

20

【実施例】

【0026】

実施例に係る半透過型液晶表示装置10は、第1の透光性基板11上にマトリクス状に設けられた走査線X1、X2...Xn、Xn+1、Xn+2と信号線Y1、Y2...Ymが設けられている。このうち、走査線X1、X2...Xn及び信号線Y1、Y2...Ymで囲まれた領域が有効表示領域であり、走査線Xn、Xn+1、Xn+2及び信号線Y1、Y2...Ymで囲まれた領域が非有効表示領域となっている。

30

【0027】

この有効表示領域においては、各走査線及び信号線で囲まれた領域毎に表示に寄与する画素電極12及び反射電極25からなる画素電極が設けられている。また、スイッチングトランジスタ14はTFTからなり、そのソース電極Sは信号線Y1、Y2...Ymに接続され、ゲート電極Gは走査線X1、X2...Xnに接続され、さらに、ドレイン電極Dは画素電極12に接続されているとともにコンタクトホール(図示せず)を介して反射電極25にも接続されている。また、ドレイン電極Dの下部には補助容量電極13が設けられている。これらの半透過型液晶表示装置10の動作原理は、既に周知のものであるので、その詳細な説明は省略する。

【0028】

一方、実施例に係る半透過型液晶表示装置10は、走査線Xn、Xn+1、Xn+2及び信号線Y1、Y2...Ymで囲まれた非有効表示領域において、表示に寄与しないTFTよりなるスイッチングトランジスタ26及びダミー画素電極27を有するダミー画素がそれぞれの信号線Y1、Y2...Ym毎に複数個設けられている。

40

【0029】

このダミー画素のスイッチングトランジスタ26のソース電極Sは、各信号線Y1、Y2...Ym毎に並列に接続され、ゲート電極Gは各走査線Xn+1、Xn+2毎に並列に接続され、更にドレイン電極Dは、図3に示すように、コンタクトホール28を介して層間膜29上に設けられたダミー画素電極27に接続されている。そして、このダミー画素のスイッチングトランジスタ26は、表示用画素電極に接続されているスイッチングト

50

ランジスタ 14 のチャンネル幅及びチャンネル長よりも小さくなっており、それによって表示用画素電極に接続されているスイッチングトランジスタ 14 よりも優先的に静電破壊されるようになっている。

#### 【0030】

ダミー画素電極 27 の面積は、有効表示領域における 1 画素分の表示に寄与する電極の面積、すなわち画素電極 12 の面積と反射電極 25 の面積を合わせたものよりも小さくされている。このダミー画素電極 27 の面積は、広すぎると非有効表示領域を広くしないと並列に設けるダミー画素の数を増やすことができなくなり、また、狭すぎると 1 個あたりのダミー画素に流すことができる静電気量が少なくなるため、有効表示領域における画素電極 12 と反射電極 25 とからなる表示用画素電極の面積の  $1/2$  以下  $1/20$  以上とする

とよい。より好ましいダミー画素電極 27 の面積は、有効表示領域における表示用画素電極の面積の  $1/5$  以下  $1/15$  以上である。なお、図 1 においては、ダミー画素電極 27 のそれぞれの面積を有効表示領域における表示用画素電極の面積の  $1/10$  とし、走査線  $X_n$  と  $X_{n+1}$  の間及び  $X_{n+1}$  及び  $X_{n+2}$  の間にそれぞれ 10 個づつ、計 20 個設けたものを示してある。

10

#### 【0031】

このような構成のダミー画素を備えた本実施例に係る半透過型液晶表示装置 10 においては、信号線用入力端子 22 から静電気が浸入すると、信号線用入力端子 22 にも最も近いダミー画素のスイッチングトランジスタ 26<sub>1</sub> が静電破壊を起こすことにより静電気を放電する。その後、再度信号線用入力端子 22 から静電気が浸入すると、最初に静電破壊

を起こしたダミー画素のスイッチングトランジスタ 26<sub>1</sub> の隣りのスイッチングトランジスタ 26<sub>2</sub> が静電破壊することにより静電気を放電する。そのため、この半透過型液晶表示装置 10 の製造工程時においては、有効表示領域のスイッチングトランジスタ 14 が破壊されるような静電気浸入は 20 回まで許容できることになるから、実質的に表示欠陥が生じることがない半透過型液晶表示装置 10 が得られる。

20

#### 【0032】

なお、この実施例においては半透過型液晶表示装置を例にとり説明したが、本発明はこれに限らず透過型液晶表示装置に対しても、さらには反射型液晶表示装置に対しても適用することができる。

#### 【図面の簡単な説明】

30

#### 【0033】

【図 1】実施例に係る半透過型液晶表示装置の有効表示領域及び非有効表示領域近傍の拡大平面図である。

【図 2】図 1 の A 領域の拡大平面図である。

【図 3】図 2 の B - B 断面図である。

【図 4】従来のアクティブマトリクス型液晶表示装置の数画素部分の構成を示す平面図である。

【図 5】従来のアクティブマトリクス型液晶表示装置の数画素分の模式的な等価回路図である

【図 6】図 4 の Z - Z 断面図である。

40

【図 7】従来のダミー画素電極を有するアクティブマトリクス型液晶表示装置の数画素分の平面図である。

【図 8】従来の別のダミー画素電極を有するアクティブマトリクス型液晶表示装置の数画素分の平面図である。

#### 【符号の説明】

#### 【0034】

10 半透過型液晶表示装置

10A 液晶表示装置

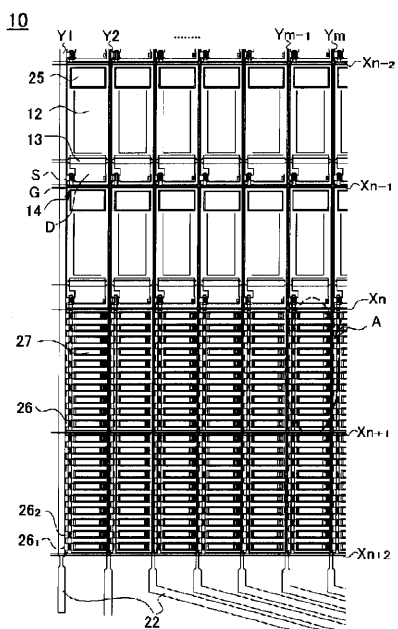
11 第 1 の透光性基板

12 画素電極

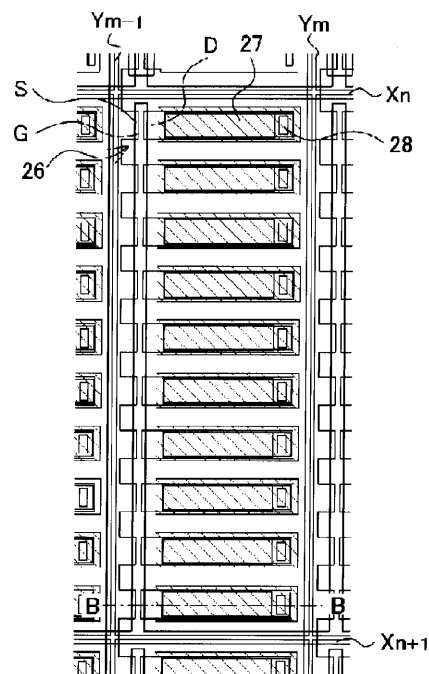
50

- 1 3 補助容量電極
- 1 4 スイッチングトランジスタ
- 1 5 第2の透光性基板
- 1 6 共通電極
- 1 7 液晶
- 1 8、1 9 絶縁膜
- 2 0 a - S i 層
- 2 1、2 2 入力端子
- 2 5 反射電極
- 2 6 ダミー画素のスイッチングトランジスタ
- 2 7 ダミー画素電極
- 2 8 コンタクトホール
- 2 9 層間膜

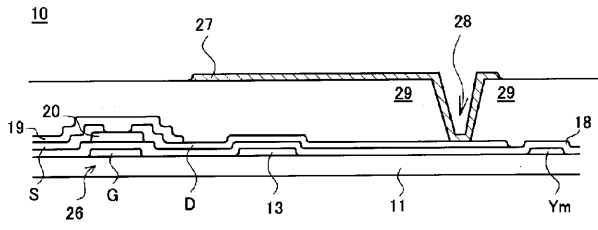
【 図 1 】



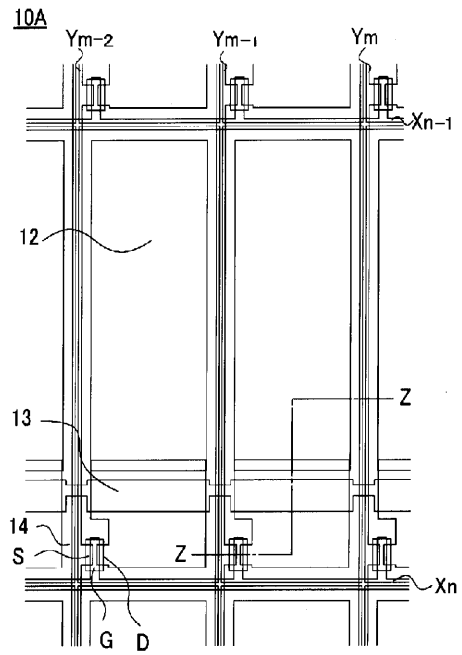
【 図 2 】



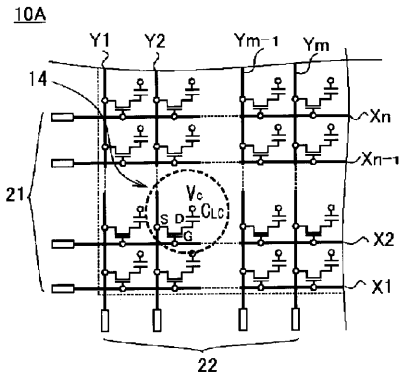
【 図 3 】



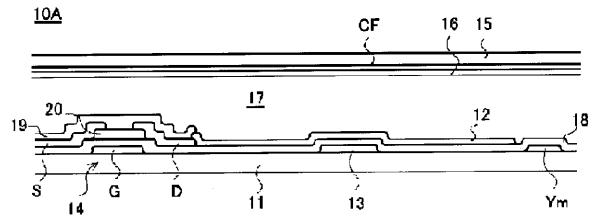
【 図 4 】



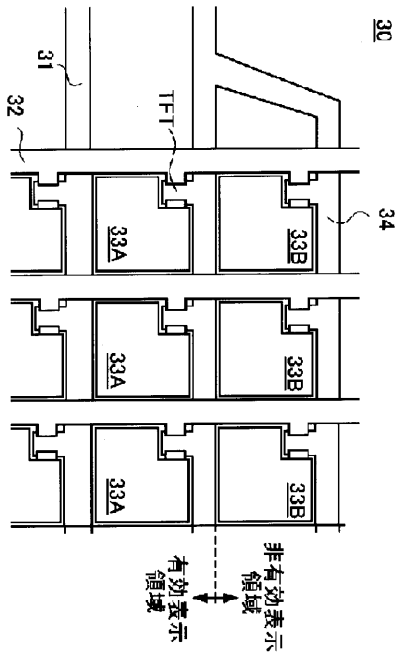
【 図 5 】



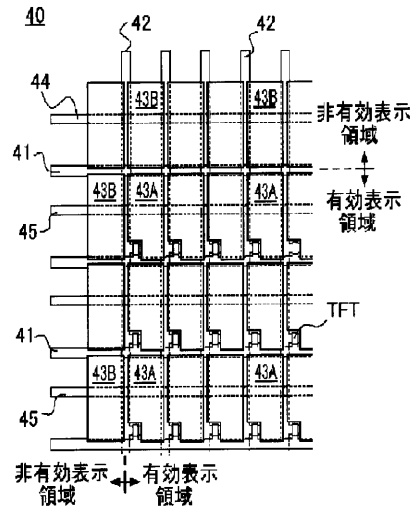
【 図 6 】



【 図 7 】



【 図 8 】



---

フロントページの続き

(72)発明者 森田 聡

東京都港区浜松町二丁目4番地1号 三洋エプソンイメージングデバイス株式会社内

(72)発明者 村上 誠

東京都港区浜松町二丁目4番地1号 三洋エプソンイメージングデバイス株式会社内

(72)発明者 小林 修

東京都港区浜松町二丁目4番地1号 三洋エプソンイメージングデバイス株式会社内

Fターム(参考) 2H092 GA13 GA64 JA26 JB69 JB79 QA06

5C094 AA31 BA03 BA43 CA19 EA01

5F038 BH03 BH07 BH13 EZ08 EZ20

5F110 AA22 BB01 CC07 FF02 FF03 GG02 GG15 NN03 NN23 NN24

NN72 NN73 NN78

专利名称(译)	有源矩阵型液晶显示装置		
公开(公告)号	<a href="#">JP2006276590A</a>	公开(公告)日	2006-10-12
申请号	JP2005097204	申请日	2005-03-30
申请(专利权)人(译)	三洋爱普生影像设备公司		
[标]发明人	太田昭雄 森田聡 村上誠 小林修		
发明人	太田 昭雄 森田 聡 村上 誠 小林 修		
IPC分类号	G02F1/1368 G09F9/30 H01L29/786 H01L27/04 H01L21/822		
CPC分类号	G02F1/136204 G02F2201/123		
FI分类号	G02F1/1368 G09F9/30.338 H01L29/78.623.A H01L27/04.H		
F-TERM分类号	2H092/GA13 2H092/GA64 2H092/JA26 2H092/JB69 2H092/JB79 2H092/QA06 5C094/AA31 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA01 5F038/BH03 5F038/BH07 5F038/BH13 5F038/EZ08 5F038/EZ20 5F110/AA22 5F110/BB01 5F110/CC07 5F110/FF02 5F110/FF03 5F110/GG02 5F110/GG15 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN72 5F110/NN73 5F110/NN78 2H092/NA25 2H192/AA24 2H192/BC42 2H192/BC63 2H192/BC72 2H192/CB05 2H192/DA43 2H192/FA02 2H192/GA31		
代理人(译)	须泽 修		
其他公开文献	JP4697524B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种液晶显示装置，该液晶显示装置设置有大量的虚设像素电极而不增加无效显示区域的面积，并且能够应对来自端子侧的大量静电侵入。解决方案：多条信号线Y1... Ym和扫描线X1... Xn, Xn + 1, Xn + 2以矩阵形式排列在基板上，并且分别位于信号线和扫描线的交点附近。在有源矩阵型液晶显示装置10中，包括：布置在其中的开关晶体管14；和像素电极，该像素电极连接到开关晶体管并且布置在由信号线和扫描线围绕的位置中；像素电极由设置在有助于显示的有效显示区域中的显示像素电极12（25）和设置在对显示无贡献的无效显示区域中的虚拟像素电极27构成。该面积小于显示像素电极的面积，并且对于每个信号线并联连接多个虚拟像素电极。 [选型图]图1

