

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2006-178018
(P2006-178018A)

(43) 公開日 平成18年7月6日(2006.7.6)

(51) Int.Cl.			F I			テーマコード (参考)		
G09G	3/36	(2006.01)	G09G	3/36		2H093		
G02F	1/133	(2006.01)	G02F	1/133	520	5C006		
G09G	3/20	(2006.01)	G02F	1/133	550	5C080		
			G09G	3/20	612D			
			G09G	3/20	612K			
審査請求 未請求 請求項の数 16 O L (全 18 頁)								
(21) 出願番号 特願2004-368708 (P2004-368708)			(71) 出願人 503121103					
(22) 出願日 平成16年12月21日 (2004.12.21)			株式会社ルネサステクノロジ					
			東京都千代田区丸の内二丁目4番1号					
			(74) 代理人 100085811					
			弁理士 大日方 富雄					
			(72) 発明者 重信 毅					
			東京都千代田区丸の内二丁目4番1号 株					
			式会社ルネサステクノロジ内					
			(72) 発明者 平木 充					
			東京都千代田区丸の内二丁目4番1号 株					
			式会社ルネサステクノロジ内					
			(72) 発明者 堀口 真志					
			東京都千代田区丸の内二丁目4番1号 株					
			式会社ルネサステクノロジ内					
			最終頁に続く					

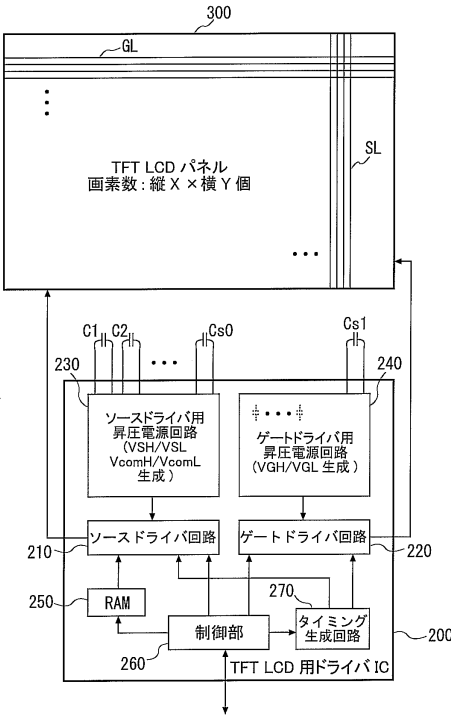
(54) 【発明の名称】 液晶表示駆動用半導体集積回路

(57) 【要約】

【課題】 昇圧回路を有する電源回路を内蔵しTFT液晶パネルのソース線とゲート線を駆動する半導体集積回路化された液晶駆動制御装置において、外付けの容量素子および外付けの容量素子を接続するための外部端子を減らしてチップおよびこれを搭載した電子機器の小型化並びに低コスト化を図る。

【解決手段】 昇圧回路を有する電源回路を内蔵した液晶駆動制御装置内のTFT液晶パネルのソース線を駆動するための電圧を生成する昇圧回路（230）には外付け容量素子を有する昇圧回路を用いる一方、ゲート線を駆動するための電圧を生成する昇圧回路（240）には内蔵（オンチップ）の容量素子を有するチャージポンプを用いるようにした。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

外部電源電圧を昇圧して該外部電源電圧よりも高い電圧を発生する昇圧電源回路を内蔵しアクティブマトリックス方式で液晶パネルを駆動する液晶表示駆動用半導体集積回路であって、

前記液晶パネルの選択走査線に印加する電圧を生成する第 1 昇圧電源回路は昇圧用の容量素子として半導体チップ上に形成された内蔵素子を使用し前段の容量素子から後段の容量素子へ整流素子またはスイッチ素子を介して電荷を順次転送して昇圧を行なうように構成され、前記液晶パネルの上記選択走査線と交差する方向に配置された信号線に印加する電圧を生成する第 2 昇圧電源回路は昇圧用の容量素子として外付けの素子を使用して昇圧を行なうように構成されていることを特徴とする液晶表示駆動用半導体集積回路。

10

【請求項 2】

前記第 2 昇圧電源回路は、並列状態の複数の昇圧用の容量素子に電荷を蓄積した後、前記複数の昇圧用の容量素子を直列形態に接続して昇圧を行なうように構成されていることを特徴とする請求項 1 に記載の液晶表示駆動用半導体集積回路。

【請求項 3】

前記第 1 昇圧電源回路は、

正極性の昇圧電圧を生成する第 1 昇圧回路と、

負極性の電圧を生成する第 2 昇圧回路と、

これらの昇圧回路を動作させるクロック信号を生成する発振回路と、

20

前記第 1 昇圧回路により生成された電圧のレベルを検出する第 1 電圧検出回路と、

前記第 2 昇圧回路により生成された電圧のレベルを検出する第 2 電圧検出回路とを備え、

前記第 1 電圧検出回路または前記第 2 電圧検出回路のいずれかの昇圧電圧が所定レベルを越えたことを検出したとき、対応する前記第 1 昇圧回路または第 2 昇圧回路の動作を停止させるように構成されていることを特徴とする請求項 1 または 2 に記載の液晶表示駆動用半導体集積回路。

【請求項 4】

前記発振回路は、前記第 1 昇圧回路と前記第 2 昇圧回路に対して共通回路として設けられ、

30

前記第 1 電圧検出回路と前記第 2 電圧検出回路が、共に、前記第 1 昇圧回路及び前記第 2 昇圧回路の昇圧電圧が所定レベルを越えたことを検出したとき、前記発振回路の動作を停止させるように構成されていることを特徴とする請求項 3 に記載の液晶表示駆動用半導体集積回路。

【請求項 5】

前記第 1 昇圧回路と前記第 2 昇圧回路は、前記スイッチ素子としてトランジスタを使用し、該トランジスタの制御端子を駆動する信号を押し上げるブースト回路を備えることを特徴とする請求項 3 に記載の液晶表示駆動用半導体集積回路。

【請求項 6】

前記第 1 昇圧電源回路に用いられるチップ内蔵の昇圧用容量素子は、それぞれ直列形態の複数の容量素子とこれらの容量素子の接続ノードに昇圧された電圧を分圧した電位を与える抵抗分圧回路とにより構成されていることを特徴とする請求項 3 に記載の液晶表示駆動用半導体集積回路。

40

【請求項 7】

前記第 1 電圧検出回路および前記第 2 電圧検出回路は、昇圧された電圧を抵抗分割する分圧回路と該分圧回路により分圧された電圧[と]を所定の参照電圧と比較するコンパレータとを備え、前記分圧回路は直列形態に接続された複数の抵抗素子とこれらの抵抗素子とそれぞれ並列に設けられたスイッチ素子とからなる可変抵抗回路を含み、該可変抵抗回路は昇圧された出力ノードから遠い側に接続されていることを特徴とする請求項 3 に記載の液晶表示駆動用半導体集積回路。

50

【請求項 8】

前記スイッチ素子は、低耐圧の MOS トランジスタで構成されていることを特徴とする請求項 7 に記載の液晶表示駆動用半導体集積回路。

【請求項 9】

前記第 1 昇圧回路と前記第 2 昇圧回路は、昇圧用の容量素子として半導体チップ上に形成された内蔵素子を外部電源電圧の振幅にて駆動する駆動回路を備え、該駆動回路は前記昇圧回路の昇圧段数が切替え可能に構成されていることを特徴とする請求項 3 に記載の液晶表示駆動用半導体集積回路。

【請求項 10】

前記駆動回路は、前記第 1 電圧検出回路または前記第 2 電圧検出回路からの検出信号に応じて昇圧段数が切り替えられるように構成されていることを特徴とする請求項 9 に記載の液晶表示駆動用半導体集積回路。 10

【請求項 11】

複数の走査線と前記複数の走査線と交差する方向に配置された複数の信号線とを有するアクティブマトリックス方式の表示パネルを駆動する半導体チップに形成された半導体集積回路であって、

前記走査線に印加すべき電位を生成する第 1 昇圧回路と、

前記信号線に印加すべき電位を生成する第 2 昇圧回路と、を有し

前記第 1 昇圧回路は、昇圧用容量素子として、前記半導体チップ上に形成された半導体素子を使用し、前段の容量素子から後段の容量素子へスイッチ素子を介して電荷を順次転送して昇圧を行なうように構成され、 20

前記第 2 昇圧回路は、昇圧用容量素子として、前記半導体チップに外付けされるべき容量素子を利用して昇圧を行なうことを特徴とする半導体集積回路。

【請求項 12】

前記第 2 昇圧回路は、並列状態の複数の昇圧用容量素子に電荷を蓄積した後、前記複数の昇圧用容量素子を直列形態に接続して昇圧を行なうように構成されていることを特徴とする請求項 11 に記載の半導体集積回路。

【請求項 13】

前記第 1 昇圧回路は、

正極性の昇圧電圧を生成する第 1 回路と、 30

負極性の電圧を生成する第 2 回路と、

前記第 1 及び第 2 回路を動作させるクロック信号を生成する発振回路と、前記第 1 回路により生成された電位レベルを検出する第 1 検出回路と、

前記第 2 回路により生成された電位レベルを検出する第 2 検出回路とを備え、

前記第 1 検出回路、または、前記第 2 検出回路のいずれかが昇圧電位が所定のレベルを越えたことを検出したときは対応する昇圧電源回路の動作を停止させるように構成されていることを特徴とする請求項 11 に記載の半導体集積回路。

【請求項 14】

前記発振回路は、前記第 1 回路と前記第 2 回路に共通の回路として設けられ、

前記第 1 検出回路と前記第 2 検出回路が共に昇圧電位が所定のレベルを越えたことを検出したとき、前記発振回路の動作を停止させるように構成されることを特徴とする請求項 13 に記載の半導体集積回路。 40

【請求項 15】

前記第 1 回路及び前記第 2 回路のおおのこの前記スイッチ素子は、MOS トランジスタとされ、

前記第 1 回路及び前記第 2 回路のおおのこのは、前記 MOS トランジスタのゲート制御端子を駆動する制御信号の電位を昇圧するブースト回路を備えることを特徴とする請求項 13 に記載の半導体集積回路。

【請求項 16】

複数の走査線と前記複数の走査線と交差する方向に配置された複数の信号線とを有する 50

アクティブマトリックス方式の液晶表示パネルと、

半導体チップに形成され、前記表示パネルの前記複数の走査線及び前記複数の信号線に結合された液晶表示駆動用半導体集積回路とを有する表示システムであって、

前記液晶表示駆動用半導体集積回路は、

前記走査線に印加すべき電位を生成する第1昇圧回路と、

前記信号線に印加すべき電位を生成する第2昇圧回路と、を有し

前記第1昇圧回路は、昇圧用容量素子として、前記半導体チップ上に形成された半導体素子を使用し、前段の容量素子から後段の容量素子へスイッチ素子を介して電荷を順次転送して昇圧を行なうように構成され、

前記第2昇圧回路は、昇圧用容量素子として、前記半導体チップに外付けされるべき容量素子を利用して昇圧を行なうことを特徴とする表示システム。 10

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電源電圧を昇圧した電圧を発生する昇圧型電源回路を内蔵した液晶表示駆動用半導体集積回路に関し、例えばTFT（薄膜トランジスタ）型液晶表示装置を駆動する液晶駆動用電源回路を内蔵した液晶表示制御用LSI（大規模半導体集積回路）に利用して有効な技術に関する。

【背景技術】

【0002】

近年、携帯電話器やPDA（Personal Digital Assistants）などの携帯用電子機器の表示装置としては、一般に複数の表示画素が例えばマトリックス状に2次元配列されたドットマトリックス型液晶パネルが用いられており、機器内部にはこの液晶パネルの表示制御を行なう半導体集積回路化された表示制御装置や液晶パネルを駆動するドライバ回路もしくはそのようなドライバ回路を内蔵した表示制御装置が搭載されている。かかる半導体集積回路化された表示制御装置は5V以下の電圧で動作可能であるのに対し、液晶パネルの表示駆動には5～40Vのような駆動電圧を必要とするため、この表示制御装置には電源電圧を昇圧して液晶パネルを駆動する電圧を発生する液晶駆動用電源回路が内蔵されていることが多い。より具体的には、6V程度の振幅を有するソース線（セグメント線）駆動電圧と、その数倍の振幅（約40V）を有するゲート線（コモン線）駆動電圧とにより 30

【0003】

従来、液晶駆動用電源回路には、チャージポンプなどスイッチング素子と容量素子を組み合わせた昇圧回路が使用されており、容量素子には外付けの素子が用いられることが多かった。かかる液晶駆動用電源回路に関する発明としては、例えば特許文献1に記載のものがある。

【特許文献1】特開2002-313925号

【発明の開示】

【発明が解決しようとする課題】

【0004】

前記先願発明における電源回路は、セグメント線駆動電圧を生成する昇圧回路（10）とコモン線駆動電圧を生成する昇圧回路（20）に、それぞれ外付けの容量素子を有する一括ブースト型の昇圧回路を用いており、各昇圧回路はプリチャージ後に直列形態にされる昇圧用の容量素子をそれぞれ複数個備える。そのため、外付けの容量素子とそれらを接続する外部端子の数が多くなり、TFT型液晶表示装置（以下、TFT液晶パネルと称する）およびこれを駆動する液晶表示制御用半導体集積回路およびこれを搭載した電子機器の小型化並びに低コスト化を困難にするという課題がある。

【0005】

なお、前記先願発明に係る特許文献1の公報においては、複数の容量素子にそれぞれ電荷をプリチャージした後に、これらの容量素子を直列形態に接続することで一気に昇圧し 50

た電圧を得るようにした昇圧回路をチャージポンプと称しているが、本明細書においては、かかる昇圧方式の回路をスイッチドキャパシタ型昇圧回路と称し、並列形態に設けられた複数の容量素子間に整流素子またはスイッチ素子を挿入して電荷の逆送を防止した状態で容量素子の反対側の端子を2相クロックで交互にたたいて電荷を後段の容量素子へ次々と転送することで段階的な昇圧を行なう昇圧回路をチャージポンプと称して、上記スイッチドキャパシタ型昇圧回路と区別する。

【0006】

この発明の目的は、昇圧回路を有する電源回路を内蔵しTFT液晶パネルのソース線とゲート線を駆動する半導体集積回路化された液晶駆動制御装置において、外付けの容量素子および外付けの容量素子を接続するための外部端子を減らしてチップおよびこれを搭載した電子機器の小型化並びに低コスト化を図ることにある。 10

【0007】

この発明の他の目的は、昇圧回路を有する電源回路を内蔵し特にTFT液晶パネルのソース線とゲート線を駆動する半導体集積回路化された液晶駆動制御装置において、低耐圧プロセスを採用可能にしてチップの低コスト化を図ることにある。

【0008】

この発明のさらに他の目的は、昇圧回路を有する電源回路を内蔵し半導体集積回路化された液晶駆動制御装置において、昇圧回路の消費電力を低減するとともに出力昇圧電圧を安定化させることにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。 20

【課題を解決するための手段】

【0009】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、昇圧回路を有する電源回路を内蔵し特にTFT液晶パネルのソース線とゲート線を駆動する半導体集積回路化された液晶駆動制御装置において、ソース線を駆動するための電圧を生成する昇圧回路には外付け容量素子を有する昇圧回路を用いる一方、ゲート線を駆動するための電圧を生成する昇圧回路には内蔵（オンチップ）の容量素子を有するチャージポンプを用いるようにしたものである。 30

【0010】

本発明者が検討したところによると、TFT液晶パネルのソース線とゲート線を駆動する液晶駆動制御装置においては、ソース線を駆動するドライバの電流能力に比べてゲート線を駆動するドライバの電流能力の方がはるかに小さくて済む。そのため、ゲート線を駆動するドライバに供給する電源電圧を生成する電源回路を構成する昇圧回路には内蔵（オンチップ）の容量素子を用いても必要とされる電流を供給することができる。上記した手段によれば、ゲート線を駆動するための電圧を生成する昇圧回路には内蔵（オンチップ）の容量素子を有するチャージポンプを用いるようにしているので、必要な電流能力を担保しつつ外付けの容量素子を用いる昇圧回路に比べて外付け素子数および外部端子数を減らすことができ、それによってチップの小型化並びに低コスト化ひいてはこれを搭載した電子機器の小型化並びに低コスト化を達成することができる。 40

【0011】

また、望ましくは、前記内蔵（オンチップ）の容量素子は、直列形態の容量素子を用いその接続点には抵抗で分圧した電圧を印加するように構成する。これにより、ひとつひとつの昇圧用の容量素子に印加される電圧を小さくすることができ、容量素子の耐圧を下げることができる。また、コンパレータや誤差アンプを備え昇圧された電圧のレベルを調整可能な電圧調整回路を有する昇圧回路においては、昇圧電圧を分圧する可変抵抗回路を出力端子側ではなく電源電圧（定電位）端子側に設ける。可変抵抗回路を出力端子側に設けた方が調整精度は高く（調整はやり易く）なるが、電源電圧端子側に設けることにより可変抵抗回路を構成するスイッチ素子の耐圧を下げることもできる。 50

【0012】

さらに、望ましくは、ゲート線を駆動するための電圧を生成する昇圧回路をチャージポンプで構成し、該チャージポンプの段数を切替え可能にして例えば表示パネルの仕様または表示モードないしは動作モードに応じてチャージポンプの段数を切り替えるようにする。これにより、チャージポンプの消費電力を減らし電力効率を向上させることができる。

【発明の効果】

【0013】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、昇圧回路を有する電源回路を内蔵しTFT液晶パネルのソース線とゲート線を駆動する半導体集積回路化された液晶駆動制御装置において、外付けの容量素子および外付けの容量素子を接続するための外部端子を減らしチップおよびこれを搭載した電子機器の小型化並びに低コスト化を図ることができる。

【0014】

また、本発明に従うと、低耐圧プロセスが採用可能になってチップの低コスト化を図ることができる。さらに、昇圧回路の消費電力を低減するとともに出力昇圧電圧を安定化させることができるという効果がある。

【発明を実施するための最良の形態】

【0015】

以下、この発明の好適な実施の形態を図面に基づいて説明する。

先ず、本発明を適用して有効な昇圧型電源回路を内蔵した液晶表示制御用半導体集積回路（液晶コントロールドライバ）200を、図1を用いて説明する。図1は、昇圧型電源回路を内蔵した液晶コントロールドライバ200とこのドライバにより駆動されるTFT液晶パネル300とからなる液晶表示装置の構成を示すブロック図である。

【0016】

図1において、200はアクティブマトリックス方式で液晶パネルを駆動して表示を行なう液晶コントロールドライバLSI、300はこの液晶コントロールドライバLSI200により駆動されるTFT液晶パネルである。液晶コントロールドライバLSI200は、TFT液晶パネル300のソース線（ソース電極）SLを画像信号に応じて駆動するソースドライバ210、TFT液晶パネル300のゲート線（ゲート電極）GLを順番に走査駆動するゲートドライバ220、ソースドライバ210に必要とされる駆動電圧を発生するソースドライバ用昇圧電源回路230、ゲートドライバ220に必要とされる駆動電圧を発生するゲートドライバ用昇圧電源回路240、液晶パネル300に表示すべき画像データをビットマップ方式で記憶する表示用RAM250、外部のマイクロプロセッサ（以下、MPU又はCPUとも言う）等からの指令に基づいてチップ内部全体を制御する制御部260、ソースドライバ210やゲートドライバ220の動作タイミングを与えるクロックを生成するタイミング生成回路270等を備え、これらの回路は単結晶シリコンのような1個の半導体チップ上に構成されている。なお、LSI200は、第1電位のような電源電圧V_{cc}が供給される外部端子と第2電位のような接地電位が供給される外部端子とを有する。

【0017】

上記ソースドライバ用昇圧電源回路230は、昇圧用の容量素子C1、C2……と出力電圧を安定化させる平滑容量C_{s0}とが外付け素子として接続され、ゲートドライバ用昇圧電源回路240は、平滑容量C_{s1}が外付け素子として接続され、昇圧用の容量素子は内蔵（オンチップ）の素子として設けられている。図示しないが、この液晶コントロールドライバ200には、表示用RAM250に対するアドレスを生成するアドレスカウンタや、表示用RAM250から読み出されたデータと外部のMPU等から供給された新たな表示データとに基づいてすかし表示や重ね合わせ表示のための論理演算を行なう論理演算手段、外部のシステム制御装置としてのMPU（マイクロプロセッサ）との間の信号のやりとりを行なうインタフェース回路などが設けられている。

【0018】

なお、前記制御部260の制御方式としては、外部のMPUからコマンドコードを受けるとこのコマンドをデコードして制御信号を生成する方式や予め制御部内に複数のコマンドコードと実行するコマンドを指示するレジスタ（インデックスレジスタと称する）とを備え、MPUがインデックスレジスタに書込みを行なうことで実行するコマンドを指定して制御信号を生成する方式など任意の制御方式をとることができる。

【0019】

このように構成された制御部260による制御によって、液晶コントロールドライバ200は、外部のMPUからの指令およびデータに基づいて上述したTF T液晶パネル300に表示を行なう際に、表示データを表示用RAM250に順次書き込んでいく描画処理を行うと共に、表示RAM用250から順次表示データを読み出す読出し処理を行なってTF T液晶パネル300のソース線SLに印加する信号およびゲート線GLに印加する信号をドライバ210、220により出力させることにより液晶表示が行なわれる。

【0020】

図2は、本発明を適用した液晶コントロールドライバにおけるゲートドライバ用昇圧電源回路240の実施例を示す。ゲートドライバ用昇圧電源回路240は、図4に示すようなゲート駆動波形GDWの正側の昇圧電圧VGHを生成するチャージポンプ241、負側の昇圧電圧VGLを生成するチャージポンプ242、これらのチャージポンプを動作させる2相クロックを生成する共通の発振回路243、正側のチャージポンプ241により生成された昇圧電圧VGHのレベルを検出するコンパレータ244、負側のチャージポンプ242により生成された電圧昇圧電圧VGLのレベルを検出するコンパレータ245などにより構成されている。そして、この電源回路240の電圧出力端子VO1、VO2には、正側の昇圧電圧VGHを安定化させる平滑容量Cs1と負側の昇圧電圧VGLを安定化させる平滑容量Cs2が、外付け素子として接続されている。

【0021】

チャージポンプ241には発振回路243からのクロック $\phi 1$ 、 $\phi 1$ がANDゲート247を介して供給され、コンパレータ244には正側の昇圧電圧VGHを抵抗R1、R2で分圧した電圧と参照電圧Vrefとが入力され、昇圧電圧VGHが所定のレベル以上になるとその出力がロウレベルに変化してANDゲート247を閉じてクロックの供給を遮断してチャージポンプ241の動作を停止させる。また、チャージポンプ242には発振回路243からのクロック $\phi 2$ 、 $\phi 2$ がANDゲート248を介して供給され、コンパレータ245には負側の昇圧電圧VGLと定電圧Vaとの電位差を抵抗R3、R4で分圧した電圧と参照電圧Vrefとが入力され、昇圧電圧VGLが所定のレベル以下になるとその出力がロウレベルに変化してANDゲート248を閉じてクロックの供給を遮断してチャージポンプ242の動作を停止させる。これにより、所望のレベルの昇圧電圧を発生させることができる。

【0022】

また、コンパレータ244と245の出力はORゲート246に入力されており、共にロウレベルになると発振回路243の動作を停止させる。これにより、正側と負側の両方のチャージポンプの出力が必要以上のレベルなった場合には、クロックの発生が停止されて無駄な消費電流が流れるのを防止することができるようにされている。また、コンパレータ244の参照電圧Vrefをコンパレータ245の参照電圧Vrefとして同一の定電圧（例えば2V）を用いることができるように、抵抗R1、R2の比とR3、R4の比と定電圧Vaのレベル（例えば3V）が設定されている。チャージポンプ241には図3（A）に示すような回路が、またチャージポンプ242には図3（B）に示すような回路が用いられる。

【0023】

これらのチャージポンプは、図5に示すように互いにハイレベル期間が重ならないように生成されるほぼ逆相のクロック $\phi 1$ 、 $\phi 1$ （ $\phi 2$ 、 $\phi 2$ ）によって直列形態に接続されたMOSトランジスタ（絶縁ゲート型電界効果トランジスタ）Qd1、Qd2、…

が交互にオン、オフ動作され、初段の昇圧用容量素子C b 1に蓄積された電荷がC b 2, C b 3, ……C s 1 (C s 2)へ次々と転送されることにより昇圧された電圧V G H (V G L)が生成される。M O S トランジスタQ d 1, Q d 2, ……のゲート制御電圧を生成するインバータI N V 1, I N V 2, ……は、それぞれ次段と前段の昇圧電圧を電源電圧として動作するように接続がなされることにより、低耐圧の素子で構成できるとともに、M O S トランジスタQ d 1, Q d 2, ……がオンされるとき抵抗を比較的小さくすることができ、高効率なチャージポンプを実現することができる。

【0024】

なお、図3 (A), (B)に示されているチャージポンプは一例であって、本発明で使用可能なチャージポンプはこのような構成のものに限定されるものでない。例えば、上記インバータI N V 1, I N V 2, ……の電源電圧として次段の昇圧電圧の代わりに次々段の昇圧電圧を電源電圧として動作するように接続されたものを用いても良いし、特開2002-025287号公報の図8に示されているようなM O S トランジスタのゲート電圧を押し上げるブースト用の容量を用いたチャージポンプを使用しても良い。ただし、その場合、ブースト用の容量も昇圧用容量素子C b 1, C b 2, C b 3, ……と同様、オンチップの素子を用いるのが望ましい。さらに、M O S トランジスタQ d 1, Q d 2, ……のゲートを駆動するインバータもブースト用の容量も設けずに、M O S トランジスタQ d 1, Q d 2, ……のゲートとドレインを結合してダイオードとして作用するように接続したもの、あるいはM O S トランジスタの代わりにダイオードを用いたコンベンショナルなチャージポンプ回路を使用するようにしても良い。

【0025】

図7には、上記ソースドライバ用昇圧電源回路230の具体的な回路構成例を示す。T F T 液晶パネルのソース線S Lとゲート線G Lに印加される電圧の波形を示す図4を参照すると明らかなように、ソース線S Lに印加されるソース駆動電圧波形S D Wを生成するには、液晶中心電位V M I Dを中心にして対称な電圧V S HとV S Lが必要である。

【0026】

本実施例においては、図7に示されているように、ソースドライバ用昇圧電源回路230を、正側の電圧V S Hを発生する昇圧回路231と、該昇圧回路231の出力電圧をV M I D中心に反転して負側の電圧V S Lを生成する電圧反転回路232とから構成している。なお、T F T 液晶パネルを駆動するには画素電極に対向する基板側の電極に印加する交流波形を生成するための電圧V c o m H, V c o m Lが必要であるが、これらの電圧は上記電圧V S H, V S Lをレベルシフトすることで生成できるので、特に昇圧回路を設ける必要はないので、図示および説明を省略する。

【0027】

また、この実施例の昇圧回路231および電圧反転回路232には、電源回路の起動信号S Tによってクロックの供給制御がなされるA N D ゲートG 1, G 2およびG 3, G 4が設けられており、起動信号S Tがロウレベルの間はクロックφ 0, / φ 0の供給が遮断されて昇圧動作を行わず、起動信号S Tがハイレベルにされるとクロックφ 0, / φ 0が供給されて昇圧動作を開始するように構成されている。

【0028】

正のソース電圧V S Hを発生する上記昇圧回路231は、クロック信号φ 0によりオン、オフ動作されるスイッチS W 1~S W 4と、上記クロック信号φ 0とハイレベルの期間が重ならないように形成されたクロック信号/ φ 0によりオン、オフ動作されるスイッチS W 5~S W 7と、スイッチS W 5~S W 7により直列形態にされる昇圧容量C 1, C 2と、出力端子O U T 1に接続された出力の平滑容量C s 0とから構成されている。

【0029】

上記昇圧容量C 1の低電位側の端子C 1-はスイッチS W 4またはS W 7を介して接地点または第1基準電位端子T 1に接続可能にされているとともに、昇圧容量C 1の高電位側の端子C 1+はスイッチS W 3を介して第1基準電位端子T 1に接続可能にされている。また、上記昇圧容量C 2の低電位側の端子C 2-はスイッチS W 2を介して接地点に接

10

20

30

40

50

続可能にされているとともに、昇圧容量 C 2 の高電位側の端子 C 2 + はスイッチ S W 1 を介して第 1 基準電位端子 T 1 に接続可能にされている。

【0030】

さらに、出力端子 O U T 1 と上記昇圧容量 C 2 の高電位側の端子 C 2 + との間はスイッチ S W 5 を介して接続可能にされているとともに、昇圧容量 C 2 の低電位側の端子 C 2 - と昇圧容量 C 1 の高電位側の端子 C 1 + との間はスイッチ S W 6 を介して接続可能にされている。そして、上記第 1 基準電位端子 T 1 には定電圧 V c 1 が印加されている。

【0031】

上記のように構成された昇圧回路 2 3 1 は、クロック信号 $\phi 0$ がハイレベルにされて図 8 (A) のようにスイッチ S W 1 ~ S W 4 がオン (このとき S W 5 ~ S W 7 はオフ) されている間に昇圧容量 C 1, C 2 が基準電圧 V c 1 のレベルに充電される。そして、次に、スイッチ S W 1 ~ S W 4 がオフされて代わりにスイッチ S W 5 ~ S W 7 がオン状態にされ、図 8 (B) のように昇圧容量 C 1, C 2 が直列形態になるとともに、昇圧容量 C 1 の基準端側すなわち低電位側の端子 C 1 - はスイッチ S W 7 を介して第 1 基準電位端子 T 1 に接続される。これによって、出力端子 O U T 1 の電圧は V c 1 の 3 倍のレベルに押し上げられる。上記充電動作とブースト動作とを繰り返すことにより、昇圧容量 C 2 に充電された電荷が出力端子 O U T 1 に接続されている平滑容量 C s 0 へ転送され、3 V c 1 の昇圧電圧 V S H が出力される。

【0032】

電圧反転回路 2 3 2 は、昇圧回路 2 3 1 で発生された正の昇圧電圧 V S H が印加される電圧端子 T a と、液晶中心電位 V M I D が印加される第 2 基準電圧端子 T b と、電圧反転用容量 C 2 1 と、該容量 C 2 1 の一方の端子と上記電圧端子 T a との間および電圧端子 T b との間にそれぞれ接続されたスイッチ S W 8, S W 1 0 と、電圧反転用容量 C 2 1 の他方の端子と上記電圧端子 T b との間および出力端子 O U T 2 との間にそれぞれ接続されたスイッチ S W 9, S W 1 1 と、出力端子 O U T 2 と接地点との間に接続された負電圧用平滑容量 C s 1 0 とから構成されている。

【0033】

この実施例の電圧反転回路 2 3 2 は、互いにハイレベル期間が重ならないようにされたクロック $\phi 0$, $\neg \phi 0$ によりスイッチ S W 8 および S W 9 をオン、S W 1 0, S W 1 1 をオフさせて、電圧反転用容量 C 2 1 に正の昇圧電圧 V S H と液晶中心電位 V M I D との電位差に相当する電圧を充電させた後、スイッチ S W 8 および S W 9 をオフ、またスイッチ S W 1 0 と S W 1 1 をオンさせることで液晶中心電位 V M I D を中心にして上記昇圧電圧 V S H と極性が逆の負電圧 V S L で、出力端子 O U T 2 に接続されている平滑容量 C s 1 0 を充電するように動作される。

【0034】

上記のようにこの実施例の液晶駆動用電源回路においては、ゲートドライバ用電圧 V G H, V G L を発生する昇圧回路 2 4 0 がチャージポンプにより構成され、その昇圧容量が内蔵素子で構成されているため、外付けの容量素子数の低減が可能になる。一方、ソースドライバ用昇圧電源回路 2 3 0 は、外付けの昇圧容量にそれぞれ電荷をプリチャージした後に、これらの容量素子を直列形態に接続することで一気に昇圧した電圧を得るスイッチドキャパシタ型昇圧回路を用いている。

【0035】

外付けの容量素子数の低減には、ソースドライバ用昇圧電源回路 2 3 0 も内蔵容量を用いた昇圧回路で構成するのが望ましいが、例えば外付けの容量素子を使用したスイッチドキャパシタ型昇圧回路を用いているのはソースドライバ用昇圧電源回路の方が高い電流供給能力を必要とするためである。ここで、ソースドライバ用昇圧電源回路の方がゲートドライバ用昇圧電源回路よりも高い電流供給能力を必要とする理由を、図 6 の液晶画素モデルを参照して説明する。

【0036】

T F T 液晶パネルは複数のゲート線と複数のソース線が交差するように配置され、ゲ

10

20

30

40

50

ト線とソース線の交点にそれぞれ画素が設けられている。そして、各画素は、図6に示すように、画素電極と対向電極との間に形成される画素容量 C_{px} と、容量不足を補ってリークによる画素電極の電位低下を抑制するための保持容量 C_{st} と、画素容量 C_{px} の一方の端子にドレイン端子が接続されるとともにゲート線 GL にゲート端子が、またソース線 SL にソース端子が接続されたTFTからなる選択スイッチ・トランジスタ Q_s とから構成される。かかる画素においては、ゲート線 GL にTFTのゲート寄生容量 C_g が、またソース線 SL にはTFTのソース領域に寄生するPN接合容量 C_j が接続されることになる。したがって、ゲートドライバはゲート線 GL の他にTFTのゲート寄生容量 C_g を、またソースドライバはソース線 SL の他に画素容量 C_{px} と保持容量 C_{st} とTFTのPN接合容量 C_j を、それぞれ駆動する必要がある。

10

【0037】

一例として、液晶パネルの大きさ（横×縦）が画素数で $X \times Y$ 、ライン交流周波数が f_a の場合を考える。このとき、フレーム周期 T は $1/(2f_a)$ で表わされる。ゲート線 GL に印加される駆動電圧の振幅は前記説明より $(V_{GH} - V_{GL})$ 、ソース線 SL に印加される駆動電圧の振幅は $(V_{SH} - V_{SL})$ であることが分かる。よって、ゲートドライバの平均の電流供給能力 I_{g_ave} とソースドライバの平均の電流供給能力 I_{s_ave} は、それぞれ次式

$$I_{g_ave} = X \cdot C_g \cdot (V_{GH} - V_{GL}) \cdot 2f_a \cdot Y$$

$$I_{s_ave} = X \cdot \{ (C_{px} + C_{st}) + C_j \cdot Y \} \cdot (V_{SH} - V_{SL}) \cdot 2f_a \cdot Y$$

で表わされる。

20

【0038】

ここで、パネルサイズ $X \times Y$ が 720×270 、ライン交流周波数 f_a が 60Hz 、ゲート寄生容量 C_g が 100fF 、画素容量 C_{px} が 250fF 、保持容量 C_{st} が 650fF 、接合容量 C_j が 100fF 、ゲート線駆動電圧の振幅 $(V_{GH} - V_{GL})$ が 25V 、ソース線駆動電圧の振幅 $(V_{SH} - V_{SL})$ が 5V であるとする、上記式より $I_{g_ave} = 0.068\text{mA}$ 、 $I_{s_ave} = 3.8\text{mA}$ で、ソースドライバの電流供給能力 I_{s_ave} の方がゲートドライバの電流供給能力 I_{g_ave} よりも2桁大きい必要があることが分かる。

【0039】

逆に言えば、ゲートドライバの電流供給能力はソースドライバの電流供給能力よりもはるかに小さくてよい。これは、ゲート線駆動電圧の振幅はソース線駆動電圧の振幅よりも大きい、ゲートドライバの負荷はゲート線 GL の配線容量とTFTのゲート容量（ゲート線 GL をTFTのゲート電極とする場合にはゲート線 GL の配線容量）のみでありかつ1度に駆動されるのは Y 本のゲート線のうち1本であるのに対し、ソースドライバの負荷はソース線 SL の配線容量の他にTFTの接合容量 C_j と画素容量 C_{px} と保持容量 C_{st} が含まれしかも X 本すべてのソース線を同時に駆動する必要があるためである。

30

【0040】

ところで、昇圧回路の出力電圧 V_{out} は内部損失により入力電圧 V_{cc} の m 倍（ m は昇圧倍率）よりも低くなることが知られており、その電圧降下量は出力電流 I_{ave} に比例し、昇圧回路の動作周波数 f_b と使用する昇圧容量の容量値 C_b とに反比例し、出力電圧 V_{out} は次式

40

$$V_{out} = m \cdot V_{cc} - n \cdot I_{ave} / f_b \cdot C_b$$

で表わされる。なお、上式において n は定数である。

【0041】

ここで、例えば昇圧回路が動作周波数 f_b として 10MHz 、容量値 C_b として 100pF を使用すると仮定して、第2項の出力電流 I_{ave} と出力インピーダンス項 $1/f_b \cdot C_b$ との積である電圧降下量 $I_{ave} / f_b \cdot C_b$ のオーダーを見積もると、ゲートドライバの電流供給能力 $I_{g_ave} = 0.068\text{mA}$ で、ソースドライバの電流供給能力 $I_{s_ave} = 3.8\text{mA}$ であることから、ゲートドライバ用昇圧回路の $I_{ave} / f_b \cdot C_b$ は 0.68[V] 、ソースドライバ用昇圧回路の $I_{ave} / f_b \cdot C_b$ は 3.8[V] となる。

【0042】

50

よって、上記のような条件の場合、ゲートドライバ用昇圧回路の電圧降下量は 0.68 [V]で問題はないが、ソースドライバ用昇圧回路の電圧降下量は大きすぎて実用的でない。これを解決するには、電圧降下量の項 $I_{ave}/f_b \cdot C_b$ における C_b の値を大きくする、つまり昇圧容量として容量値の大きな外付けの素子を使用することが有効な対策であることが分かる。本発明は、かかる検討結果に基づいて、ゲートドライバ用昇圧電源回路の昇圧容量をオンチップの素子で構成して外付け素子数および外部端子数を減らす一方、ソースドライバ用昇圧回路の昇圧容量は外付け素子を用いることとしたものである。

【0043】

なお、上記検討結果に従うと、TFT液晶パネルのコントロールドライバLSIの外付け素子数およびチップサイズを低減するには、ゲートドライバ用昇圧電源回路240の昇圧容量としてオンチップの素子を使用すれば良く、実施例のようにゲートドライバ用昇圧電源回路240をチャージポンプで構成することは必須要件ではない。一方、ソースドライバ用昇圧電源回路230は、比較的大きな電流供給能力が必要とされるため昇圧容量として外付けの素子を使用すべきであるが、実施例のようにスイッチドキャパシタ型の昇圧回路を使用することは必須要件ではなく、ソースドライバ用昇圧電源回路230をチャージポンプで構成し昇圧容量として外付けの素子を用いるようにしても良い。

【0044】

図9には、昇圧容量としてオンチップの素子を使用する前記実施例のゲートドライバ用昇圧電源回路240におけるオンチップの容量素子の好ましい形態が示されている。図9 (A)に示されているように、ゲートドライバ用昇圧電源回路240を構成するオンチップの容量素子として、直列形態の容量素子C11, C12を用いその接続点には抵抗R11, R12で分圧した電圧を印加するように構成する。これにより、ひとつひとつの昇圧用の容量素子に印加される電圧を小さくすることができ、容量素子の耐圧を下げることで低耐圧プロセスを採用することが可能になる。

【0045】

なお、図9 (A)のような直列形態の容量素子C11, C12を用いる場合、C11, C12それぞれの素子の容量値を、図3に示されているチャージポンプの昇圧用容量素子Cb1~Cbnの容量値Cの2倍の値2Cとすることで、C11, C12の合成容量値を図3の昇圧用容量素子1つの容量値Cと同じにすることができるので、既に容量値が決定している場合には設計が容易となる。同様の理由から、図9 (B)のように、直列形態の容量素子C11, C12とこれらと並列形態の容量素子C13, C14を設け、抵抗R11, R12で分圧した電圧を印加するように構成してもよい。この場合、C11~C14それぞれの素子の容量値を図3の昇圧用容量素子の容量値Cと同じ値とすることで、C11~C14の合成容量値を図3の昇圧用容量素子1つの容量値Cと同じにすることができる。

【0046】

次に、本発明の第2の実施例を、図10を用いて説明する。第2の実施例は、図2の第1の実施例のゲートドライバ用昇圧電源回路240におけるコンパレータ244, 245の代わりに、2つの入力の電位差に応じた電圧を出力する誤差アンプAMP1, AMP2を設けるとともに、各チャージポンプ241, 242の入力側に入力制御用のMOSトランジスタQ1, Q2を設け、誤差アンプAMP1, AMP2の出力をMOSトランジスタQ1, Q2のゲート端子へフィードバックすることで、シリーズレギュレータと同様な原理で出力電圧のレベルを制御するようにしたものである。

【0047】

すなわち、この実施例の昇圧回路においては、抵抗R1, R2とR3, R4で分圧された電圧が参照電圧Vrefと一致するように、入力制御用のMOSトランジスタQ1, Q2にフィードバックがかけられることで、出力電圧が所定の値に維持される。なお、入力制御用のMOSトランジスタQ1, Q2で制御された電圧Vcc', Vcc"は、正側のチャージポンプ241ではクロックドライバ（インバータ）の電源電圧と昇圧用入力電圧として供給され、負側のチャージポンプ242ではクロックドライバ（インバータ）の電源

10

20

30

40

50

電圧として供給される。

【0048】

図11には、本発明に係る昇圧回路の第3の実施例が示されている。

この実施例は、図11(A)のように、図2の第1の実施例のゲートドライバ用昇圧電源回路240におけるコンパレータ244、245の入力側の抵抗R1、R2およびR3、R4からなる抵抗分圧回路の一方に可変抵抗を用いることで出力昇圧電圧VGH、VGLのレベルを調整可能にするとともに、抵抗分圧回路を構成する抵抗R1、R2とR3、R4のうちVGH、VGLの出力ノードとは反対側の抵抗R2、R3を可変抵抗とすることで抵抗切替えスイッチ素子として低耐圧のMOSトランジスタを使用できるようにしたものである。

10

【0049】

具体的には、電圧調整回路を、図11(B)のように、複数の直列抵抗Rt1、Rt2……Rtnと、これらの抵抗と並列に設けられたスイッチ素子SWt1、SWt2……SWtnとから構成するとともに制御用のレジスタREG1を設け、スイッチ素子SWt1、SWt2……SWtnをレジスタREG1の設定値によりオン／オフ制御して抵抗値を変化させ、コンパレータ244、245へ入力される電圧を調整するように構成されている。本実施例では、使用する液晶パネルの仕様あるいは表示モードに応じてレジスタREG1に設定する値を書き替えることで発生する昇圧電圧VGH、VGLを調整することができる。

【0050】

一般に、可変抵抗とオペアンプを用いた電圧調整回路では、オペアンプの出力Voが、チャージポンプ241側で考えると、 $V_o = (1 + R_1 / R_2) \cdot V_{ref}$ で表わされることから分かるように、抵抗R1の値を変える方が出力をリニアに制御できるため電圧調整がやり易い。これに対し、本実施例においては、電圧調整のやり易さよりもスイッチ素子SWt1、SWt2……SWtnとして用いるMOSトランジスタの低耐圧化を優先することとした。これにより、低耐圧プロセスを使用することができ、高耐圧プロセスを使用する場合に比べて製造コストを下げることができる。

20

【0051】

図12には、本発明に係る昇圧回路の第4の実施例が示されている。

この実施例は、ゲートドライバ用昇圧電源回路240を構成するチャージポンプ241、242の昇圧段数を切替え可能にし、レジスタREG2の設定値により切り替えるようにしたものである。この実施例は、例えば液晶パネルの仕様や表示モードや動作モードに応じてレジスタREG2の設定値を変更し、必要とされる昇圧電圧値に応じてチャージポンプの昇圧段数を切り替えることによって、チャージポンプの無駄な消費電力を減らすことができる。

30

【0052】

チャージポンプの昇圧段数を切り替えるために、ダイオード接続された複数のMOSトランジスタが直列に接続されたコンベンショナルなチャージポンプを使用する場合には、各昇圧用の容量にクロックを供給したり遮断したりできるゲートを設けて、クロックを遮断するゲートの数を制御することで動作する段数を任意の数だけ減らすように構成することができる。図3に示されているチャージポンプにおいても、各昇圧用の容量にクロックを供給したり遮断したりできるゲートを別途設けて動作する段数を任意の段数に切り替えるように構成することができる。

40

【0053】

図13には、本発明に係る昇圧回路の第5の実施例が示されている。

この実施例は、ゲートドライバ用昇圧電源回路240を構成するチャージポンプ241、242の昇圧段数を切替え可能にし、図2の第1実施例の昇圧回路に示されているコンパレータ244(245)もしくは図10の第2実施例の昇圧回路に示されている誤差アンプAMP1(AMP2)からのフィードバック信号FBにより切り替えるようにしたものである。

50

【0054】

より具体的には、フィードバック信号がコンパレータ244または245からのものである場合には、図13のようにシフトレジスタSFTとクロックOSCを計数するカウンタ回路CNTもしくは分周回路とを設け、例えば昇圧電圧が高くなってコンパレータからのフィードバック信号がロウレベルに変化したなら、ロウレベルの期間はカウンタCNTの出力タイミングによってシフトレジスタSFTをシフト動作させて順次"1"を立てて行き、"1"の立っているビットに対応した昇圧段の動作を停止させるように構成される。

【0055】

一方、フィードバック信号が誤差アンプAMP1（AMP2）からのものである場合には、上記フィードバック信号のレベルを判別するための複数のコンパレータを設け、その複数のコンパレータの出力をシフトレジスタの出力の代わりの信号として使用することで昇圧段数を切り替えるように構成される。上記のような構成によって、出力昇圧電圧が高くなり過ぎたときはチャージポンプの昇圧段数を減らして、出力昇圧電圧をほぼ一定に保ったり無駄な消費電流を減らしたりすることができる。

10

【0056】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例では、ソースドライバ用昇圧電源回路230には昇圧回路231で生成した正の電圧VSHをVMID中心に反転することで負電圧VSLを発生させる電圧反転回路232を設けているが、昇圧回路231と同様な構成の昇圧回路で直接的に負電圧を発生するように構成しても良い。

20

【0057】

さらに、本発明は、低い方のソース線駆動電圧VSLを接地電位とする液晶コントールドライバに適用することができる。また、ソースドライバ用昇圧電源回路230はスイッチドキャパシタ型の昇圧回路の代わりに昇圧用容量素子として外付け素子を使用したチャージポンプを用いても良い。

【産業上の利用可能性】

【0058】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である3端子のスイッチ素子である薄膜トランジスタにより画素電極に電荷を注入するTF T液晶パネルを駆動する液晶コントールドライバについて説明したが、この発明はそれに限定されるものでなく、例えば、2端子のスイッチ素子により画素電極に電荷を注入するMIM液晶パネルを駆動する液晶コントールドライバに適用することができる。

30

【図面の簡単な説明】

【0059】

【図1】図1は、昇圧型電源回路を内蔵した液晶コントールドライバとこのドライバにより駆動されるTF T液晶パネルとからなる液晶表示装置の構成を示すブロック図である。

【図2】図2は、本発明を適用した液晶コントールドライバにおけるゲートドライバ用昇圧電源回路の実施例を示すブロック図である。

40

【図3】図3（A）はゲート駆動波形の正側の昇圧電圧を生成するチャージポンプの一例を示す回路図、図3（B）は負側の昇圧電圧を生成するチャージポンプの一例を示す回路図である。

【図4】図4はゲート駆動波形およびソース駆動波形を示す波形図である。

【図5】図5はチャージポンプを動作させるクロックの波形を示す波形図である。

【図6】図6はTF T液晶パネルの画素モデルを示す等価回路図である。

【図7】図7はソース駆動用昇圧電源回路の実施例を示す回路図である。

【図8】図8（A）は図7の電源回路の昇圧回路の充電時のスイッチ状態および電流経路を示す動作説明図、図8（B）は図7の電源回路の昇圧回路の電圧ブースト時のスイッチ状態および電流経路を示す動作説明図である。

50

【図 9】図 9 は実施例のゲートドライバ用昇圧電源回路のチャージポンプを構成する容量素子の構成例を示す回路図である。

【図 10】図 10 は、本発明に係るゲートドライバ用昇圧電源回路の第 2 の実施例を示す回路構成図である。

【図 11】図 11 (A) は本発明に係るゲートドライバ用昇圧電源回路の第 3 の実施例を示す回路構成図、図 11 (B) はその要部の構成例を示す回路図である。

【図 12】図 12 は、本発明に係るゲートドライバ用昇圧電源回路の第 4 の実施例に用いられるチャージポンプの構成を示す回路図である。

【図 13】図 13 は、本発明に係るゲートドライバ用昇圧電源回路の第 5 の実施例に用いられるチャージポンプの構成を示す回路図である。

10

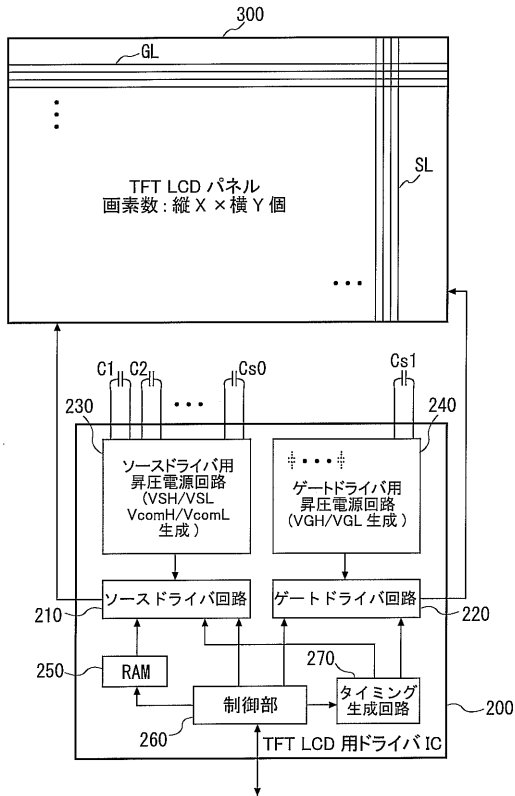
【符号の説明】

【0060】

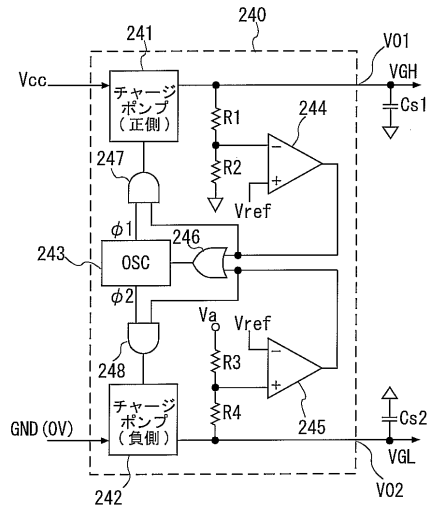
- 300 TFT 液晶パネル
- 200 液晶コントロールドライバ
- 210 ソースドライバ
- 220 ゲートドライバ
- 230 ソースドライバ用昇圧電源回路
- 231 昇圧回路
- 232 電圧反転回路
- 240 ゲートドライバ用昇圧電源回路
- 241 正側の昇圧電圧 V_{GH} を生成するチャージポンプ
- 242 負側の昇圧電圧 V_{GL} を生成するチャージポンプ
- 243 発振回路
- 244, 245 コンパレータ
- 250 表示用 RAM
- 260 制御部
- 270 タイミング生成回路

20

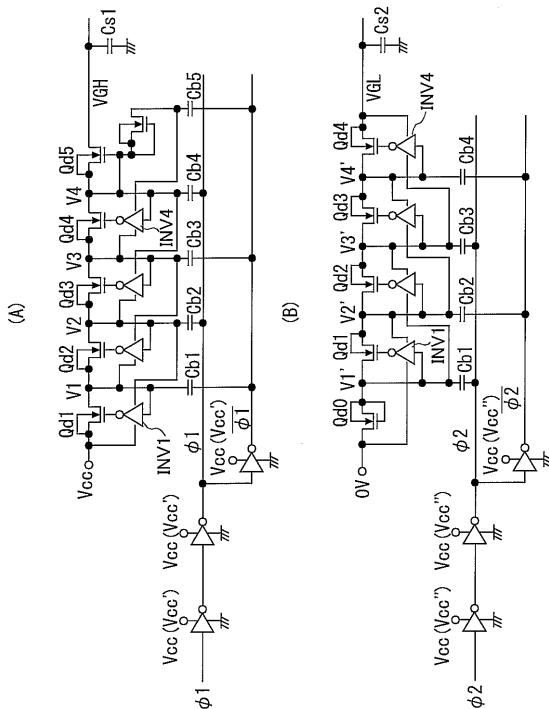
【図 1】



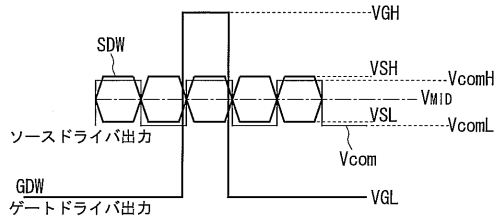
【図 2】



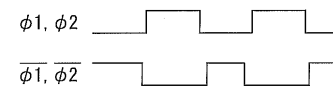
【図 3】



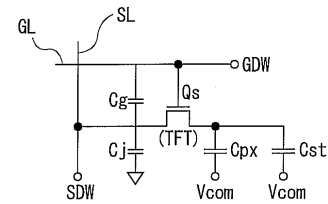
【図 4】



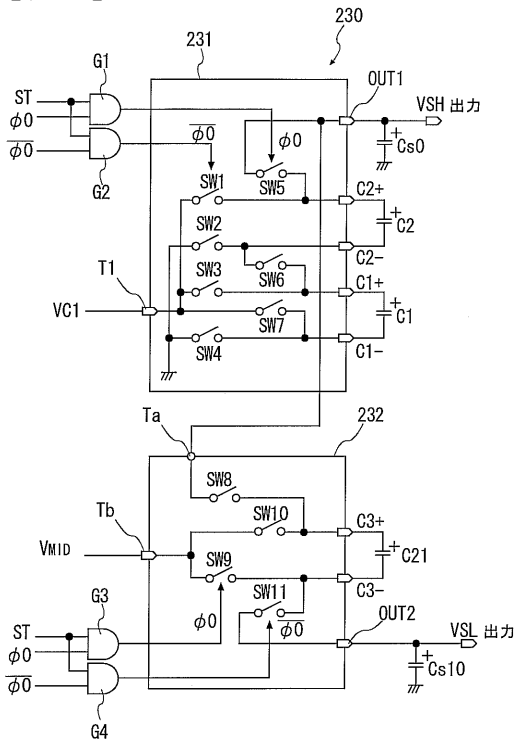
【図 5】



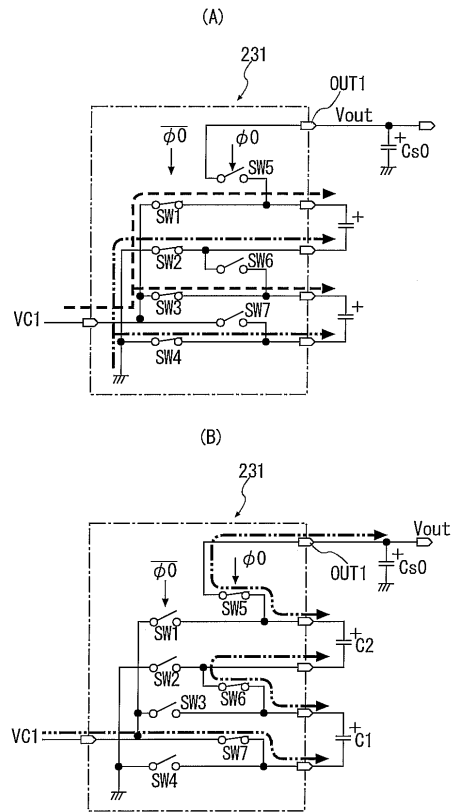
【図 6】



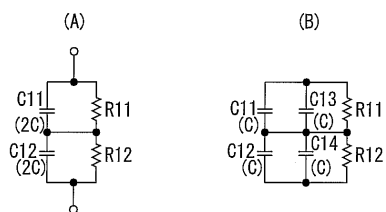
【図 7】



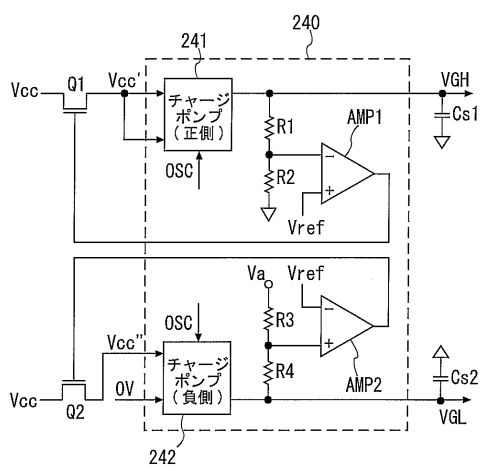
【図 8】



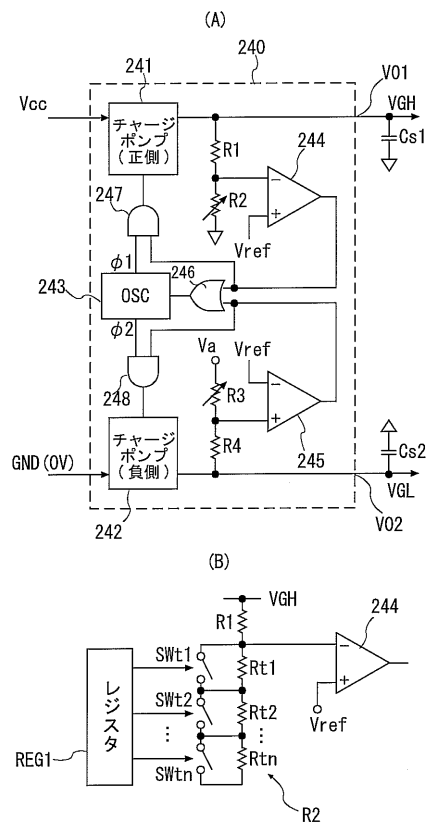
【図 9】



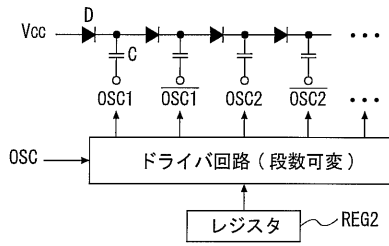
【図 10】



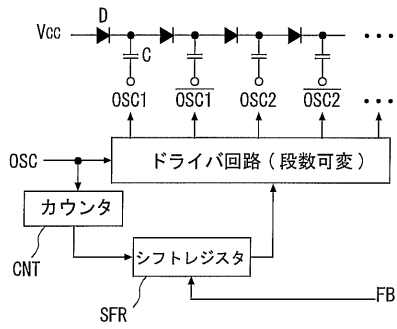
【図 11】



【図 1 2】



【図 1 3】



フロントページの続き

(72)発明者 大門 一夫

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 秋葉 武定

北海道千歳市泉沢1007番地39 株式会社ルネサス北日本セミコンダクタ内

Fターム(参考) 2H093 NC03 NC16 NC25 NC34 NC50 ND42 ND54

5C006 AA16 AC11 AF51 AF53 AF54 AF64 BB16 BF42 BF46 FA41

FA51

5C080 AA01 BB05 DD22 DD27 EE29 FF11 JJ02 JJ03 JJ04 KK47

专利名称(译)	液晶表示駆动用半导体集积回路		
公开(公告)号	JP2006178018A	公开(公告)日	2006-07-06
申请号	JP2004368708	申请日	2004-12-21
[标]申请(专利权)人(译)	株式会社瑞萨科技		
申请(专利权)人(译)	瑞萨科技公司		
[标]发明人	重信毅 平木充 堀口真志 大門一夫 秋葉武定		
发明人	重信 毅 平木 充 堀口 真志 大門 一夫 秋葉 武定		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3696 G09G3/3674 G09G3/3685		
FI分类号	G09G3/36 G02F1/133.520 G02F1/133.550 G09G3/20.612.D G09G3/20.612.K		
F-TERM分类号	2H093/NC03 2H093/NC16 2H093/NC25 2H093/NC34 2H093/NC50 2H093/ND42 2H093/ND54 5C006/AA16 5C006/AC11 5C006/AF51 5C006/AF53 5C006/AF54 5C006/AF64 5C006/BB16 5C006/BF42 5C006/BF46 5C006/FA41 5C006/FA51 5C080/AA01 5C080/BB05 5C080/DD22 5C080/DD27 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK47 2H193/ZA04 2H193/ZF03		
外部链接	Espacenet		

摘要(译)

在内置有具有升压电路的电源电路并将TFT液晶面板的源极线和栅极线驱动到半导体集成电路中的液晶驱动控制装置中，连接有外部电容元件和外部电容元件。通过减少外部端子的数量来减小芯片和其上安装有芯片的电子设备的尺寸和成本。在包括具有升压电路的电源电路的液晶驱动控制装置中，用于产生用于驱动TFT液晶面板的源极线的电压的升压电路（230）具备具有外部电容元件的升压电路。另一方面，具有内置（片上）电容元件的电荷泵被用于升压电路（240），该升压电路（240）产生用于驱动栅极线的电压。[选型图]图1

