

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-266529
(P2005-266529A)

(43) 公開日 平成17年9月29日(2005.9.29)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO9F 9/00	GO9F 9/00 352	2H088
GO2F 1/13	GO9F 9/00 338	2H092
GO2F 1/1368	GO2F 1/13 101	5G435
	GO2F 1/1368	

審査請求 未請求 請求項の数 8 O L (全 19 頁)

(21) 出願番号	特願2004-81073 (P2004-81073)	(71) 出願人	000005049
(22) 出願日	平成16年3月19日 (2004.3.19)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100077931
			弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(72) 発明者	大津 未来生
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	2H088 FA11 HA08 HA14 HA28 MA20
			2H092 JA24 JB77 MA56 NA27 NA30
			PA09 PA13
			最終頁に続く

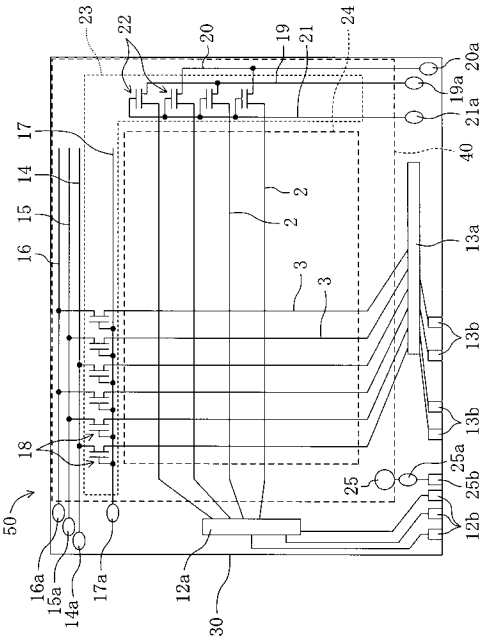
(54) 【発明の名称】 表示装置の製造方法及び表示装置

(57) 【要約】

【課題】 検査用TFTによる信号遅延を抑止すると共に、容易に不良を検出することが可能な表示装置の検査方法を提供する。

【解決手段】 表示領域24と表示領域24の周りに設けられた非表示領域とを有するアクティブマトリクス基板30を備えた液晶表示装置50の製造方法であって、基板上の表示領域24に表示用TFT1を形成すると共に、非表示領域に検査用TFT18及び22を形成するTFT形成工程と、検査用TFT18及び22に励起エネルギーを供給しながら、検査用TFT18及び22を介して表示用TFT1に検査信号を供給することにより、表示領域24の検査を行う検査工程と、を備えている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

表示領域と該表示領域の周りに設けられた非表示領域とを有するアクティブマトリクス基板を備えた表示装置の製造方法であって、

基板上の上記表示領域に表示用薄膜トランジスタを形成すると共に、上記非表示領域に検査用薄膜トランジスタを形成する T F T 形成工程と、

上記検査用薄膜トランジスタに励起エネルギーを供給しながら、該検査用薄膜トランジスタを介して上記表示用薄膜トランジスタに検査信号を供給することにより、該表示領域の検査を行う検査工程と、

を備えていることを特徴とする表示装置の製造方法。

10

【請求項 2】

請求項 1 に記載された表示装置の製造方法において、

上記励起エネルギーは、光エネルギーであることを特徴とする表示装置の製造方法。

【請求項 3】

請求項 1 に記載された表示装置の製造方法において、

上記励起エネルギーは、熱エネルギーであることを特徴とする表示装置の製造方法。

【請求項 4】

請求項 1 に記載された表示装置の製造方法において、

上記励起エネルギーは、光エネルギー及び熱エネルギーであることを特徴とする表示装置の製造方法。

20

【請求項 5】

請求項 1 に記載された表示装置の製造方法において、

上記検査工程の後に、上記検査用薄膜トランジスタを覆うように遮光手段を形成する遮光手段形成工程を、備えていることを特徴とする表示装置の製造方法。

【請求項 6】

請求項 5 に記載された表示装置の製造方法において、

上記遮光手段は、上記アクティブマトリクス基板の非表示領域に実装する実装部品によって構成されていることを特徴とする表示装置の製造方法。

【請求項 7】

表示領域と該表示領域の周りに設けられた非表示領域とを有するアクティブマトリクス基板を備えた表示装置であって、

30

上記表示領域に複数設けられ、ゲート線及びソース線に接続された表示用薄膜トランジスタと、

上記非表示領域に複数設けられ、上記ゲート線又はソース線を介して上記表示用薄膜トランジスタに接続された検査用薄膜トランジスタと、を備え、

上記非表示領域には、上記検査用薄膜トランジスタに対向する部分位置に開口部を有するブラックマトリクスと、該ブラックマトリクスの開口部を覆う遮光手段と、が設けられていることを特徴とする表示装置。

【請求項 8】

請求項 7 に記載された表示装置において、

40

上記遮光手段は、上記アクティブマトリクス基板の非表示領域に実装される実装部品であることを特徴とする表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置の製造方法及び表示装置に関するものである。特に、液晶表示装置の検査方法に係るものである。

【背景技術】**【0002】**

近年、液晶表示装置は、薄型で且つ低消費電力であるという特徴を有するため、液晶テ

50

レビや携帯電話等の各種電子機器に用いられている。

【0003】

この液晶表示装置は、複数の画素電極がマトリクス状に配設されたアクティブマトリクス基板と、共通電極を有する対向基板と、それら両基板間に挟持されるように設けられた液晶層と、を備える液晶表示パネルにより構成されている。

【0004】

そして、液晶表示装置は、画像の最小単位である画素を構成する画素電極に、所定の電荷を書き込むことによって、画素電極と共通電極との間の液晶層に所定の電圧を印加して、その印加電圧の大きさに応じて液晶層の光学的変調を起こすことを利用して、画像の表示を行うものである。

10

【0005】

ところで、液晶表示装置の製造においては、製造工程毎に、各基板に対して工程内の検査を行っている。これによって、欠陥を有する基板が後工程に流れて、材料や作業等の無駄が発生しないようにしている。

【0006】

例えば、液晶表示パネルが完成して、ドライバＩＣチップ等の実装部品を取り付ける前の段階には、点灯検査が行われる。

【0007】

特許文献１には、一般的な液晶表示パネルの検査方法が開示されている。この液晶パネルの点灯検査の方法について、図面を用いて以下に説明する。

20

【0008】

図６は、液晶表示パネル５０ａの平面模式図である。

【0009】

この液晶表示パネル５０ａは、アクティブマトリクス基板３０ａ及び対向基板４０ａと、それらの両基板間に挟持された液晶層と、を備えている。

【0010】

このアクティブマトリクス基板３０ａは、その中央部分に表示領域２４を有している。そして、その表示領域２４には、相互に並行に延びるように設けられた複数のゲート線２と、それらのゲート線２と直交する方向に相互に並行に延びるように設けられた複数のソース線３と、ゲート線２及びソース線３の各交差部分に設けられた薄膜トランジスタ（ＴＦＴ）と、各ＴＦＴに対応して一对のゲート線２及びソース線３で囲われる領域に設けられ、画素を構成する画素電極と、が配設されている。

30

【0011】

また、表示領域２４の外側の領域、つまり、非表示領域のうち、液晶表示パネル５０ａ（アクティブマトリクス基板３０ａ）の右辺部分には、ソース線３に沿って相互に並行に延びるように、奇数番目のゲート線２が接続された検査用ゲート信号入力線（奇数）１９と、偶数番目のゲート線２が接続された検査用ゲート信号入力線（偶数）２０とが設けられている。そして、アクティブマトリクス基板３０ａの右下部分には、検査用ゲート信号入力線（奇数）１９の末端の検査入力端子１９ａ、及び検査用ゲート信号入力線（偶数）２０の末端の検査入力端子２０ａがそれぞれ設けられている。

40

【0012】

さらに、アクティブマトリクス基板３０ａの上辺部分には、ゲート線２に沿って相互に並行に延びるように、赤色表示に係わるソース線３が接続された検査用ソース信号入力線（赤）１４と、緑色表示に係わるソース線３が接続された検査用ソース信号入力線（緑）１５と、青色表示に係わるソース線３が接続された検査用ソース信号入力線（青）１６と、が設けられている。そして、アクティブマトリクス基板３０ａの右上部分には、検査用ソース信号入力線（赤）１４の末端の検査入力端子１４ａと、検査用ソース信号入力線（緑）１５の末端の検査入力端子１５ａと、検査用ソース信号入力線（青）１６の末端の検査入力端子１６ａと、がそれぞれ設けられている。

【0013】

50

また、アクティブマトリクス基板 30 a の左下部分には、対向基板 40 a の共通電極に共通電極信号入力用導電部 25 を介して接続された検査入力端子 25 a が設けられている。

【0014】

さらに、アクティブマトリクス基板 30 a の左辺部分には、各ゲート線 2 に接続されようにゲートドライバ実装領域 12 a が、同じく下辺部分には、各ソース線 3 に接続されようにソースドライバ実装領域 13 a が、それぞれ構成されている。

【0015】

この液晶表示パネル 50 a の検査に際しては、まず、対向基板 40 a の共通電極に接続された検査入力端子 25 a に一定の共通電極検査信号を入力しながら、ゲート線 2 に接続された検査入力端子 19 a 又は 19 b に所定のゲート検査信号を入力してゲート線 2 に接続された T F T をオン状態にする。そして、ソース線 3 に接続された検査入力端子 14 a、15 a 及び 16 a のうちのいずれかに所定のソース検査信号を入力して T F T を介して特定の画素電極に所定の電荷を書き込む。

10

【0016】

このとき、画素電極と共通電極との間で構成される液晶容量には所定の電圧が印加され、その画素電極で構成された画素が点灯状態になる。このように、検査入力端子 19 a 及び 19 b にゲート検査信号を、検査入力端子 14 a、15 a 及び 16 a にソース検査信号を、選択的に入力して適宜画素を点灯させることによって液晶表示パネル 50 a の点灯検査が行われる。

20

【0017】

そして、このような検査を行った後に、この液晶表示パネル 50 a をダイシングやレーザ切断等の手段によって分断線 L に沿って分断し、検査用信号入力線 (14、15、16、19 及び 20) 及びその検査入力端子 (14 a、15 a、16 a、19 a 及び 20 a) が設けられた右辺部分及び上辺部分を切り離す。

【0018】

ところが、この方法によると、分断にかかる工程が必要であるという問題の他に、分断によって生じる配線パターンの破片やガラス屑等によって新たな不良が発生する恐れがある。特に、分断時に静電気が発生し、その静電気により T F T が静電破壊される可能性もある。

30

【0019】

そこで、切断にかかる工程数の増加を回避する手段の一例として、検査信号を供給する配線を電氣的に完全に導通しておくのではなく、その導通させたい部分に T F T 等の検査用スイッチング素子を配置しておき、検査の際には、必要に応じてこの検査用スイッチング素子を導通させる信号を供給する方法が特許文献 2 及び 3 に提案されている。

【0020】

特許文献 2 には、検査用スイッチング素子を液晶表示パネルの非表示領域に形成しておき、その検査用スイッチング素子を介して次々と信号を供給し、各画素を充電させた後、さらに、その検査用スイッチング素子を介して信号を次々と読み出して画面内の欠陥情報を電氣的に検出する方法が開示されている。

40

【0021】

この方法では、対向基板を貼り付ける前の工程という早期の段階で欠陥を検出できるので、不良発生による工程の無駄を省けるというメリットがある。しかしながら、この方法で点欠陥を検出する場合には、極めて微弱な電気信号を精度よく読み出す必要があるため、読み出しアンプの設計、回路シーケンス、及び画素の T F T の時定数と読み出し時間とのバランスの最適化等という困難な問題があるだけでなく、特に、表示ムラや低輝点を検出する場合には、電氣的に検出された結果と実際に表示して検出された結果との整合が取れないという恐れがある。

【0022】

そこで、同じく検査用のスイッチング素子を介して信号を供給して、従来どおりの点灯

50

検査を可能にした技術が特許文献 3 に開示されている。

【 0 0 2 3 】

図 7 は、特許文献 3 に開示された液晶表示パネル 5 0 b の平面模式図である。なお、図 6 に示すものと実質的に同じ機能を有する構成要素を共通の符号で示し、その説明は省略する。

【 0 0 2 4 】

この液晶表示パネル 5 0 b (アクティブマトリクス基板 3 0 b) では、検査用配線として、図 6 の構成の他に、ゲート線検査用制御信号線 2 1 及びソース線検査用制御信号線 1 7 が、表示領域 2 4 の外周領域においてソース線 3 及びゲート線 2 に沿って、それぞれ設けられている。そして、アクティブマトリクス基板 3 0 b の右下部分には、ゲート線検査用制御信号線 2 1 の末端の検査入力端子 2 1 a が、アクティブマトリクス基板 3 0 b の左上部分には、ソース線検査用制御信号線 1 7 の末端の検査入力端子 1 7 a が、それぞれ設けられている。さらに、ゲート線 2 及びソース線 3 の末端には、検査用 T F T 2 2 及び 1 8 が、それぞれ設けられている。

10

【 0 0 2 5 】

ゲート線 2 の末端に設けられたゲート線検査用 T F T 2 2 は、そのゲート電極がゲート線検査用制御信号線 2 1 に、そのソース電極がゲート線 2 に、そのドレイン電極が検査用ゲート信号入力線 (奇数) 1 9 又は検査用ゲート信号入力線 (偶数) 2 0 に、それぞれ接続されている。

【 0 0 2 6 】

ソース線 3 の末端に設けられたソース線検査用 T F T 1 8 は、そのゲート電極がソース線検査用制御信号線 1 7 に、そのソース電極がソース線 3 に、そのドレイン電極が検査用ソース信号入力線 (赤) 1 4 、検査用ソース信号入力線 (緑) 1 5 及び検査用ソース信号入力線 (青) 1 6 のうちの何れかに、それぞれ接続されている。

20

【 0 0 2 7 】

この液晶表示パネル 5 0 b の検査に際しては、共通電極に接続された検査入力端子 2 5 a と、ゲート線検査用制御信号線 2 1 に接続された検査入力端子 2 1 a と、ソース線検査用制御信号線 1 7 に接続された検査入力端子 1 7 a と、検査用ゲート信号入力線 (奇数) 1 9 に接続された検査入力端子 1 9 a と、検査用ゲート信号入力線 (偶数) 2 0 に接続された検査入力端子 2 0 a と、検査用ソース信号入力線 (赤) 1 4 に接続された検査入力端子 1 4 a と、検査用ソース信号入力線 (緑) 1 5 に接続された検査入力端子 1 5 a と、検査用ソース信号入力線 (青) 1 6 に接続された検査入力端子 1 6 a と、に検査信号を選択的に入力することにより、適宜画素を点灯させる。

30

【特許文献 1】特開平 7 - 5 4 8 1 号公報

【特許文献 2】特開平 3 - 1 4 2 4 9 9 号公報

【特許文献 3】特開平 1 1 - 3 3 8 3 7 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 2 8 】

しかしながら、特許文献 3 に開示された点灯検査では、検査用 T F T 1 8 及び 2 2 のスイッチング特性に関する問題点が考えられる。

40

【 0 0 2 9 】

具体的には、検査用 T F T 1 8 及び 2 2 を介して検査信号を入力する場合、精度良く点灯検査を行うために、検査用 T F T 1 8 及び 2 2 には、オン・オフ特性が良好なスイッチング特性が求められる。ところが、液晶表示パネルにおいては、通常、表示領域にある表示用 T F T と、非表示領域にある検査用 T F T 1 8 及び 2 2 とが同時に形成されるため、検査用 T F T 1 8 及び 2 2 のスイッチング特性には制約がある。

【 0 0 3 0 】

例えば、検査用 T F T 1 8 及び 2 2 に起因する信号遅延によって、液晶表示パネル 5 0 b の点灯検査の時には検出されなかった欠陥が、実際に、ドライバ実装領域 1 2 a 及び 1

50

3 a にドライバ I C チップ等の実装部品を取り付けて、ある程度、液晶表示装置として組み上がった後に、画素欠陥、表示ムラ等の不良として検出される場合がある。

【0031】

そのような場合には、液晶表示パネル 5 0 b の下辺の配置するゲート信号実駆動入力端子 1 2 b、ソース信号実駆動入力端子 1 3 b 及び共通電極信号実駆動入力端子 2 5 b に、検査信号を入力する導電性ゴムを押し当て、その入力端子を介して直接信号入力を行って、簡易的な再検査も必要となる。

【0032】

この再検査は、検査用 T F T 1 8 及び 2 2 に起因する信号遅延は無視できるが、隣接するゲート線 2 及びソース線のリーク欠陥の検出が不可能である、単色表示検査を行うことが不可能である、導電性ゴムを押し当てるので接触抵抗差がある等の問題があり、十分な点灯検査は困難である。

10

【0033】

特に、近年、液晶表示パネルの額縁領域（非表示領域）の狭小化によって、検査用 T F T のサイズが制約されるという面や、また、液晶表示パネルの高精細化によって、ゲート線の線幅が狭くなり、その電気抵抗が増大してゲート信号の遅延が起こり易いという面からも、検査用 T F T のスイッチング特性の問題が重要視されてきている。

【0034】

一方、検査用 T F T のスイッチング特性を向上させるために、検査用 T F T を、表示用の T F T を形成する工程とは、別の工程で形成することも考えられるが、アクティブマトリクス基板の作製の工程数が大幅に増加し、製造コストのアップにつながるため、非現実的である。

20

【0035】

本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、検査用 T F T による信号遅延を抑止すると共に、容易に不良を検出することが可能な表示装置の検査方法を提供することにある。

【課題を解決するための手段】

【0036】

本発明は、検査用薄膜トランジスタに励起エネルギーを供給しながら表示装置の検査を行うようにしたものである。

30

【0037】

具体的に、本発明の表示装置の製造方法は、表示領域と該表示領域の周りに設けられた非表示領域とを有するアクティブマトリクス基板を備えた表示装置の製造方法であって、基板上の上記表示領域に表示用薄膜トランジスタを形成すると共に、上記非表示領域に検査用薄膜トランジスタを形成する T F T 形成工程と、上記検査用薄膜トランジスタに励起エネルギーを供給しながら、該検査用薄膜トランジスタを介して上記表示用薄膜トランジスタに検査信号を供給することにより、該表示領域の検査を行う検査工程と、を備えていることを特徴とする。

【0038】

上記の製造方法によれば、検査用薄膜トランジスタに励起エネルギーを供給しながら、表示領域の検査することになる。そのため、検査工程では、検査用薄膜トランジスタを構成する半導体膜中にキャリアが発生して、その半導体膜は電流が流れやすい状態になり、検査用薄膜トランジスタのオン電流が増加（オン抵抗が低下）する。これにより、表示用薄膜トランジスタに対して検査用薄膜トランジスタを介して検査信号を供給するようにしても、検査工程においては、検査用薄膜トランジスタのオン抵抗が、表示用薄膜トランジスタよりも低くなるので、検査用薄膜トランジスタによる信号遅延が抑止され、容易に不良を検出することが可能になる。

40

【0039】

本発明の表示装置の製造方法は、上記励起エネルギーが、光エネルギーであってもよい。

50

【0040】

上記の製造方法によれば、励起エネルギーが、光エネルギーであるので、検査用薄膜トランジスタに光を照射することにより、検査用薄膜トランジスタによる信号遅延が抑止される。

【0041】

本発明の表示装置の製造方法は、上記励起エネルギーが、熱エネルギーであってもよい。

【0042】

上記の製造方法によれば、励起エネルギーが、熱エネルギーであるので、検査用薄膜トランジスタを加熱することにより、検査用薄膜トランジスタによる信号遅延が抑止される。 10

【0043】

本発明の表示装置の製造方法は、上記励起エネルギーが、光エネルギー及び熱エネルギーであってもよい。

【0044】

上記の製造方法によれば、励起エネルギーが、光エネルギー及び熱エネルギーであるので、検査用薄膜トランジスタに光を照射すると共に、検査用薄膜トランジスタを加熱することにより、一層効果的に検査用薄膜トランジスタによる信号遅延が抑止される。

【0045】

本発明の表示装置の製造方法は、上記検査工程の後に、上記検査用薄膜トランジスタを覆うように遮光手段を形成する遮光手段形成工程を、備えていてもよい。 20

【0046】

上記の製造方法によれば、検査工程の後に、検査用薄膜トランジスタを覆うように遮光手段を形成するので、検査用薄膜トランジスタに対して、光によるリーク電流の発生を抑制することができる。

【0047】

本発明の表示装置の製造方法は、上記遮光手段が、上記アクティブマトリクス基板の非表示領域に実装される実装部品によって構成されていてもよい。

【0048】

上記の製造方法によれば、検査用薄膜トランジスタを、アクティブマトリクス基板の非表示領域に実装される実装部品で遮光することになるので、例えば、検査用薄膜トランジスタを覆う遮光膜を形成する工程を別途設ける必要がない。 30

【0049】

本発明の表示装置は、表示領域と該表示領域の周りに設けられた非表示領域とを有するアクティブマトリクス基板を備えた表示装置であって、上記表示領域に複数設けられ、ゲート線及びソース線に接続された表示用薄膜トランジスタと、上記非表示領域に複数設けられ、上記ゲート線又はソース線を介して上記表示用薄膜トランジスタに接続された検査用薄膜トランジスタと、を備え、上記非表示領域には、上記検査用薄膜トランジスタに対向する部分位置に開口部を有するブラックマトリクスと、該ブラックマトリクスの開口部を覆う遮光手段と、が設けられていることを特徴とする。 40

【0050】

上記の構成によれば、検査用薄膜トランジスタが、ブラックマトリクスで覆われていないので、例えば、表示装置を検査する場合には、容易に、検査用薄膜トランジスタのみに励起エネルギーを供給することができる。そのため、検査用薄膜トランジスタの半導体膜中にキャリアが発生して、その半導体膜は電流が流れやすい状態になり、検査用薄膜トランジスタのオン電流が増加（オン抵抗が低下）する。これにより、表示用薄膜トランジスタに対して検査用薄膜トランジスタを介して検査信号を供給するようにしても、表示装置の検査の際には、検査用薄膜トランジスタのオン抵抗が、表示用薄膜トランジスタよりも低くなるので、検査用薄膜トランジスタによる信号遅延が抑止され、容易に不良を検出することが可能になる。

【 0 0 5 1 】

さらに、例えば、検査終了した後には、ブラックマトリクスの開口部を覆う遮光手段によって、検査用薄膜トランジスタを遮光することができる。そのため、検査用薄膜トランジスタに対して、光によるリーク電流の発生を抑制することができる。

【 0 0 5 2 】

本発明の表示装置は、上記遮光手段が、上記アクティブマトリクス基板の非表示領域に実装される実装部品であってもよい。

【 0 0 5 3 】

上記の製造方法によれば、検査用薄膜トランジスタを、アクティブマトリクス基板の非表示領域に実装される実装部品で遮光されているので、例えば、別途、検査用薄膜トランジスタを覆う遮光膜を形成する必要がない。

10

【 発明の効果 】

【 0 0 5 4 】

本発明の表示装置の製造方法は、検査用 T F T に励起エネルギーを供給しながら、表示領域の検査することになる。そのため、検査工程では、検査用 T F T の半導体膜中にキャリアが発生して、その半導体膜は電流が流れやすい状態になり、検査用 T F T のオン電流が増加する。これにより、表示用 T F T に対して検査用 T F T を介して検査信号を供給するようにしても、検査工程においては、検査用 T F T のオン抵抗が、表示用 T F T よりも低くなるので、検査用 T F T による信号遅延が抑止され、容易に不良を検出することが可能になる。

20

【 発明を実施するための最良の形態 】

【 0 0 5 5 】

以下、本発明の実施形態を図面に基づいて詳細に説明する。以下の実施形態では、表示装置として、液晶表示装置を例示する。但し、本発明は、以下の実施形態に限定されるものではなく、他の構成であってもよい。

【 0 0 5 6 】

以下に、本発明の実施形態に係る液晶表示装置について説明する。

【 0 0 5 7 】

図 1 は、本発明の実施形態に係る液晶表示装置 5 0 の平面模式図であり、図 4 は、液晶表示装置 5 0 を構成するアクティブマトリクス基板 3 0 の 1 つの画素を示す平面模式図であり、図 5 は、図 4 中の A - A ' 断面におけるアクティブマトリクス基板 3 0 の断面模式図である。

30

【 0 0 5 8 】

この液晶表示装置 5 0 は、アクティブマトリクス基板 3 0 及び対向基板 4 0 と、それらの両基板間に挟持された液晶層と、を備えている。

【 0 0 5 9 】

液晶表示装置 5 0 は、その中央部分に設けられた表示領域 2 4 と、その表示領域 2 4 の周りに設けられた非表示領域と、で構成されている。また、非表示領域のうち、対向基板 4 0 と重なっている領域は、額縁領域を構成している。

【 0 0 6 0 】

アクティブマトリクス基板 3 0 の表示領域 2 4 には、相互に並行に延びるように設けられた複数のゲート線 2 と、それらのゲート線 2 と直交する方向に相互に並行に延びるように設けられた複数のソース線 3 と、ゲート線 2 及びソース線 3 の各交差部分に設けられた表示用 T F T 1 と、各表示用 T F T 1 に対応して一对のゲート線 2 及びソース線 3 で囲われる領域に設けられ、画素を構成する画素電極 5 と、が配設されている。

40

【 0 0 6 1 】

また、上記非表示領域のうち額縁領域には、アクティブマトリクス基板 3 0 の右辺部分に、ソース線 3 に沿って相互に並行に延びるように、奇数番目のゲート線 2 が接続された検査用ゲート信号入力線（奇数）1 9 と、偶数番目のゲート線 2 が接続された検査用ゲート信号入力線（偶数）2 0 と、ゲート線検査用制御信号線 2 1 と、がそれぞれ設けられ、

50

そして、各ゲート線 2 に接続されたゲート線検査用 T F T 2 2 が複数設けられている。

【 0 0 6 2 】

同じく上記非表示領域のうち額縁領域には、アクティブマトリクス基板 3 0 の上辺部分に、ゲート線 2 に沿って相互に並行に延びるように、赤色表示に係わるソース線 3 が接続された検査用ソース信号入力線（赤） 1 4 と、緑色表示に係わるソース線 3 が接続された検査用ソース信号入力線（緑） 1 5 と、青色表示に係わるソース線 3 が接続された検査用ソース信号入力線（青） 1 6 と、ソース線検査用制御信号線 1 7 と、がそれぞれ設けられ、そして、各ソース線 3 に接続されたソース線検査用 T F T 1 8 が複数設けられている。

【 0 0 6 3 】

同じく上記非表示領域のうち額縁領域には、アクティブマトリクス基板 3 0 の下辺部分に、対向基板 4 0 上の共通電極に接続された共通電極信号入力用導電部 2 5 が設けられている。 10

【 0 0 6 4 】

さらに、非表示領域のうち額縁領域の外側の領域には、アクティブマトリクス基板 3 0 の右下部分に、検査用ゲート信号入力線（奇数） 1 9 の末端の検査入力端子 1 9 a、検査用ゲート信号入力線（偶数） 2 0 の末端の検査入力端子 2 0 a、及びゲート線検査用制御信号線 2 1 の末端の検査入力端子 2 1 a がそれぞれ設けられている。

【 0 0 6 5 】

同じく額縁領域の外側の領域には、アクティブマトリクス基板 3 0 の右上部分に、検査用ソース信号入力線（赤） 1 4 の末端の検査入力端子 1 4 a と、検査用ソース信号入力線（緑） 1 5 の末端の検査入力端子 1 5 a と、検査用ソース信号入力線（青） 1 6 の末端の検査入力端子 1 6 a と、ソース線検査用制御信号線 1 7 の末端の検査入力端子 1 7 a と、がそれぞれ設けられている。 20

【 0 0 6 6 】

同じく額縁領域の外側の領域には、アクティブマトリクス基板 3 0 の左辺部分に、ゲート線 2 に接続されたゲートドライバ 1 2 a が設けられている。

【 0 0 6 7 】

同じく額縁領域の外側の領域には、アクティブマトリクス基板 3 0 の下辺部分に、ソース線 3 に接続されたソースドライバ 1 3 a と、ソースドライバ 1 3 a に接続されたソース信号実駆動入力端子 1 3 b と、ゲートドライバ 1 2 a に接続されたゲート信号実駆動入力端子 1 2 b と、共通電極信号入力用導電部 2 5 に接続された検査入力端子 2 5 a と、その検査入力端子 2 5 a に接続された共通電極信号実駆動入力端子 2 5 b と、がそれぞれ設けられている。 30

【 0 0 6 8 】

ゲート信号実駆動入力端子 1 2 b、ソース信号実駆動入力端子 1 3 b 及び共通電極信号実駆動入力端子 2 5 b は、後述する点灯検査が完了して、ゲートドライバ 1 2 a 及びソースドライバ 1 3 a を実装した後に、実駆動時に使用される入力端子である。

【 0 0 6 9 】

また、アクティブマトリクス基板 3 0 は、絶縁性基板 7 上に、ゲート絶縁膜 8 及び層間絶縁膜 1 1 が順に積層された積層構造となっている。 40

【 0 0 7 0 】

絶縁性基板 7 とゲート絶縁膜 8 との間の層間には、ゲート線 2、各表示用 T F T 1 に対応してゲート線 2 からソース線 2 の延びる方向に突出したゲート電極 2 a、容量線 4、ゲート線検査用制御信号線 2 1、ソース線検査用制御信号線 1 7、検査用ゲート信号入力線（奇数） 1 9 及び検査用ゲート信号入力線（偶数） 2 0 が設けられている。

【 0 0 7 1 】

ゲート絶縁膜 8 と層間絶縁膜 1 1 との間の層間には、表示用 T F T 1 を構成する半導体層 9、ソース線 3、ドレイン引出電極 6、検査用ソース信号入力線（赤） 1 4、検査用ソース信号入力線（緑） 1 5 及び検査用ソース信号入力線（青） 1 6 が設けられている。

【 0 0 7 2 】

半導体層 9 の上層には、各表示用 T F T 1 に対応して、ソース電極 1 0 a と、ソース電極 1 0 a と対峙するようにドレイン電極 1 0 b とが設けられ、ソース電極 1 0 a の上層にはソース線 3 が、ドレイン電極 1 0 b の上層にはドレイン引出電極 6 が、それぞれ配置している。

【 0 0 7 3 】

層間絶縁膜 1 1 の上層には、ドレイン引出電極 6 にコンタクトホール 5 a を介して接続された画素電極 5 が設けられている。

【 0 0 7 4 】

ここで、ゲート線検査用 T F T 2 2 は、表示用 T F T 1 と実質的に同じ構成であり、そのゲート電極がゲート線検査用制御信号線 2 1 に、そのソース電極がゲート絶縁膜 8 に形成されたコンタクトホール（不図示）を介して検査用ゲート信号入力線（奇数）1 9 又は検査用ゲート信号入力線（偶数）2 0 に、そのドレイン電極がゲート絶縁膜 8 に形成されたコンタクトホール（不図示）を介して各ゲート線 2 に、それぞれ接続されている。

10

【 0 0 7 5 】

また、ソース線検査用 T F T 1 8 は、表示用 T F T 1 と実質的に同じ構成であり、そのゲート電極がソース線検査用制御信号線 1 7 に、そのソース電極が検査用ソース信号入力線（赤）1 4、検査用ソース信号入力線（緑）1 5 及び検査用ソース信号入力線（青）1 6 のうちの何れかに、そのドレイン電極が各ソース線 3 に、それぞれ接続されている。

【 0 0 7 6 】

ドレイン引出電極 6 は、容量線 4 が配設している領域まで延設され、容量線 4 と対向する部分が補助容量電極となっている。そして、その補助容量電極は、ゲート絶縁膜 8 を介して容量線 4 と共に補助容量を構成している。

20

【 0 0 7 7 】

対向基板 4 0 は、表示領域 2 4 のほぼ全面に設けられた共通電極と、カラーフィルタ層と、を有する。

【 0 0 7 8 】

カラーフィルタ層には、各画素に対応して、赤、緑及び青のうちの 1 色の着色層が設けられ、各画素間、表示用 T F T 1 上、及び非表示領域には遮光膜としてブラックマトリクスが設けられている。ここで、非表示領域のブラックマトリクスは、検査用 T F T 1 8 及び 2 2 に対応する位置に開口部 2 3 を有することにより、検査用 T F T 1 8 及び 2 2 の上層には層間絶縁膜 1 1 のような光透過性の膜のみが存在して、遮光性の膜は存在しないことになる。

30

【 0 0 7 9 】

液晶層は、電気光学特性を有するネマチック液晶材料で構成されている。

【 0 0 8 0 】

このような構成の液晶表示装置 5 0 は、各画素電極 5 毎に 1 つの画素が構成されており、各画素において、ゲートドライバ 1 2 a からのゲート信号がゲート線 2 を介して表示用 T F T 1 のゲート電極 2 a に送られて、表示用 T F T 1 がオン状態になったときに、ソースドライバ 1 3 a からのソース信号がソース線 3 を介して表示用 T F T 1 のソース電極 1 0 a 及びドレイン電極 1 0 b に送られて、画素電極 5 に電荷が書き込まれ、画素電極 5 と共通電極との間で電位差が生じることになり、液晶層からなる液晶容量、及び補助容量に所定の電圧が印加されるように構成されている。そして、液晶表示装置 5 0 では、その印加電圧の大きさに応じて液晶分子の配向状態が変わることを利用して、外部から入射する光の透過率を調整することにより、画像が表示される。

40

【 0 0 8 1 】

次に、本発明の液晶表示装置 5 0 の製造方法について説明する。なお、以下の製造方法は代表例であり、これに限定されるものではない。

【 0 0 8 2 】

< アクティブマトリクス基板作製工程（T F T 形成工程） >

図 5 に示す表示用 T F T 1 周辺の断面模式図に基づいて、アクティブマトリクス基板の

50

作製工程を説明する。

【0083】

まず、ガラス基板等の絶縁性基板7上の基板全体に、アルミニウム等からなる金属膜(厚さ200nm程度)をスパッタリング法により成膜し、その後、フォトリソグラフィ技術(Photo Engraving Process、以下、「PEP技術」と称する)によりパターン形成して、表示領域24内に、ゲート線2、ゲート電極2a及び容量線4を、非表示領域に、ゲート線検査用制御信号線21、ソース線検査用制御信号線17、検査用ゲート信号入力線(奇数)19、検査用ゲート信号入力線(偶数)20、それらの検査入力端子21a、17a、19a及び20a、並びに、各検査用ソース信号入力線の検査入力端子14a、15a及び16aを形成する。

10

【0084】

次いで、ゲート線2等が形成された基板全体に、CVD(Chemical Vapor Deposition)法により窒化シリコン膜(厚さ400nm程度)等を成膜し、ゲート絶縁膜8を形成する。

【0085】

次いで、ゲート絶縁膜8が形成された基板全体に、CVD法により真性アモルファスシリコン膜(厚さ500nm程度)を成膜し、その後、PEP技術によりゲート電極2a上に島状にパターン形成して半導体膜9を形成する。

【0086】

次いで、ゲート絶縁膜8の検査入力端子21a、17a、19a、20a、14a、15a、16a及びその他端子に対応する部分をエッチング除去し、コンタクトホール(不図示)を形成する。

20

【0087】

次いで、半導体膜9が形成された基板全体に、リンがドーブされたn+アモルファスシリコン膜(厚さ50nm程度)を成膜し、その後、PEP技術によりパターン形成して、ソース電極10a及びドレイン電極10bを形成する。これにより、表示領域24に表示用TF1が、額縁領域に検査用TF18及び22がそれぞれ形成される。

【0088】

ここで、半導体膜9は、上記のようにアモルファスシリコン膜から形成させてもよいが、直接、ポリシリコン膜を成膜させてもよく、また、アモルファスシリコン膜及びポリシリコン膜にレーザーアニール処理を行って結晶性を向上させてもよい。

30

【0089】

次いで、ソース電極10a及びドレイン電極10bが形成されたゲート絶縁膜8上の基板全体に、アルミニウム等からなる金属膜(厚さ200nm程度)をスパッタリング法により成膜し、その後、PEP技術によりパターン形成して、表示領域24に、ソース線3、ドレイン引出電極6、非表示領域に、検査用ソース信号入力線(赤)14、検査用ソース信号入力線(緑)15及び検査用ソース信号入力線(青)16を形成する。

【0090】

次いで、ソース線3等が形成された基板全体に、CVD法により窒化シリコン膜(厚さ300nm程度)等を成膜し、さらにスピン塗布法を用いて感光性アクリル樹脂(厚さ3μm程度)等を成膜して、層間絶縁膜11を形成する。

40

【0091】

次いで、層間絶縁膜11のドレイン引出電極6に対応する部分をエッチング除去して、コンタクトホール5aを形成する。

【0092】

次いで、層間絶縁膜11上の基板全体に、ITO(Indium Tin Oxide)膜からなる透明導電膜(厚さ100nm程度)をスパッタリング法により成膜し、その後、PEP技術によりパターン形成して、画素電極5を形成する。

【0093】

次いで、画素電極5上の基板全体に、ポリイミド樹脂を厚さ100nm程度で塗布し、

50

て、ラビング法により、その表面に配向処理を施し配向膜を形成する。

【0094】

以上のようにして、アクティブマトリクス基板30が作製される。

【0095】

<対向基板作製工程>

まず、ガラス基板等の絶縁性基板上に、顔料分散法等を用いて、カラーフィルタ層（厚さ3 μ m程度）を形成する。

【0096】

次いで、カラーフィルタ層の上に、印刷法により、アクティブマトリクス層（厚さ1.5 μ m程度）を形成する。

10

【0097】

次いで、アクティブマトリクス層上に、スパッタリング法により、ITO膜（厚さ100nm程度）を成膜した後、PEP技術等によりパターン形成して、共通電極を形成する。

【0098】

次いで、共通電極を覆うように基板全面に、印刷法により、ポリイミド系樹脂を厚さ100nm程度で塗布し、ラビング法により、その表面に配向処理を施し配向膜を形成する。

【0099】

以上のようにして、対向基板40が作製される。

20

【0100】

<液晶表示パネル作製工程>

まず、アクティブマトリクス基板30及び対向基板40のうちの一方にスクリーン印刷により、熱硬化性エポキシ樹脂等からなるシール材料を液晶注入口の部分に欠いた枠状パターンに塗布し、他方の基板に液晶層の厚さに相当する直径を持ち、プラスチック又はシリカからなる球状のスペーサーを散布する。

【0101】

次いで、アクティブマトリクス基板30と対向基板40とを貼り合わせ、シール材料を硬化させて、空の液晶表示パネルを作製する。

【0102】

30

次いで、空の液晶表示パネルに、減圧法により液晶材料を注入した後、液晶注入口にUV硬化樹脂を塗布し、UV照射により、液晶材料を封止する。

【0103】

以上のようにして、液晶表示パネルが作製される。

【0104】

<検査工程>

図2は、液晶表示パネルを検査するための検査信号のタイミングチャートを示す模式図である。

【0105】

検査工程では、液晶表示パネルの対向基板40側から、額縁領域にある検査用TF T18及び22に向けて、光を照射しながら、以下の検査信号を入力する。

40

【0106】

額縁領域では、検査用TF T18及び22の上層に遮光性の膜が設けられてないので、検査用TF T18及び22を構成する半導体膜に光が照射される。そのため、検査用TF T18及び22の半導体膜中にキャリアが発生して、その半導体膜は電流が流れやすい状態になる。そして、検査用TF T18及び22のオン電流が増加して、オン抵抗が低下する。

【0107】

図2(a)に示すように、検査入力端子21aを介してゲート線検査用制御信号線21に直流で+20Vの電位の制御検査信号を入力すると共に、図2(b)に示すように、検

50

査入力端子 17a を介してソース線検査用制御信号線 17 に直流で +20V の電位の制御検査信号を入力する。これにより、検査用 TFT 18 及び 22 をオン状態にする。

【0108】

同時に、図 2 (d) に示すように、検査入力端子 19a を介して検査用ゲート信号入力線 (奇数) 19 に、バイアス電圧 -10V、周期 16.7ms、パルス幅 500μs の +15V のパルス電圧のゲート検査信号を入力すると共に、図 2 (e) に示すように、検査入力端子 20a を介して検査用ゲート信号入力線 (偶数) 20 に、上記ゲート検査信号と同様な信号であって 500μs ずれたゲート検査信号を入力する。このとき、奇数番目のゲート線 2 に接続された表示用 TFT 1 と、偶数番目のゲート線 2 に接続された表示用 TFT 1 とが 500μs ずれて交互にオン状態になる。

10

【0109】

ここで、上記ゲート検査信号のパルス幅は、ゲート線 2 の抵抗、検査用ゲート信号入力線 (奇数) 19 の抵抗、検査用ゲート信号入力線 (偶数) 20 の抵抗、(本発明により低抵抗化しているが) 検査用 TFT 18 及び 22 の抵抗、並びに、各配線の容量による信号遅延を考慮して、500μs と長く設定している。これにより、表示用 TFT 1 に十分な電圧を印加することができる。なお、ゲート線本数が 240 本の場合、実駆動時のパルス幅は、50μs である。

【0110】

同時に、図 2 (c) に示すように、各検査入力端子 14a、15a 及び 16a を介して検査用ソース信号入力線 (赤) 14、検査用ソース信号入力線 (緑) 15 及び検査用ソース信号入力線 (青) 16 に、16.7ms ごとに極性が反転する ±3.5V の電位のソース検査信号を入力する。これにより、各表示用 TFT 1 のソース電極 10a 及びドレイン電極 10b を介して、画素電極 5 に ±3.5V に対応した電荷が書き込まれる。

20

【0111】

同時に、図 2 (f) に示すように、検査入力端子 25a を介して共通電極に直流で -1V の電位の共通電極検査信号を入力する。

【0112】

これにより、液晶容量に所定の電圧が印加され、表示領域 24 中の全画素が点灯して、ノーマリーホワイト (電圧無印加時に白表示) の場合には、画面全体は白表示から黒表示になる。このとき、例えば、ドレイン電極 10b と画素電極 5 との間で配線が断線していれば、画素電極 5 に所定の電荷を書き込むことができず、その画素は非点灯 (輝点) になり、不良画素として検知される。この後、検知された不良画素の個数が一定数以下の場合には、公知の欠陥修正技術を用いて、その不良画素を修正する。

30

【0113】

本実施形態では、検査用 TFT 18 及び 22 に励起エネルギーとして光エネルギーを供給しながら、表示領域 24 の検査することになる。そのため、検査用 TFT 18 及び 22 の半導体膜中にキャリアが発生して、その半導体膜は電流が流れやすい状態になり、検査用 TFT 18 及び 22 のオン抵抗が低下する。これにより、表示用 TFT 1 に対して検査用 TFT 18 及び 22 を介して検査信号を供給するようにしても、検査用 TFT 18 及び 22 のオン抵抗が、表示用 TFT 1 よりも低くなるので、検査用 TFT 18 及び 22 による信号遅延が抑止され、容易に不良を検出することが可能になる。

40

【0114】

また、励起エネルギーとして光エネルギーの代わりに、熱エネルギーを供給してもよい。具体的には、局所的に加熱可能なヒータ等を用いて検査用 TFT 18 及び 22 を加熱する。この熱エネルギーを用いる場合には、検査用 TFT 18 及び 22 の上層、又は、対向基板の非表示領域にブラックマトリクス等の遮光性の膜があってもよい。

【0115】

さらに、光エネルギーと熱エネルギーとを同時に供給してもよい。これによれば、検査用 TFT 18 及び 22 のオン抵抗が一層低下して、より効果的に検査用 TFT による信号遅延を抑止することができる。

50

【0116】

< 遮光手段形成工程 >

まず、検査工程において、良品と判定された液晶表示パネルに対して、ゲートドライバ12a及びソースドライバ12b等の実装部品を取り付ける。

【0117】

このとき、ブラックマトリクス開口部23に実装部品を取り付けて、その実装部品を検査用TF T18及び22を覆う遮光手段とすることにより、検査用TF T18及び22に対して、光によるリーク電流の発生を抑制することができる。これにより、アクティブマトリクス基板30の非表示領域に実装される実装部品で遮光されているので、例えば、検査用TF T18及び22を覆う遮光膜を形成する工程を別途設ける必要がない。

10

【0118】

ここで、検査用TF T18及び22は、実駆動時には、画像表示に何ら寄与するものではない。しかしながら、画像表示のためには、各ゲート線2及びソース線3がそれぞれ電氣的に独立して機能する必要があるので、間接的にそれらに接続された検査用TF T18及び22は、むしろ有害なものである。そのため、上記のように、検査用TF T18及び22を遮光する必要がある。

【0119】

また、上記のように検査用TF T18及び22を実装部品で遮光するだけでなく、遮光性のテープ等を貼り付けることによって遮光してもよい。

【0120】

20

次いで、ゲートドライバ12a及びソースドライバ13aを駆動するために必要な信号を供給するためのFPC(Flexible Printed Circuit)を取り付ける。

【0121】

以上のようにして、本発明の液晶表示装置50が製造される。

【0122】

次に、具体的に行った実験について説明する。

【0123】

本発明の実施例として、上記の実施形態と同一の方法で、液晶表示パネルを作製した。

【0124】

具体的には、半導体膜を構成する真性アモルファスシリコン膜の膜厚が500で、TF Tのチャネル長(ソース電極とドレイン電極との間の半導体膜の長さ)が4 μ mで、及びその半導体膜の幅が10 μ mであるTF T(表示用TF T及び検査用TF T)を形成して液晶表示パネルを作製した。

30

【0125】

このように作製した液晶表示パネルの検査用TF Tに、ハロゲンランプを用いて5000lx(ルクス)までの光を照射しながら、そのときの検査用TF Tのオン電流及びオン抵抗を測定した。

【0126】

図3(a)は、光の照度と検査用TF Tのオン電流との関係を示すグラフであり、図3(b)は、光の照度と検査用TF Tのオン抵抗との関係を示すグラフである。この例では、検査用TF Tのゲート電極及びソース電極には、それぞれ+10Vの電位の信号を入力した。

40

【0127】

図3(a)及び(b)に示すように、光の照度の増加に伴って、オン電流が大きくなり、オン抵抗が小さくなった。例えば、光の照度が3500lxの場合には、オン電流が約1.2倍に、オン抵抗が約0.84倍になった。

【0128】

また、上記光の照射と同時に、検査用TF Tを85に加熱して、そのときのオン抵抗を測定した。その結果を表1に示す。ここで、表1中の数値は、25で光の照射を行わなかったとき(0lx)のオン抵抗を1とした相対値である。

50

【 0 1 2 9 】

【 表 1 】

	01x	5001x	50001x
25℃	1.00	0.91	0.81
85℃	0.61	0.47	

※25℃/01x環境下の抵抗値を1とした場合の相対値

10

【 0 1 3 0 】

表1のように、検査用TFTを85℃に加熱した場合は、同条件の25℃の場合と比較して、オン抵抗はかなりの割合で小さくなった。例えば、5001x/85℃では、01x/25℃よりも47%のオン抵抗となった。これにより、光エネルギーと熱エネルギーとを同時に供給することにより、検査用TFTのオン抵抗が一層低下することが確認された。

【 0 1 3 1 】

さらに、上記オン抵抗が47%となった結果に基づいて、7インチのVGA表示の液晶表示装置におけるゲート検査信号の時定数 τ を算出すると、その時定数 τ は、約17%低減されるという結果となった。具体的には、検査用TFTの抵抗を320k Ω 、走査線の本数を482本、ゲート線1本当たりの容量を200pF、検査配線の抵抗を0.7k Ω として、「 $\tau = (\text{検査用TFTの抵抗} / \text{ゲート線の本数} / 2 + \text{検査配線の抵抗}) \times \text{ゲート線の容量} \times \text{ゲート線の本数} / 2$ 」という関係式に代入して時定数 τ を算出した。

20

【 0 1 3 2 】

以上のように本発明によれば、検査用TFTに励起エネルギーを供給しながら、表示領域の検査することになる。そのため、検査工程では、検査用TFTの半導体膜中にキャリアが発生して、その半導体膜は電流が流れやすい状態になり、検査用TFTのオン電流が増加すると共にオン抵抗が低下する。これにより、表示用TFTに対して検査用TFTを介して検査信号を供給するようにしても、励起エネルギーの供給により検査工程においては、検査用TFTのオン抵抗が、表示用TFTよりも低くなるので、検査用TFTによる信号遅延が抑止され、容易に不良を検出することが可能になる。

30

【 0 1 3 3 】

また、容易に液晶表示パネルの不良を検出することが可能なため、画素欠陥及び表示むらの誤判定を少なくなり、精度のよい検査が可能となる。さらに、検査用TFTのオン抵抗が小さくなるので、検査用TFTを小さく形成して、額縁領域の縮小化も可能となる。

【産業上の利用可能性】

【 0 1 3 4 】

以上説明したように、本発明は、検査用TFTによる信号遅延が抑止されるので、検査用TFTを有する液晶表示パネルの検査方法について有用である。

40

【図面の簡単な説明】

【 0 1 3 5 】

【図1】本発明の実施形態に係る液晶表示装置50を示す平面模式図である。

【図2】本発明の実施形態に係る液晶表示装置50を検査するための検査信号のタイミングチャートを示す模式図である。

【図3】本発明の実施例で作製した液晶表示パネルの検査用TFTの特性を示すグラフであり、(a)は光の照度と検査用TFTのオン電流との関係を示すグラフであり、(b)は、光の照度と検査用TFTのオン抵抗との関係を示すグラフである。

【図4】本発明の実施形態に係る液晶表示装置50を構成するアクティブマトリクス基板30の1つの画素を示す平面模式図である。

50

【図 5】図 4 中の A - A' 断面におけるアクティブマトリクス基板 30 の断面模式図である。

【図 6】従来の液晶表示パネル 50a を示す平面模式図である。

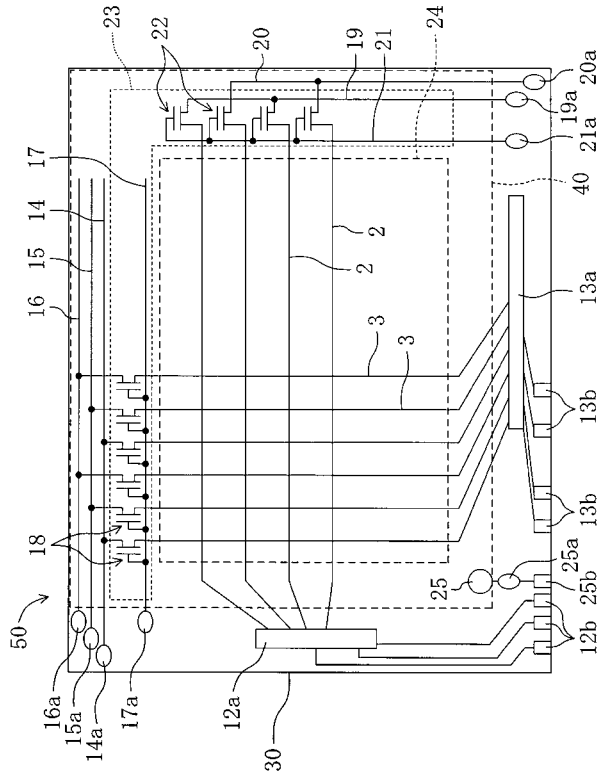
【図 7】従来の液晶表示パネル 50b を示す平面模式図である。

【符号の説明】

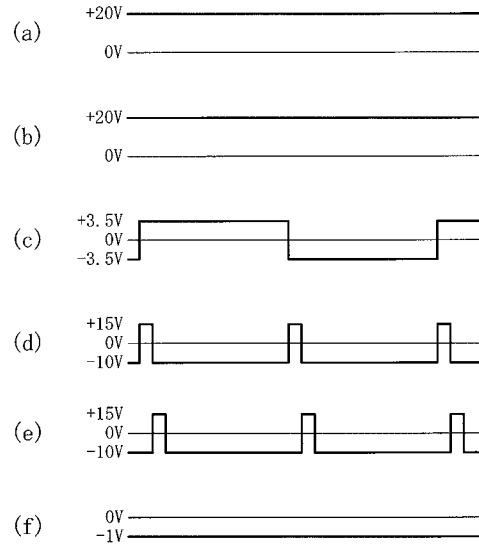
【0136】

1	表示用 T F T	
2	ゲート線	
2 a	ゲート電極	
3	ソース線	10
4	容量線	
5	画素電極	
5 a	コンタクトホール	
6	ドレイン引出電極	
7	絶縁性基板	
8	ゲート絶縁膜	
9	半導体層	
10 a	ソース電極	
10 b	ゲート電極	
11	層間絶縁膜	20
12 a	ゲートドライバ（実装領域）	
12 b	ゲート信号実駆動入力端子	
13 a	ソースドライバ（実装領域）	
13 b	ソース信号実駆動入力端子	
14	検査用ソース信号入力線（赤）	
15	検査用ソース信号入力線（緑）	
16	検査用ソース信号入力線（青）	
17	ソース線検査用制御信号線	
18	ソース線検査用 T F T	
19	検査用ゲート信号入力線（奇数）	30
20	検査用ゲート信号入力線（偶数）	
21	ゲート線検査用制御信号線	
14 a , 15 a , 16 a , 17 a , 19 a , 20 a , 21 a , 25 a	検査入力端子	
22	ゲート線検査用 T F T	
23	開口部	
24	表示領域	
25	共通電極信号入力用導電部	
25 b	共通電極信号実駆動入力端子	
30 , 30 a , 30 b	アクティブマトリクス基板	
40 , 40 a , 40 b	対向基板	40
50	液晶表示装置	
50 a , 50 b	液晶表示パネル	

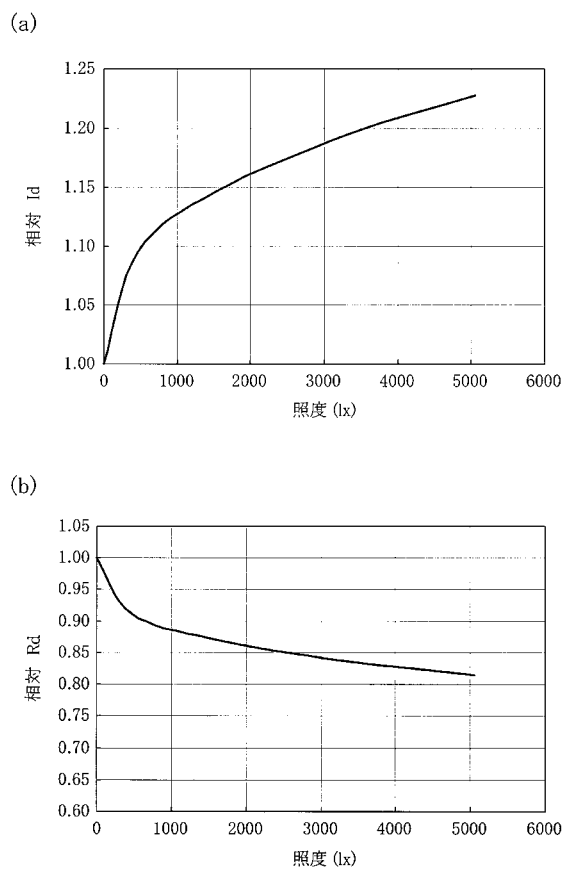
【図 1】



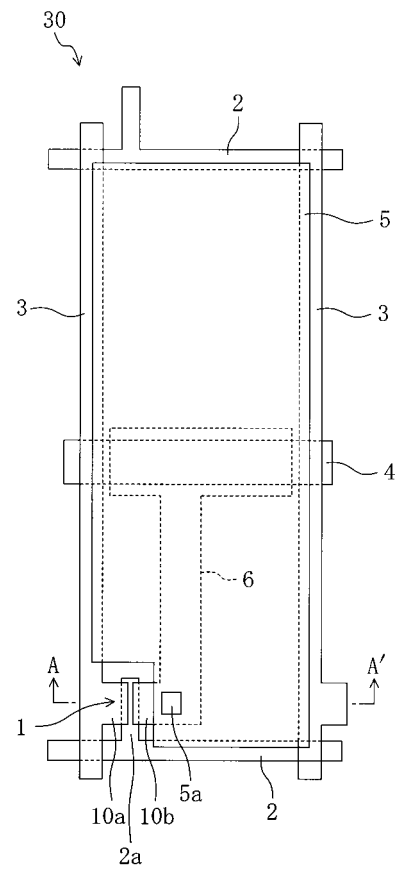
【図 2】



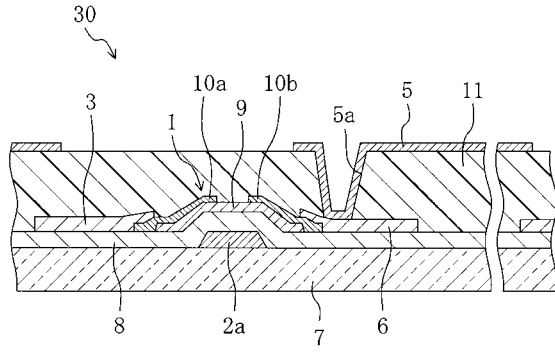
【図 3】



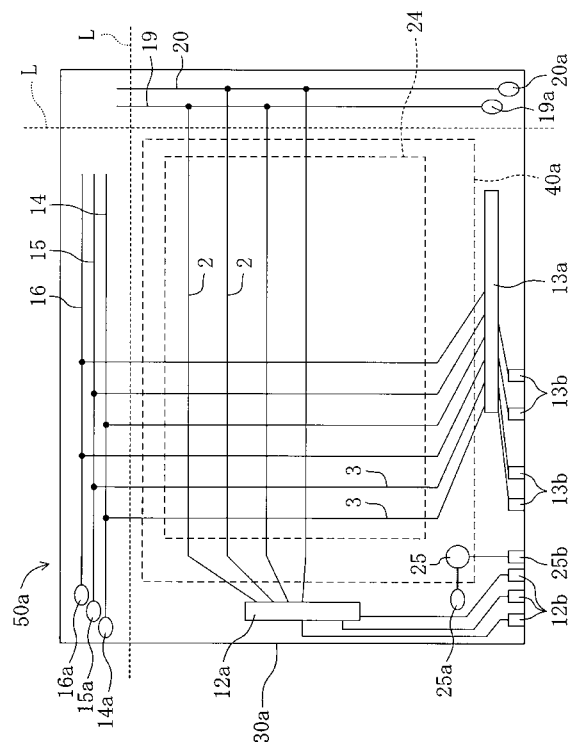
【図 4】



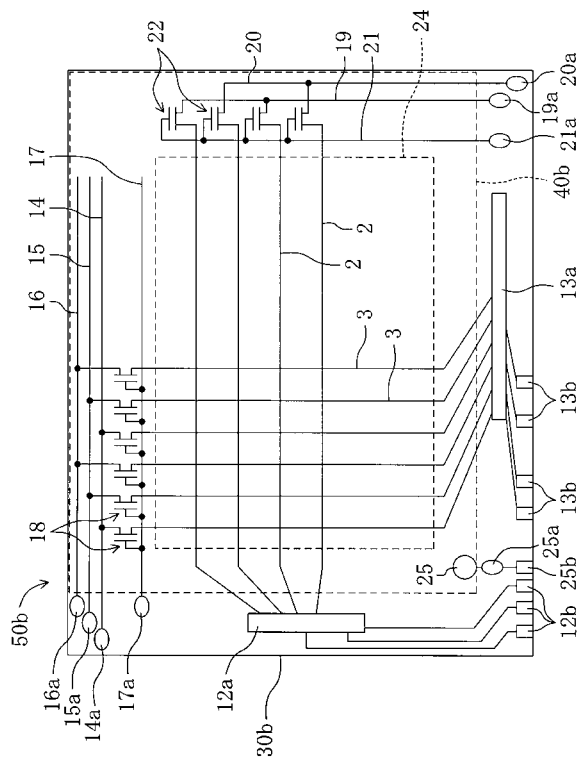
【図 5】



【図 6】



【図 7】



フロントページの続き

F ターム(参考) 5G435 AA17 BB12 CC09 CC12 EE37 EE41 FF13 KK05 KK10

专利名称(译)	制造显示装置的方法和显示装置		
公开(公告)号	JP2005266529A	公开(公告)日	2005-09-29
申请号	JP2004081073	申请日	2004-03-19
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	大津未来生		
发明人	大津 未来生		
IPC分类号	G02F1/13 G02F1/1368 G09F9/00		
FI分类号	G09F9/00.352 G09F9/00.338 G02F1/13.101 G02F1/1368		
F-TERM分类号	2H088/FA11 2H088/HA08 2H088/HA14 2H088/HA28 2H088/MA20 2H092/JA24 2H092/JB77 2H092/MA56 2H092/NA27 2H092/NA30 2H092/PA09 2H092/PA13 5G435/AA17 5G435/BB12 5G435/CC09 5G435/CC12 5G435/EE37 5G435/EE41 5G435/FF13 5G435/KK05 5G435/KK10 2H192/AA24 2H192/BC31 2H192/CB05 2H192/DA12 2H192/DA43 2H192/EA22 2H192/EA43 2H192/FA73 2H192/FB22 2H192/HB03 2H192/HB13 2H192/HB14 2H192/HB22 2H192/HB23		
代理人(译)	前田弘 竹内雄二		
外部链接	Espacenet		

摘要(译)

解决问题的手段：提供一种显示装置的测试方法，其减少由用于测试的TFT引起的信号延迟并且容易发现缺陷。解决方案：该液晶显示器50的制造方法包括：TFT形成步骤，在显示区域24中形成显示TFT 1，并且在显示区域24中形成显示区域24；在非显示区域中的测试TFT 18和22；以及通过经由测试TFT 18和22向显示TFT 1提供测试信号同时向测试TFT 18和22提供激励能量来测试显示区域24的步骤。

