

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-128101

(P2005-128101A)

(43) 公開日 平成17年5月19日(2005.5.19)

(51) Int.Cl.⁷

G02F 1/133

G09G 3/20

G09G 3/36

F I

G02F 1/133

G02F 1/133

G09G 3/20

G09G 3/20

G09G 3/20

5 O 5

5 5 O

6 1 1 A

6 1 1 E

6 1 1 J

テーマコード (参考)

2 H 0 9 3

5 C 0 0 6

5 C 0 8 0

審査請求 未請求 請求項の数 1 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2003-361054 (P2003-361054)

(22) 出願日 平成15年10月21日 (2003.10.21)

(71) 出願人 302020207

東芝松下ディスプレイテクノロジー株式会
社

東京都港区港南4-1-8

(74) 代理人 100083806

弁理士 三好 秀和

(74) 代理人 100100712

弁理士 岩▲崎▼ 幸邦

(74) 代理人 100100929

弁理士 川又 澄雄

(74) 代理人 100108707

弁理士 中村 友之

(74) 代理人 100095500

弁理士 伊藤 正和

最終頁に続く

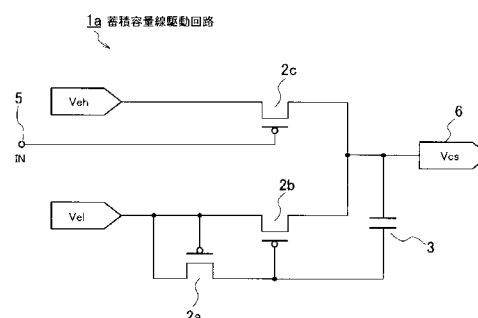
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶表示装置を大画面化した場合の蓄積容量線の負荷容量増大や、液晶表示装置の表示容量増加に伴い走査時間が短くなる場合にも、蓄積容量線駆動回路の動作応答を改善でき、低消費電力、高速応答、かつ狭領域で安価な液晶表示装置を提供する。

【解決手段】 蓄積容量線駆動回路1は、補償電圧V_{el}がそのドレイン電極に印加され、補償電圧が反転されてそのゲート電極に印加されるトランジスタ2aと、補償電圧V_{el}がそのドレイン電極に印加され、トランジスタ2aのソース電極の出力電圧が反転されそのゲート電極に印加されるトランジスタ2bと、トランジスタ2bのゲート電極とソース電極との間に設けられる容量3と、補償電圧V_{eh}が印加され、入力される制御信号に従って蓄積容量線に印加する補償電圧の出力を制御するトランジスタ2cとを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の信号線と複数の走査線の各交差部における画素毎に設けられた画素駆動用のスイッチング素子と、前記スイッチング素子に接続された画素電極および蓄積容量と、各走査線に対応して設けられ、前記画素電極に前記蓄積容量を介して接続される蓄積容量線と、前記蓄積容量線に補償電圧を印加する蓄積容量線駆動回路とを備えた液晶表示装置であって、

前記蓄積容量線駆動回路は、

ドレイン電極およびゲート電極が補償電圧源に接続される第 1 のトランジスタと、

前記第 1 のトランジスタのソース電極がゲート電極に接続され、ドレイン電極が前記補償電圧源に接続され、ソース電極が前記蓄積容量線に接続される第 2 のトランジスタと、
を有し、

前記蓄積容量線が前記第 2 のトランジスタのゲート電極と容量を介して接続されることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタを用いた液晶表示装置に関するものである。

【背景技術】

【0002】

従来のアクティブマトリクス型の液晶表示装置の構成を図 5 に示す。

【0003】

液晶表示装置の画素を駆動するスイッチング素子 51 (n チャンネルの MOS トランジスタ) のドレイン端子には、蓄積容量 52 と液晶層 53 が接続され、蓄積容量 52 と液晶層 53 の他方の端子は、液晶層 53 の画素電極に対向して配置された対向電極 (図示せず) につながる共通電極線 56 に接続される。

【0004】

走査線駆動回路 57 は、走査線 55 にスイッチング素子 51 を ON させる駆動電圧を出力し、信号線駆動回路 58 は信号線 54 に画像信号に応じた電圧を出力する。なお、ここでいう画素とは、液晶表示装置に表示される画像の最小構成単位のことをいう。

【0005】

走査線駆動回路 57 が走査線 55 を図 5 の上段から順に走査して、同一の走査線につながる複数のスイッチング素子 51 を ON させる駆動電圧を走査線 55 に印加し、信号線駆動回路 58 が画像信号に応じた電圧を信号線 54 に印加することによって、スイッチング素子 51 を介して蓄積容量 52 と液晶層 53 を所望の電圧に充電する。

【0006】

次に、走査線駆動回路 57 が走査線 55 に同一の走査線上の各スイッチング素子 51 を OFF させる駆動電圧を印加すると、蓄積容量 52、液晶層 53 に印加された電圧は次の走査が行われるまで保持される。このように走査線 55 を順次駆動することによって画面全体の表示を行う。

【0007】

図 6 は、1 つの表示素子の電気的な等価回路を示す図である。表示素子は、走査線 55、信号線 54 の交差部にスイッチング素子 51 が設けられ、スイッチング素子 51 のドレイン端子には画素電極 59、容量値が Cst の蓄積容量 52、容量値が Clc の液晶層 53 が接続され、それぞれ共通電極線 56 を介して対向電極に接続される。また、スイッチング素子 51 のゲート - ドレイン間には容量値が Cgd の寄生容量 60 が存在する。

【0008】

図 7 は、図 6 に示す表示素子によって構成される液晶表示装置を 1 フレーム反転駆動方式で駆動した場合の駆動波形を示す図である。図 7 において、A は走査線駆動回路 57 から走査線に伝達される走査信号 Vg、B は信号線駆動回路 58 から信号線に伝達される画像

10

20

30

40

50

信号 V_s 、 C は画素電極59の電位、 E は画像信号の中心値 V_{sigc} をそれぞれ示す。図7において、 V_{gh} は走査信号 V_g のHigh電位、 V_{gl} は走査信号 V_g のLow電位である。また、 V_{sh} は画像信号 V_s のHigh電位、 V_{sl} は画像信号 V_s のLow電位である。

【0009】

この画素電極59には、スイッチング素子51がONの時に、画像信号 V_s が書き込まれる。ところが、スイッチング素子51がOFFになると、スイッチング素子51のゲート-ドレイン間に存在する寄生容量60により、Dに示すように画素電極電位 C に突き抜け電圧 ΔV が生じ、画素電極59とその対向する電極との間に直流電圧成分が印加されてしまう。突き抜け電圧 ΔV は、次式で与えられる。

【0010】

$$\Delta V = (V_{gh} - V_{gl}) \times C_{gd} / C_{tot}$$

ここで、 $C_{tot} = C_{gd} + C_{st} + C_{lc}$ である。

【0011】

この突き抜け電圧 ΔV を無視して、対向電極電位 V_{com} を画像信号の中心値 V_{sigc} に設定してしまうと、交流駆動している液晶に印加される電圧について高電位側と低電位側で電位差が生じ、ちらつき(フリッカー)や焼付けが生じることとなる。

【0012】

一般的には、突き抜け電圧 ΔV を補償するため、対向電極電位 V_{com} を、画像信号の中心値-突き抜け電圧(= $V_{sigc} - \Delta V$)に設定することによって、液晶層に直流電圧成分が印加されることを防ぐ。しかしながら、この突き抜け電圧 ΔV は、液晶材料に誘電率異方性があるため白から黒までの全範囲で均一に補償することができない。

【0013】

このようなスイッチング素子51のゲート-ドレイン間に存在する寄生容量60による突き抜け電圧を効果的に補償する駆動方法として、容量結合駆動方法が知られている。

【0014】

また、近年、開発と商品化が活発に行われている液晶テレビ用あるいは動画データを取り扱うマルチメディア機能を有するコンピュータ用の液晶表示装置においては、動画表示に対応するための高速応答性が強く求められている。液晶を高速応答させる方法としては、画像信号にオーバドライブ電圧を重畳させる方法が知られているが、表示する動画データにリアルタイムに対応するためのラインメモリや複雑な演算処理などを必要とするため、高コスト化を招く原因となる。そのため、高速応答が必要とされる液晶表示装置には、安価な構成で高速応答が得られるという点からも、容量結合駆動方法が広く用いられている。

【0015】

容量結合駆動方式による液晶表示装置の構成を図8に示す。図8に示すように、容量結合駆動方式では、蓄積容量52を共通電極線に接続せず、蓄積容量線62に接続した構成となっており、蓄積容量線駆動回路61によって、突き抜け電圧を補償するための電圧パルス(補償電圧)が蓄積容量線62に与えられる。

【0016】

以下、図9、図10のタイミングチャートを用いて、容量結合駆動方式について説明する。

【0017】

図9の電圧波形を示すタイミングチャートでは、各走査線55について図8の最上段から数えて n 段目(n は正の整数)の走査線55における走査信号電圧を $V_g(n)$ 、 n 段目の蓄積容量線62における補償電圧を $V_{cs}(n)$ で示している。図9は、一例として $n-1$ 段目から $n+1$ 段目までの走査線55について示している。

【0018】

各走査信号電圧 $V_g(n-1) \sim V_g(n+1)$ において、 V_{gh} 、 V_{gl} は、それぞれスイッチング素子51をON、OFFさせる電圧である。ある走査線55にスイッチング素子51をONさせる駆動電圧が印加され、画像信号がスイッチング素子51を介して画素電極59に書き込

10

20

30

40

50

まれ、一定期間が経過して画素電極 5 9 の充電が完了し、走査線 5 5 に OFF させる駆動電圧が印加されたところで、同様にして次段の走査線 5 5 に走査信号電圧が印加される。また、各走査線 5 5 では 1 フレーム毎に 1 回だけ各スイッチング素子 5 1 を ON させる駆動電圧が印加される。このように、各走査線 5 5 には上段から順次走査信号電圧が印加されていく。

【 0 0 1 9 】

補償電圧 $V_{cs}(n-1) \sim V_{cs}(n+2)$ において、 V_{eh} 、 V_{el} 、 V_{ec} は、それぞれ蓄積容量線 6 2 に印加する正極性の第 1 補償電圧、負極性の第 2 補償電圧、第 1 補償電圧と第 2 補償電圧の中間電位の第 3 補償電圧である。

【 0 0 2 0 】

各段において、第 1 補償電圧 V_{eh} 、第 2 補償電圧 V_{el} は、走査線 5 5 にスイッチング素子 5 1 を ON させる駆動電圧が印加される前に、走査線 5 5 に対応する蓄積容量線 6 2 とこの走査線 5 5 に隣接する別の蓄積容量線 6 2 に互い違いに印加される。ただし、この段階では、スイッチング素子 5 1 は導通していないので補償電圧は画素電極 5 9 に重畳されない。

【 0 0 2 1 】

そして、スイッチング素子 5 1 が導通して画素電極 5 9 へ所望の電位の充電が完了する期間が経過した後は、その画素電極 5 9 に蓄積容量 5 2 を介して接続された蓄積容量線 6 2 に第 3 補償電圧 V_{ec} が印加される。このようにして、第 1 補償電圧 V_{eh} から第 3 補償電圧 V_{ec} へ変化する時の電位差、あるいは第 2 補償電圧 V_{el} から第 3 補償電圧 V_{ec} へ変化する時の電位差が画素電極 5 9 の電位に重畳される。また、同一の走査線 5 5 には、液晶の交流駆動のために 1 フレーム毎に反転する画像信号電圧 V_s の極性に同期させて、第 1 補償電圧 V_{eh} と第 2 補償電圧 V_{el} が入れ替えて印加される。

【 0 0 2 2 】

このように補償電圧を画素電極 5 9 に印加することによって、スイッチング素子 5 1 のゲート・ドレイン間の寄生容量 6 0 に起因する電圧降下を解消し、画素電極電位の突き抜け電圧の発生を防止する。これによって、画像信号電圧 V_s の電位中心と対向電極の電位 V_{com} を同電位に設定しても、フリッカーは生じなくなる。

【 0 0 2 3 】

各画素を駆動することにより、スイッチング素子 5 1 がオフ状態となった時の各画素の液晶に印加される液晶印加電圧 V_{lc} は、

$$V_{lc}(+) = V_s - V_{com} + [C_{st} \times (V_{ec} - V_{el}) - C_{gd} \times (V_{gh} - V_{gl})] / (C_{st} + C_{lc} + C_{gd})$$

または、

$$V_{lc}(-) = V_s - V_{com} - [C_{st} \times (V_{eh} - V_{ec}) + C_{gd} \times (V_{gh} - V_{gl})] / (C_{st} + C_{lc} + C_{gd})$$

で算出される。

【 0 0 2 4 】

ここで、 C_{st} は蓄積容量 5 2 の容量値、 C_{gd} はスイッチング素子 5 1 のゲート・ドレイン間に存在する寄生容量 6 0 の容量値、 C_{lc} は液晶層 5 3 の容量値である。液晶印加電圧 V_{lc} は、画像信号電圧 V_s の 1 フレーム毎の極性反転に対して正又は負の 2 種類の電圧となる。そのため、対向電極の電圧 V_{com} に対して正側を $V_{lc}(+)$ 、負側を $V_{lc}(-)$ と定義する。

【 0 0 2 5 】

ここで、 $V_{lc}(+)$ と $V_{lc}(-)$ の実効値が等しくなるように、第 1 補償電圧 V_{eh} と第 2 補償電圧 V_{el} を設定することで、液晶を交流駆動することが可能となる。また、第 3 補償電圧 V_{ec} を大きくすると、第 3 補償電圧 V_{ec} と第 1 補償電圧 V_{eh} の電位差が小さくなり、第 3 補償電圧 V_{ec} と第 2 補償電圧 V_{el} の電位差が大きくなるというように調節が可能であるので、スイッチング素子 1 のゲート・ドレイン間の寄生容量 6 0 に起因して生じる直流成分を除去できる適切な値となるように、第 3 補償電圧 V_{ec} の値を調節し効果的にフリッカーを除去することができる。

10

20

30

40

50

【 0 0 2 6 】

次に、蓄積容量線 6 2 に印加する補償電圧の別の形態について図 1 0 のタイミングチャートを用いて説明する。

【 0 0 2 7 】

図 1 0 の電圧波形を示すタイミングチャートでは、補償電圧 $V_{cs}(n-1) \sim V_{cs}(n+2)$ について、 V_{eh} 、 V_{el} は、それぞれ蓄積容量線 6 2 に印加される正極性の第 4 補償電圧、負極性の第 5 補償電圧である。走査信号電圧 $V_g(n-1) \sim V_g(n+2)$ については、図 9 を用いて説明したものと同様である。

【 0 0 2 8 】

各段において、第 4 補償電圧 V_{eh} 、第 5 補償電圧 V_{el} は、走査線 5 5 に ON させる駆動電圧が印加される前に、その走査線 5 5 に対応する蓄積容量線 6 2 とこの走査線 5 5 に隣接する別の蓄積容量線 6 2 に、第 4 補償電圧 V_{eh} と第 5 補償電圧 V_{el} が互い違いとなるように印加される。ただし、この段階では、スイッチング素子 5 1 は導通していないので各補償電圧が画素電極 5 9 に重畳されることはない。

【 0 0 2 9 】

そして、走査線 5 5 に ON させる駆動電圧が印加され、スイッチング素子 5 1 が導通し、画素電極 5 9 に画像信号の電圧が書き込まれて所望の電位の充電が完了する期間が経過した後は、その画素電極 5 9 に蓄積容量 5 2 を介して接続された蓄積容量線 6 2 に第 4 補償電圧 V_{eh} と第 5 補償電圧 V_{el} が切り替わって印加される。このようにして、第 4 補償電圧 V_{eh} から第 5 補償電圧 V_{el} へ変化するときの電位差、あるいは第 5 補償電圧 V_{el} から第 4 補償電圧 V_{eh} へ変化するときの電位差が画素電極 5 9 の電位に重畳される。また、同一の走査線 5 5 には、液晶の交流駆動のために 1 フレーム毎に反転する画像信号電圧 V_s の極性に同期させて、第 4 補償電圧 V_{eh} と第 5 補償電圧 V_{el} が 1 フレーム毎に入れ替えて印加される。

【 0 0 3 0 】

このように補償電圧を画素電極 5 9 に印加することによって、スイッチング素子 5 1 のゲート・ドレイン間の寄生容量 6 0 に起因する電圧降下を解消し、画素電極電位の突き抜け電圧の発生を防止する。これによって、画像信号電圧 V_s の電位中心と対向電極の電位 V_{com} を同電位に設定しても、フリッカーは生じなくなる。

【 0 0 3 1 】

上述したように各画素を駆動することにより、スイッチング素子 5 1 が OFF 状態となった時の各画素の液晶に印加される液晶印加電圧 V_{lc} は、

$$V_{lc}(+) = V_s - V_{com} + [C_{st} \times (V_{eh} - V_{el}) - C_{gd} \times (V_{gh} - V_{gl})] / (C_{st} + C_{lc} + C_{gd})$$

または、

$$V_{lc}(-) = V_s - V_{com} - [C_{st} \times (V_{eh} - V_{el}) + C_{gd} \times (V_{gh} - V_{gl})] / (C_{st} + C_{lc} + C_{gd})$$

で算出される。ここで、 $V_{lc}(+)$ と $V_{lc}(-)$ の実効値が等しくなるように、第 4 補償電圧 V_{eh} と第 5 補償電圧 V_{el} を設定することで、液晶を交流駆動することが可能となる。

【 0 0 3 2 】

図 1 1 は、容量結合駆動方式での補償電圧による画素電極電位のシフトの様子を示す図である。図 1 1 の右側に示すように、正極性の画素電極 5 9 に対しては正の補償電圧を印加し、負極性の画素電極 5 9 に対しては負の補償電圧を印加する。このように画素電極 5 9 の電位に補償電圧を重畳することで、図 1 1 の左側に示すように、正の画素電極電位については正側で、負の画素電極電位については負側でそれぞれ電位が増大するようにシフトさせる。これにより、対向電極の電位が一定でも、低振幅の画像信号で液晶を交流駆動できるといった利点がある。

【 0 0 3 3 】

また、容量結合駆動方式では、表示画像が変化した場合、液晶材料の誘電率異方性に起因する容量結合電圧の動的挙動によって、その変化を増幅する方向へ自動的にオーバード

10

20

30

40

50

ライブ電圧が画素電極 5 9 に印加され、液晶の高速応答駆動を実現でき、液晶表示装置の動画視認性を向上できるといった利点がある。

【 0 0 3 4 】

ところで、近年では半導体プロセス技術の進展に伴い、画素を駆動するスイッチング素子を形成する同一のプロセスを用いて、液晶表示装置の駆動回路を同一ガラス基板上に形成することが可能になっている。

【 0 0 3 5 】

液晶表示装置の駆動回路を同一ガラス基板上に形成する場合、例えば p チャネルトランジスタのみで回路を構成する場合において、図 1 0 で説明した容量結合駆動を実現するための蓄積容量線駆動回路 6 1 については、図 1 2 に示されるような構成をとっていた。

10

【 0 0 3 6 】

トランジスタ 7 1 a は、蓄積容量線 6 2 に補償電圧 V_{eh} を供給し、トランジスタ 7 1 b は、蓄積容量線 6 2 に補償電圧 V_{el} を供給する。また、トランジスタ 7 1 a とトランジスタ 7 1 b のドレイン電極とは、蓄積容量線駆動回路 6 1 の出力端子 7 3 に接続され、出力端子 7 3 から各蓄積容量線 6 2 にそれぞれ接続されている。

【 0 0 3 7 】

各蓄積容量線 6 2 は、補償電圧 V_{eh} と補償電圧 V_{el} のどちらか一方が選択的に与えられるため、トランジスタ 7 1 a のゲート電極とトランジスタ 7 1 b のゲート電極には、それぞれ極性が反転した同位相の信号が入力される必要がある。

【 0 0 3 8 】

20

図 1 2 の例では、トランジスタ 7 1 c とトランジスタ 7 1 d により負荷 MOS インバータを構成しており、そのインバータ出力をトランジスタ 7 1 a のゲート電極に接続している。蓄積容量線駆動回路 6 1 の入力端子 7 2 から入力される制御信号が、High 電位の時には蓄積容量線 6 2 に補償電圧 V_{eh} が与えられ、Low 電位の時には補償電圧 V_{el} が与えられる。

【 0 0 3 9 】

しかしながら、液晶表示装置を大画面化すると蓄積容量線の負荷容量が大きくなり、従来の駆動回路そのままでは出力波形の鈍りが大きくなり、回路の応答が遅くなる。また、液晶表示装置の表示容量が増えると走査線の本数が多くなると同時に蓄積容量線 6 2 の本数も多くなり、走査線および蓄積容量線を ON させる走査時間が短くなり、従来の駆動回路そのままでは出力波形の鈍りに対して、走査期間が短く、十分な駆動が行えないという課題があった。

30

【 0 0 4 0 】

特に、前記課題は図 9、図 1 0 に示す補償電圧 V_{cs} の波形の立ち下がり時間において顕著である。容量結合駆動において、画素電極 5 9 に対し十分な補償電圧を重畳するためには、補償電圧 V_{el} を十分に低い電圧に設定する必要がある。

【 0 0 4 1 】

しかしながら、補償電圧 V_{el} が回路の論理動作の Low レベルに近いような低い電位である場合には、p チャネルトランジスタである出力トランジスタ 7 1 b のオン抵抗が十分な低抵抗にならないために、出力である補償電圧波形に図 1 3 に示されるような時定数的な波形なまりを引き起こしてしまう。この波形なまりが大きい場合には、走査期間内に蓄積容量線 6 2 の電圧を補償電圧 V_{el} まで下げることができず、十分な補償電圧が画素電極 5 9 に対し重畳されないために、階調ずれやフリッカーなどの表示異常を引き起こしてしまう恐れがあった。

40

【 0 0 4 2 】

また、出力波形の立ち下がり応答を改善するために、出力トランジスタ 7 1 b の W サイズを大きく設計し、ON 時の抵抗値を低くするなどの対応が行われているが、蓄積容量線 6 2 の各段ごとに大きなサイズのトランジスタを配置しなければならず、アレイ基板上のレイアウト密度を高めてしまい、液晶表示装置の額縁を大きくしなければならないという問題があった。

50

【0043】

また、図12のような従来の回路構成では、補償電圧 V_{eh} が出力されたときに負荷MOSインバータに電流が流れるため、消費電力を増大させるという問題があった。また、インバータを用いない構成で低消費電力を実現する場合には、トランジスタ71aとトランジスタ71bのゲート電極に反転と非反転の二つの同位相の信号を入力する必要があり、信号本数が増加するという問題があった。

【0044】

また、ガラス基板上に形成するトランジスタの能力が不足し、駆動すべき蓄積容量線62の負荷容量の充放電に対応できない場合には、より駆動能力の高い単結晶シリコン上に形成されたICをガラス基板の外側に実装しなければならず、部材費用や実装に関わるコストの増大を招くこととなっていた。 10

【特許文献1】特開昭64-88496号公報

【発明の開示】

【発明が解決しようとする課題】

【0045】

本発明は、上記事情に鑑みてなされたものであり、蓄積容量線に対し所望の補償電圧を高速に印加することが可能な液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0046】

上記の目的を達成するために、請求項1に記載の発明である液晶表示装置は、複数の信号線と複数の走査線の各交差部における画素毎に設けられた画素駆動用のスイッチング素子と、前記スイッチング素子に接続された画素電極および蓄積容量と、各走査線に対応して設けられ、前記画素電極に前記蓄積容量を介して接続される蓄積容量線と、前記蓄積容量線に補償電圧を印加する蓄積容量線駆動回路とを備えた液晶表示装置であって、前記蓄積容量線駆動回路は、ドレイン電極およびゲート電極が補償電圧源に接続される第1のトランジスタと、前記第1のトランジスタのソース電極がゲート電極に接続され、ドレイン電極が前記補償電圧源に接続され、ソース電極が前記蓄積容量線に接続される第2のトランジスタとを有し、前記蓄積容量線が前記第2のトランジスタのゲート電極と容量を介して接続されることを特徴とする。 20

【発明の効果】

30

【0047】

液晶表示装置の大画面化や表示容量が増加した場合においても、蓄積容量線に対し所望の補償電圧を高速に印加することを可能にすることによって蓄積容量線駆動回路の駆動能力を改善することができ、また、低消費電力、狭額縁、かつ安価で高品位の液晶表示装置を実現することができるという有効な効果を奏するものである。

【発明を実施するための最良の形態】

【0048】

以下、本発明の実施形態について、図1～図4を用いて説明する。

【0049】

第1の実施形態

40

まず、第1の実施形態について、図1～図3を用いて説明する。第1の実施形態は、図10で示されている正極性の第4補償電圧 V_{eh} と負極性の第5補償電圧 V_{el} を蓄積容量線に印加する形態の容量結合駆動方式の液晶表示装置に係るものである。

【0050】

第1の実施形態における液晶表示装置が備える蓄積容量線駆動回路1aの構成を図1に示す。蓄積容量線駆動回路1aは、トランジスタ2a、2b、2c、容量3とを有し、後述する蓄積容量線14に対して正極性の第4補償電圧 V_{eh} と負極性の第5補償電圧 V_{el} とを切り替えて印加する回路である。

【0051】

トランジスタ2aのドレイン電極とゲート電極、およびトランジスタ2bのドレイン電 50

極には第 5 補償電圧 V_{el} が印加される。また、トランジスタ 2 a のソース電極は、トランジスタ 2 b のゲート電極と容量 3 の一方の電極とに接続され、トランジスタ 2 a が ON された場合は、第 5 補償電圧 V_{el} がトランジスタ 2 b のゲート電極と容量 3 に印加される。また、トランジスタ 2 b のソース電極は出力端子 6 に接続され、トランジスタ 2 b が ON された場合は、第 5 補償電圧 V_{el} が出力端子 6 に印加される。

【 0 0 5 2 】

また、トランジスタ 2 c のドレイン電極には第 4 補償電圧 V_{eh} が印加される。また、トランジスタ 2 c のゲート電極は入力端子 5 に、ソース電極は出力端子 6 にそれぞれ接続され、トランジスタ 2 c が ON された場合は、第 4 補償電圧 V_{eh} が出力端子 6 に印加される。

10

【 0 0 5 3 】

また、容量 3 は、出力端子 6 とトランジスタ 2 b のゲート電極との間に形成された容量であり、トランジスタ 2 b のソース電極とゲート電極を、層間絶縁膜を挟んで交差させたクロス容量などで容易にガラス基板上に形成することが可能である。

【 0 0 5 4 】

なお、トランジスタ 2 a、2 b、2 c のゲート電極には、それぞれ否定回路にて反転された信号（電圧）が印加される。

【 0 0 5 5 】

次に、蓄積容量線駆動回路 1 a を備えた容量結合駆動方式の液晶表示装置の構成を図 2 に示す。液晶表示装置の画素を駆動するスイッチング素子 1 0（n チャネルの MOS トランジスタ）のドレイン端子には、蓄積容量 1 1 と液晶層 1 2 の一方の画素電極が接続され、液晶層 1 2 の他方の画素電極は共通電極線 1 3 に接続される。

20

【 0 0 5 6 】

また、蓄積容量 1 1 の他方の端子は、蓄積容量線 1 4 に接続されており、蓄積容量線駆動回路 1 a によって、突き抜け電圧を補償するための電圧パルス（補償電圧）が印加される。

【 0 0 5 7 】

また、走査線駆動回路 1 5 は、走査線 1 6 にスイッチング素子 1 0 を ON させる駆動電圧を出力し、信号線駆動回路 1 7 は、信号線 1 8 に画像信号に応じた電圧を出力する。

【 0 0 5 8 】

次に、図 1 に示す蓄積容量線駆動回路 1 a の動作について、図 3 のタイミングチャートを参照して説明する。

30

【 0 0 5 9 】

まず、入力端子 5 の電位が Low レベル電位から High レベル電位に変化する場合を考える。入力端子 5 の電位が Low レベル電位の時、トランジスタ 2 c は ON し、蓄積容量線駆動回路 1 の出力端子 6 には第 4 補償電圧 V_{eh} が出力される。トランジスタ 2 c は、p チャネルパストラジスタであり、ほとんど損失なく十分な応答速度で蓄積容量線 1 4 を電位 V_h に充電することができる。

【 0 0 6 0 】

また、トランジスタ 2 a は、トランジスタ 2 b のゲート電極の電位を $V_{el} + V_{th}$ に充電し、トランジスタ 2 b は OFF 状態になる。ここで V_{th} はトランジスタのしきい値電圧である。

40

【 0 0 6 1 】

次に、入力端子 5 の電位が Low レベル電位から High レベル電位に変化すると、トランジスタ 2 c は OFF 状態になり、蓄積容量線 1 4 の電位は徐々に第 5 補償電圧 V_{el} に向かって放電される。容量 3 がトランジスタ 2 b のゲート電極に接続されているため、トランジスタ 2 a はカットオフし、トランジスタ 2 a のゲート電極の電位は $V_{el} + V_{th}$ から $(V_{el} + V_{th}) - (V_{eh} - V_{el})$ に向かって下がり、トランジスタ 2 b は十分な負のバイアス電圧で ON 状態となる。最終的に出力端子 6 の電圧レベルは V_{el} になる。このようにして、蓄積容量線駆動回路 1 の V_{el} 出力特性が改善され、さらに立ち下がり時間特性が改善される。

50

【 0 0 6 2 】

このように、第 1 の実施形態によれば、蓄積容量線 1 4 に対し所望の補償電圧を高速に印加することができ、液晶表示装置の大画面化や表示容量の増加にも対応できる高品位の液晶表示装置を実現することができる。

【 0 0 6 3 】

また、蓄積容量線駆動回路 1 a に構成上インバータ回路を用いておらず動作時に貫通電流経路が発生しないため、信号線本数を増やすことなく低消費電力の液晶表示装置を実現できる。

【 0 0 6 4 】

また、蓄積容量線駆動回路 1 a の駆動能力を改善できることから、出力トランジスタサイズを従来のもものより小さくしても、蓄積容量線 1 4 の駆動に必要な能力を得ることができるため、狭額縁の液晶表示装置を実現することができる。

【 0 0 6 5 】

また、従来は駆動のために単結晶シリコンで形成された外付けの駆動ドライバ IC を用いる必要があったような負荷が大きい大画面の液晶表示パネルについても、駆動回路を内蔵することができ、低コストかつ高性能な液晶表示装置を実現することができる。

【 0 0 6 6 】

第 2 の実施形態

次に、第 2 の実施形態について、図 4 を用いて説明する。なお、第 1 の実施形態と同一部分は同一の符号を付し、その詳細な説明を省略する。

【 0 0 6 7 】

第 2 の実施形態は、図 9 で示される正極性の第 1 補償電圧 V_{eh} と負極性の第 2 補償電圧 V_{el} と中間電位の第 3 補償電圧 V_{ec} を蓄積容量線に印加する形態の容量結合駆動方式の液晶表示装置に係るものである。

【 0 0 6 8 】

第 2 の実施形態における液晶表示装置の蓄積容量線駆動回路 1 b の構成を図 4 に示す。蓄積容量線駆動回路 1 b は、トランジスタ 2 a、2 b、2 c、2 d、2 e、2 f、容量 3 とを有し、蓄積容量線に印加する第 1 補償電圧 V_{eh} 、第 2 補償電圧 V_{el} 、および第 3 補償電圧 V_{ec} の選択切り替えを行う回路であり、図 2 に示す液晶表示装置に適用される。

【 0 0 6 9 】

トランジスタ 2 a のドレイン電極とゲート電極、およびトランジスタ 2 b のドレイン電極にはトランジスタ 2 d を介して第 2 補償電圧 V_{el} が印加され、トランジスタ 2 a のソース電極は、トランジスタ 2 b のゲート電極と容量 3 の一方の電極とに接続される。また、トランジスタ 2 b のソース電極、およびトランジスタ 2 c のソース電極は、出力端子 6 に接続される。

【 0 0 7 0 】

また、トランジスタ 2 c のドレイン電極には第 3 補償電圧 V_{ec} が印加され、ゲート電極は入力端子 5 に接続される。

【 0 0 7 1 】

トランジスタ 2 d は、そのドレイン電極に第 2 補償電圧 V_{el} が印加され、ゲート電極に信号 FR が印加されるパストランジスタであり、トランジスタ 2 d が ON された場合には、第 2 補償電圧 V_{el} がトランジスタ 2 a のゲート電極とドレイン電極、およびトランジスタ 2 b のドレイン電極に印加される。また、トランジスタ 2 e は、そのドレイン電極に第 1 補償電圧 V_{eh} が印加され、ゲート電極に信号 FRB が印加されるパストランジスタであり、トランジスタ 2 d が ON された場合には、第 1 補償電圧 V_{eh} がトランジスタ 2 f のドレイン電極に印加される。

【 0 0 7 2 】

信号 FR と信号 FRB は、1 フレーム毎に High レベルと Low レベルが切り替わる信号であり、従って、トランジスタ 2 d およびトランジスタ 2 e は、1 フレーム毎に ON と OFF が交互に切り替わる。

10

20

30

40

50

【 0 0 7 3 】

また、トランジスタ 2 f は、そのドレイン電極がトランジスタ 2 e のソース電極に接続され、ゲート電極は入力端子 5 に接続され、ソース電極は出力端子 6 に接続される。

【 0 0 7 4 】

また、容量 3 は、出力端子 6 とトランジスタ 2 b のゲート電極との間に形成された容量である。

【 0 0 7 5 】

なお、トランジスタ 2 a、2 b、2 c、2 d、2 e、2 f のゲート電極には、それぞれ否定回路にて反転された信号（電圧）が印加される。

【 0 0 7 6 】

10

次に、蓄積容量線駆動回路 1 b の動作について説明する。

【 0 0 7 7 】

あるフレームで、信号 FR が Low レベルであり、かつ信号 FRB が High レベルである時、図 4 の回路構成は図 1 の回路構成と等価であり、第 1 の実施形態で説明したのと同様に蓄積容量線駆動回路の Vel 出力特性が改善される。

【 0 0 7 8 】

また、次のフレームで、信号 FR が High レベルに変化し、かつ信号 FRB が Low レベルに変化した時、入力端子 5 が High レベルの時は第 1 補償電圧 Veh が選択される。

【 0 0 7 9 】

このように、第 2 の実施形態によれば、1 フレーム毎に補償電圧 Veh と Vel を交互に蓄積容量線に印加することのできる蓄積容量線駆動回路 1 b を実現することができる。従って、第 1 の実施形態で説明した第 4 補償電圧と第 5 補償電圧のみを蓄積容量線に印加する形態の容量結合駆動方式を用いた場合と同等の効果を得ることができる。

20

【 0 0 8 0 】

また、第 1 補償電圧および第 2 補償電圧を蓄積容量線に印加するのは走査中の走査線に対応する蓄積容量線のみでよく、補償電圧用のシフトレジスタの消費電力を低減できる。

【 0 0 8 1 】

なお、本発明では蓄積容量線駆動回路 1 に p チャネルトランジスタを用いた実施形態を説明したが、n チャネルトランジスタであっても、本発明の実施の効果は同じである。

【 図面の簡単な説明 】

30

【 0 0 8 2 】

【図 1】第 1 の実施形態における蓄積容量線駆動回路の構成を示す回路図である。

【図 2】容量結合駆動方式による液晶表示装置の構成を示す回路図である。

【図 3】第 1 の実施形態における蓄積容量線駆動回路の駆動電圧波形図である。

【図 4】第 2 の実施の形態における蓄積容量線駆動回路の構成を示す回路図である。

【図 5】従来の液晶表示装置の構成を示す回路図である。

【図 6】従来の表示素子の電氣的等価回路図である。

【図 7】従来の液晶表示装置における駆動波形を示す図である。

【図 8】従来の容量結合駆動方式による液晶表示装置の構成を示す回路図である。

【図 9】第 1 補償電圧、第 2 補償電圧、第 3 補償電圧を蓄積容量線に印加する形態の容量結合駆動における、走査線及び蓄積容量線における電圧波形を示すタイミングチャートである。

40

【図 10】第 4 補償電圧、第 5 補償電圧を蓄積容量線に印加する形態の容量結合駆動における、走査線及び蓄積容量線における電圧波形を示すタイミングチャートである。

【図 11】容量結合駆動方式による画素電極の電位シフトを説明するための図である。

【図 12】従来の蓄積容量線駆動回路の構成を示す回路図である。

【図 13】従来の蓄積容量線駆動回路の出力電圧波形なまりを示す図である。

【 符号の説明 】

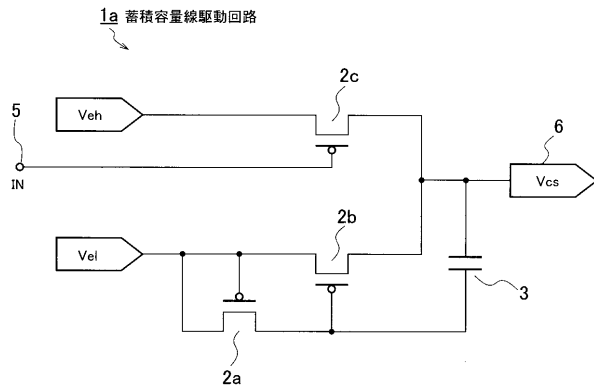
【 0 0 8 3 】

1 a、b 蓄積容量線駆動回路

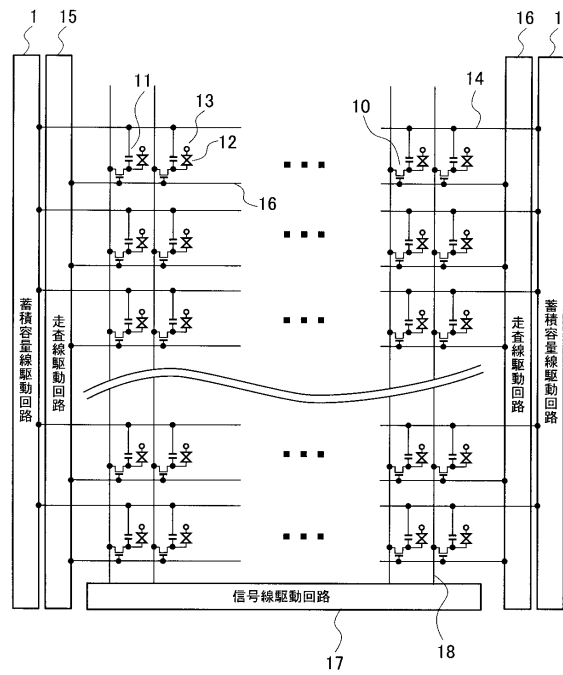
50

2	a、b、c、d、e、f	トランジスタ	
3	蓄積容量		
5	蓄積容量線駆動回路の入力端子		
6	蓄積容量線駆動回路の出力端子		
1 1	蓄積容量		
1 2	液晶層		
1 3	共通電極線		
1 4	蓄積容量線		
1 5	走査線駆動回路		
1 6	走査線		10
1 7	信号線駆動回路		
1 8	信号線		
5 1	スイッチング素子		
5 2	蓄積容量		
5 3	液晶層		
5 4	信号線		
5 5	走査線		
5 6	共通電極線		
5 7	走査線駆動回路		
5 8	信号線駆動回路		20
5 9	画素電極		
6 0	ゲート - ドレイン間寄生容量 C_{gd}		
6 1	蓄積容量線駆動回路		
7 1	a、b、c、d	トランジスタ	
7 2	蓄積容量線駆動回路の入力端子		
7 3	蓄積容量線駆動回路の出力端子		
A	走査信号 V_g		
B	画像信号 V_s		
C	画素電極電位		
D	突き抜け電圧 ΔV		30
E	画素信号の中心値 V_{sigc}		

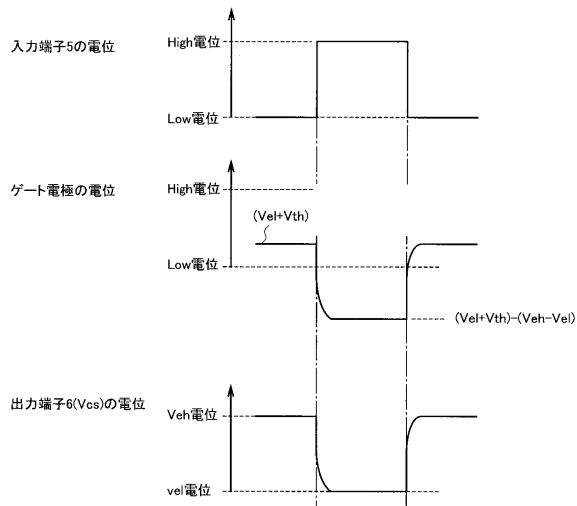
【図 1】



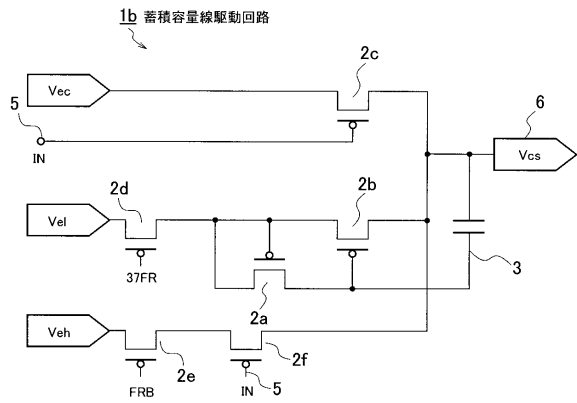
【図 2】



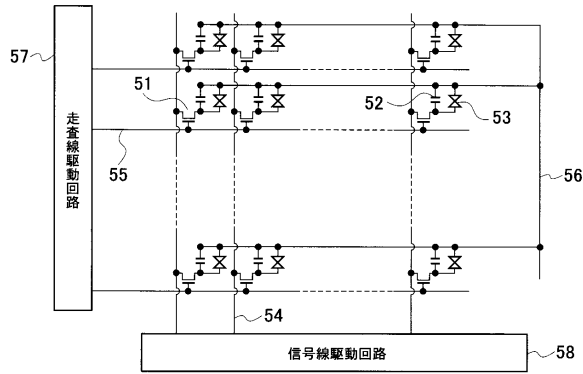
【図 3】



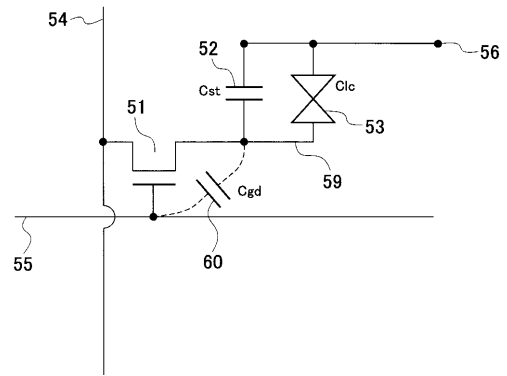
【図 4】



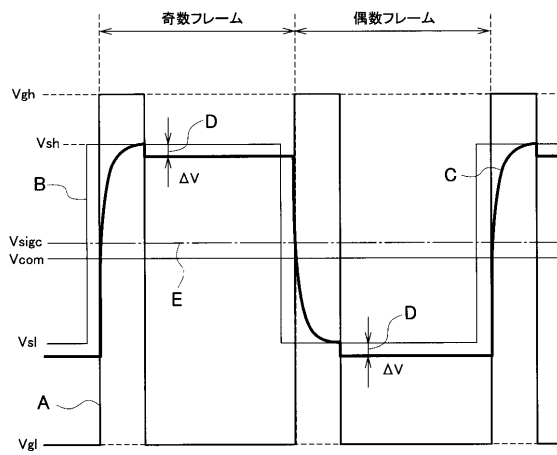
【図 5】



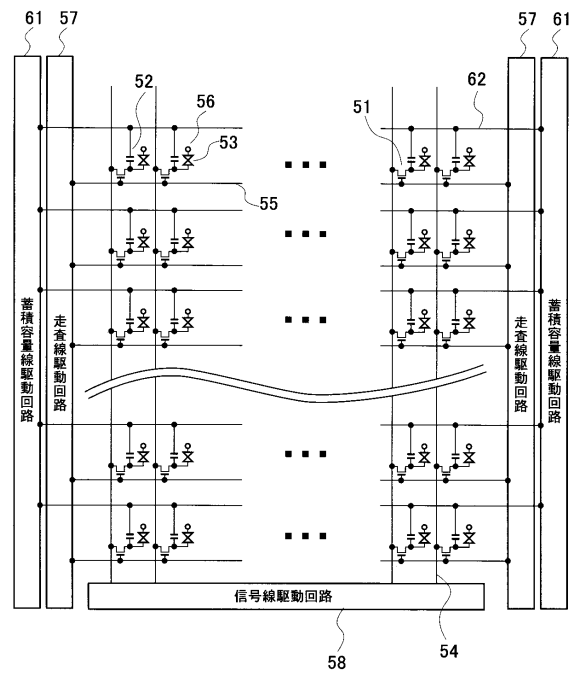
【図 6】



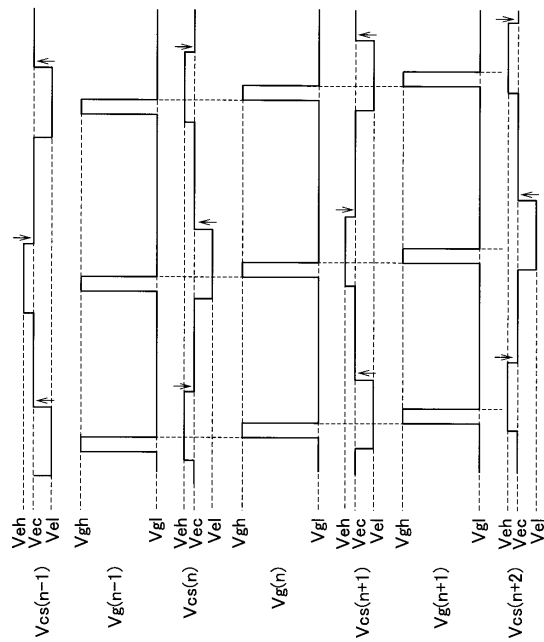
【図 7】



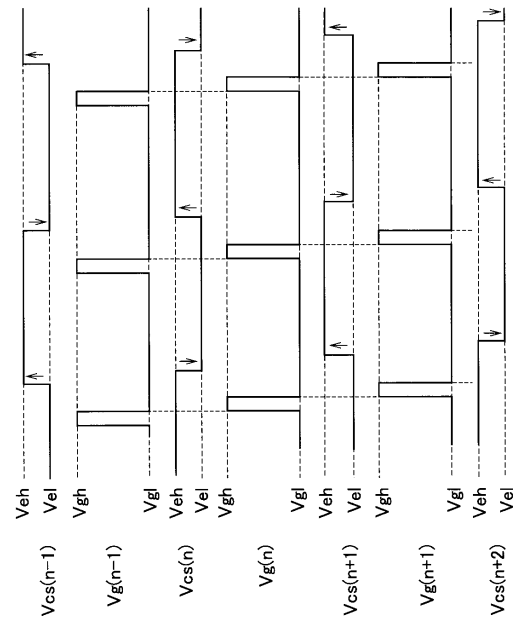
【図 8】



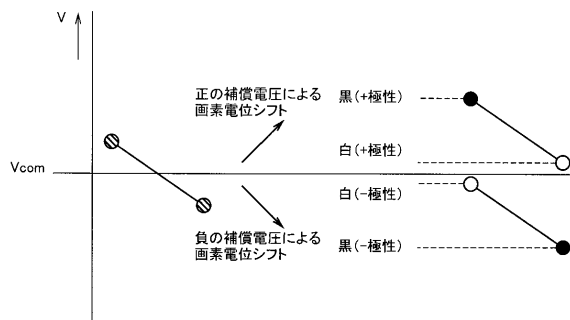
【図 9】



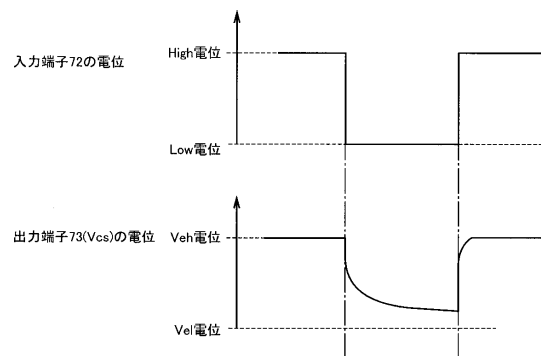
【図 10】



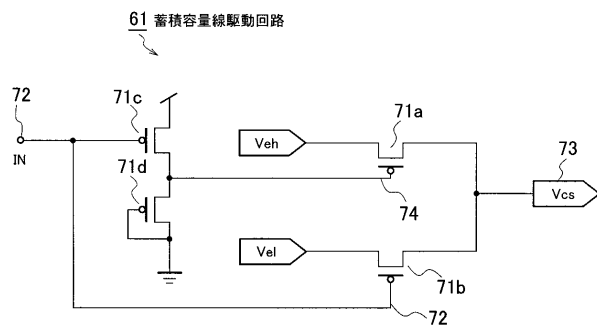
【図 11】



【図 13】



【図 12】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)
G 0 9 G 3/20 6 2 4 Z
G 0 9 G 3/36

(74)代理人 100101247
弁理士 高橋 俊一

(74)代理人 100098327
弁理士 高松 俊雄

(72)発明者 原田 賢治
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H093 NA16 NB29 NC62 ND12 ND32 ND37 NE10
5C006 AA16 AC11 AC25 AC28 AF50 AF52 BB16 BC02 BC20 BF26
BF27 BF34 BF42 EB05 FA14 FA18 FA23 FA25 FA26 FA36
FA37 FA38 FA42 FA46 FA47 FA52
5C080 AA10 BB05 DD05 DD06 DD08 DD23 DD24 DD25 DD26 DD27
FF11 JJ03 JJ04 JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2005128101A	公开(公告)日	2005-05-19
申请号	JP2003361054	申请日	2003-10-21
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	原田賢治		
发明人	原田 賢治		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G02F1/133.505 G02F1/133.550 G09G3/20.611.A G09G3/20.611.E G09G3/20.611.J G09G3/20.624.Z G09G3/36		
F-TERM分类号	2H093/NA16 2H093/NB29 2H093/NC62 2H093/ND12 2H093/ND32 2H093/ND37 2H093/NE10 5C006/AA16 5C006/AC11 5C006/AC25 5C006/AC28 5C006/AF50 5C006/AF52 5C006/BB16 5C006/BC02 5C006/BC20 5C006/BF26 5C006/BF27 5C006/BF34 5C006/BF42 5C006/EB05 5C006/FA14 5C006/FA18 5C006/FA23 5C006/FA25 5C006/FA26 5C006/FA36 5C006/FA37 5C006/FA38 5C006/FA42 5C006/FA46 5C006/FA47 5C006/FA52 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD08 5C080/DD23 5C080/DD24 5C080/DD25 5C080/DD26 5C080/DD27 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZA07 2H193/ZF24 2H193/ZF60 2H193/ZP20		
代理人(译)	三好秀 中村智之 伊藤雅一 高桥俊 高松俊夫		
外部链接	Espacenet		

摘要(译)

即使当液晶显示装置具有大屏幕时存储电容器线的负载电容增加，并且由于液晶显示设备的显示电容的增加扫描时间变得更短时，存储电容器线驱动电路的操作响应也得到改善。（EN）提供一种廉价的液晶显示装置，其具有低功耗，高速响应，窄边框。在存储电容器线驱动电路中，将补偿电压 V_{el} 施加到其漏极，将补偿电压反相并施加到其栅极，并且将补偿电压 V_{el} 施加到其漏极。之后，将晶体管2a的源极的输出电压反转并施加到其栅极，设置在晶体管2b的栅极和源极之间的电容器3，并且施加并输入补偿电压 V_{eh} 。晶体管2c用于根据控制信号控制施加到辅助电容线的补偿电压的输出。[选型图]图1

