

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-64337
(P2005-64337A)
(43) 公開日 平成17年3月10日(2005.3.10)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 1 7 L	2 H O 9 2
GO 2 F 1/1368	GO 2 F 1/1368	4 M 1 O 4
HO 1 L 21/28	HO 1 L 21/28 3 O 1 R	5 F O 3 3
HO 1 L 21/3205	HO 1 L 21/88 N	5 F 1 1 O
HO 1 L 21/336	HO 1 L 21/88 R	
審査請求 未請求 請求項の数 9 O L (全 17 頁) 最終頁に続く		

(21) 出願番号	特願2003-294583 (P2003-294583)	(71) 出願人	302020207
(22) 出願日	平成15年8月18日 (2003.8.18)		東芝松下ディスプレイテクノロジー株式会社
			東京都港区港南4-1-8
		(74) 代理人	100062764
			弁理士 樺澤 襄
		(74) 代理人	100092565
			弁理士 樺澤 聡
		(74) 代理人	100112449
			弁理士 山田 哲也
		(72) 発明者	松浦 由紀
			東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内
		最終頁に続く	

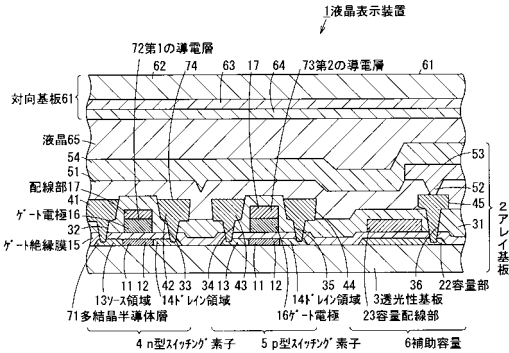
(54) 【発明の名称】 アレイ基板、液晶表示装置およびアレイ基板の製造方法

(57) 【要約】

【課題】 ゲート電極を細線化および低抵抗化できる液晶表示装置を提供する。

【解決手段】 複数の島状のポリシリコン膜71を含むガラス基板3上にゲート絶縁膜15を成膜する。ゲート絶縁膜15上に成膜した第1の金属層72をパターンニングして、薄膜トランジスタ4、5となる部分のポリシリコン層11に対向したゲート絶縁膜15上にゲート電極16を設ける。ゲート電極16を含むゲート絶縁膜15上に第2の金属層73を成膜する。薄膜トランジスタ4、5のゲート電極16上に配線部17を積層した。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

透光性基板と、
この透光性基板の一主面に設けられた複数の多結晶半導体層と、
これら複数の多結晶半導体層を含む前記透光性基板の一主面に設けられたゲート絶縁膜と、
前記複数の多結晶半導体層のいずれか一に対向して前記ゲート絶縁膜を介して設けられた第 1 の導電層と、
この第 1 の導電層の一主面に設けられこの第 1 の導電層に電氣的に接続された配線部、
および前記複数の多結晶半導体層のいずれか他に対向して前記ゲート絶縁膜を介して設けられこの多結晶半導体層との間に容量を形成する容量配線部とを備えた第 2 の導電層とを具備したことを特徴としたアレイ基板。

10

【請求項 2】

第 2 の導電層は、第 1 の導電層よりも抵抗値が小さいことを特徴とした請求項 1 記載のアレイ基板。

【請求項 3】

第 1 の導電層は、モリブデン (Mo) を含んだ合金であり、
第 2 の導電層は、アルミニウム (Al) を含んだ合金であることを特徴とした請求項 1 または 2 記載のアレイ基板。

【請求項 4】

第 1 の導電層は、モリブデン - タングステン (MoW) およびモリブデン - タantal (MoTa) のいずれかにより構成され、
第 2 の導電層は、アルミニウム (Al) およびアルミニウム - 銅 (AlCu) の少なくともいずれか一方と、モリブデン (Mo)、チタン (Ti) および窒化チタン (TiN) の少なくともいずれかとの積層膜にて構成されていることを特徴とした請求項 1 ないし 3 いずれか記載のアレイ基板。

20

【請求項 5】

容量配線部に対向した多結晶半導体層は、p 型ドーパントおよび n 型ドーパントのいずれかがドーピングされていることを特徴とした請求項 1 ないし 4 いずれか記載のアレイ基板。

30

【請求項 6】

請求項 1 ないし 5 いずれか記載のアレイ基板と、
このアレイ基板に対向して設けられた対向基板と、
この対向基板および前記アレイ基板の間に介挿された液晶とを具備したことを特徴とした液晶表示装置。

【請求項 7】

透光性基板の一主面に複数の多結晶半導体層を設け、
これら複数の多結晶半導体層を含む前記透光性基板の一主面にゲート絶縁膜を設け、
このゲート絶縁膜の一主面に第 1 の導電層を設け、
この第 1 の導電層をパターニングして前記複数の多結晶半導体層のいずれか一に対向する一対のゲート電極を形成し、
これら一対のゲート電極のいずれか一をマスクとして、このゲート電極に対向した前記多結晶半導体層をドーピングして p 型スイッチング素子のソース領域およびドレイン領域とし、
これら一対のゲート電極のいずれか他をマスクとして、このゲート電極に対向した前記多結晶半導体層と、前記ゲート電極が対向して設けられていない前記多結晶半導体層とのそれぞれをドーピングして、n 型スイッチング素子のソース領域およびドレイン領域と、補助容量の容量部とを形成し、

40

前記一対のゲート電極を含む前記ゲート絶縁膜の一主面に第 2 の導電層を形成し、
この第 2 の導電層をパターニングして、前記一対のゲート電極の対向する一対の配線部

50

と、これら一対のゲート電極が対向して設けられていない前記多結晶半導体層に対向する前記補助容量の補助容量部とのそれぞれを形成する

ことを特徴としたアレイ基板の製造方法。

【請求項 8】

複数のゲート電極を含むゲート絶縁膜の一主面に第 2 の導電層を直接形成する

ことを特徴とした請求項 7 記載のアレイ基板の製造方法。

【請求項 9】

複数のゲート電極を含むゲート絶縁膜の一主面に層間絶縁膜を形成し、

この層間絶縁膜に前記複数のゲート電極に連通する複数の導通部を形成し、

これら複数の導通部を含む前記層間絶縁膜上に第 2 の導電層を形成して、この第 2 の導電層を前記複数のゲート電極に電氣的に接続させる

ことを特徴とした請求項 7 記載のアレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング素子を備えたアレイ基板、液晶表示装置およびアレイ基板の製造方法に関する。

【背景技術】

【0002】

近年、液晶表示装置は、単純な駆動回路である X ドライバ回路および Y ドライバ回路だけではなく、これまでは T A B (Tape Automated Bonding) 実装していた D A C (Digital-to-Analog Converter) 回路などの外部回路までを透光性基板としてのガラス基板の一主面上に作り込んだり、S R A M あるいは D R A M などのメモリ機能や光センサなどが内蔵されたシステム液晶が製品化されている。

【0003】

このため、この種の液晶表示装置には、高性能なスイッチング素子としての薄膜トランジスタが必要となるとともに、低消費電力化かつ高開口率化が求められる。この液晶表示装置の高性能化および高開口率化のためには、第 1 の金属層としてのゲート配線や信号配線の細線化が必要となり、低消費電力化 (H コモン反転駆動) や D A コンバータなどの回路を内蔵するためには M O S 容量部のフラットバンド電圧 (V_{fb}) を下げることが必要となる。

【0004】

そして、これらゲート配線や信号配線を細線化すると、これらゲート配線あるいは信号配線の配線抵抗が高くなるため消費電力が増加し、回路電源マージンが減少してしまうので、低抵抗な配線材料が必要である。ここで、細線化とは、従来の配線幅 $3\mu\text{m}$ 以上 $5\mu\text{m}$ 以下を $0.5\mu\text{m}$ 以上 $2\mu\text{m}$ 以下に細くすることである。

【0005】

また、M O S 容量部に多結晶半導体層を用いた場合では、この M O S 容量部のフラットバンド電圧を下げるために多結晶半導体層にリン (P) あるいはボロン (B) などの不純物を注入して n 型または p 型にする方法が採用されている。

【0006】

具体的な液晶表示装置用のアレイ基板の製造方法としては、ガラス基板上に非晶質半導体層を形成した後に、この非晶質半導体層をレーザビームアニールして多結晶半導体層としてからパターンニングする。この後、この多結晶半導体層を含むガラス基板上にゲート絶縁膜を成膜する。

【0007】

このとき、画素補助容量をある程度以上大きくないと、この画素補助容量を保持できなくなるため、ゲート絶縁膜の膜厚は、なるべく薄いほうが好ましい。このため、多結晶半導体層上にゲート絶縁膜を形成し、このゲート絶縁膜上にゲート電極の層を形成した構造とする。したがって、このゲート電極を形成する前に、レジストをパターンニングして n

10

20

30

40

50

型ドーパント(PH_3)をドーブして注入して、 n - ch 薄膜トランジスタ(TFT)の n^+ 領域と、画素容量と、回路部の容量領域である容量部とのそれぞれを形成する。

【0008】

さらに、これら n^+ 領域、画素容量および回路部の容量部のそれぞれを含むゲート絶縁膜上にゲート電極を成膜した後、 p - ch 薄膜トランジスタ(TFT)用となるゲート電極をパターンニングしてから、 p 型ドーパント(B_2H_5)を不純物として注入して、 p - ch 薄膜トランジスタの p^+ 領域を形成する。

【0009】

次いで、 n - ch 薄膜トランジスタ側のゲート電極をパターンニングした後、これら n - ch 薄膜トランジスタおよび p - ch 薄膜トランジスタそれぞれをアニールしてから、これら n - ch 薄膜トランジスタの n^+ 領域および p - ch 薄膜トランジスタの p^+ 領域のそれぞれを活性化させる。次いで、これら n - ch および p - ch 薄膜トランジスタのゲート電極を含むゲート絶縁膜上に層間絶縁膜を成膜する。

【0010】

さらに、この層間絶縁膜に、 n - ch 薄膜トランジスタの n^+ 領域および p - ch 薄膜トランジスタの p^+ 領域に連通するコンタクトホールを形成した後、これらコンタクトホールを含む層間絶縁膜上に導電層を形成する。この後、この導電層をパターンニングして、 n - ch 薄膜トランジスタの n^+ 領域および p - ch 薄膜トランジスタの p^+ 領域に電氣的に接続されたソース電極およびドレイン電極を形成した構成が知られている(例えば、特許文献1参照)。

【0011】

また、この液晶表示装置には、ゲート配線としてモリブデン-タングステン(MoW)やモリブデン-タンタル(MoTa)などのモリブデン(Mo)を含んだ合金が用いられている。そして、この液晶表示装置のゲート電極もまた、ゲート配線の引き出し線、画素容量配線および回路容量配線のそれぞれが一層で一体的に形成されている。

【0012】

ここで、モリブデン合金は、熱耐性があり、500 以上600 以下程度の熱活性化である熱アニールに十分絶え得る材料としてゲート電極に用いていた。ところが、膜厚が300 nmのモリブデン合金のシート抵抗が $0.5 \Omega / \text{cm}^2$ と高いため、細線化すると抵抗が高くなるので、ゲート電極を微細化できない。

【0013】

また、このゲート電極を低抵抗にするために、モリブデン合金よりも低抵抗材料の、例えば汎用性のあるアルミニウム(Al)やアルミニウム-銅(AlCu)などのアルミニウム合金を用いればよいと考えられる。ところが、このアルミニウム合金では、後の工程である熱活性化の際の温度が高いために配線がショートしやすくなったり、エレクトロマイグレーションによる抵抗劣化や断線などによる信頼性が劣化する問題が生じるおそれがあるので、ゲート電極を低抵抗化することはプロセスの点から困難である。

【0014】

さらに、アルミニウム-ネオジム(AlNd)を用いた場合には、500 以下の温度でアニールをしても信頼性などの問題は生じないが、加工精度や生産性に問題がある。すなわち、このアルミニウム-ネオジムを用いた場合に2 μm 以下に細線化すると、ウェットエッチングでは線幅のばらつき制御が困難であるため薄膜トランジスタのゲート電極の長さのばらつきが大きくなってしまふ。このため、この薄膜トランジスタのトランジスタ特性がばらつく原因となるから、このばらつきの制御が可能なドライエッチングで加工することになる。

【特許文献1】特開2002-359252号公報(第7-10頁、図8-図9)

【発明の開示】

【発明が解決しようとする課題】

【0015】

しかしながら、上記液晶表示装置のゲート電極をアルミニウム-ネオジムとし、このゲ

10

20

30

40

50

ート電極をドライエッチングした場合には、ドライエッチング装置のチャンバの内壁面に塩化アルミニウム($AlCl_3$)などのエッチング生成物が多量に付着してしまうので、生産性の向上が容易ではない。このため、ゲート電極の細線化が必要な製品では、加工の点からアルミニウム-ネオジウムをゲート電極として用いることは難しい。よって、ゲート電極を細線化および低抵抗化することが容易ではないという問題を有している。

【0016】

本発明は、このような点に鑑みなされたもので、第1の導電層を細線化および低抵抗化できるアレイ基板、液晶表示装置、およびアレイ基板の製造方法を提供することを目的とする。

【課題を解決するための手段】

10

【0017】

本発明は、透光性基板と、この透光性基板の一主面に設けられた複数の多結晶半導体層と、これら複数の多結晶半導体層を含む前記透光性基板の一主面に設けられたゲート絶縁膜と、前記複数の多結晶半導体層のいずれか一に対向して前記ゲート絶縁膜を介して設けられた第1の導電層と、この第1の導電層の一主面に設けられこの第1の導電層に電氣的に接続された配線部、および前記複数の多結晶半導体層のいずれか他に対向して前記ゲート絶縁膜を介して設けられこの多結晶半導体層との間に容量を形成する容量配線部とを備えた第2の導電層とを具備したものである。

【0018】

そして、透光性基板の一主面に設けた複数の多結晶半導体層を含む透光性基板の一主面にゲート絶縁膜を設ける。さらに、ゲート絶縁膜を介して複数の多結晶半導体層のいずれか一に対向する第1の導電層を設ける。この後、第1の導電層の一主面に第2の導電層の配線部を設けて、この配線部を第1の導電層に電氣的に接続させるとともに、ゲート絶縁膜を介して複数の多結晶半導体層のいずれか他に対向して、この多結晶半導体層を介して容量を形成する第2の導電層の容量配線部を設ける。この結果、この第1の導電層の細線化および低抵抗化が可能となる。

20

【発明の効果】

【0019】

本発明により、工程数を最小限に抑えてゲート配線を細線化および低抵抗化できるから、液晶表示装置として高精細化、高開口率化、低消費電力化でき、同時にメモリ回路やこれまでTAB実装していた駆動回路を内蔵した薄膜トランジスタを有する液晶表示装置の形成が可能となる。

30

【発明を実施するための最良の形態】

【0020】

以下、本発明の液晶表示装置の第1の実施の形態の構成を図1ないし図10を参照して説明する。

【0021】

図1ないし図10において、1は平面表示装置としての液晶表示装置1で、この液晶表示装置1は、薄膜トランジスタ方式液晶表示装置であり、略矩形平板状のアレイ基板2を備えている。このアレイ基板2は、略透明な矩形平板状の絶縁基板としての透光性基板であるガラス基板3を有している。このガラス基板3の一主面である表面上には、シリコン窒化膜や酸化シリコン膜などにて構成された図示しないアンダーコート層が積層されて成膜されている。

40

【0022】

そして、このアンダーコート層上には、液晶表示用のn型スイッチング素子である複数のnチャネル(n-ch)型の薄膜トランジスタ(TFT)4がマトリクス状に形成されている。さらに、このアンダーコート層上には、液晶表示用のp型スイッチング素子である複数のpチャネル(p-ch)型の薄膜トランジスタ5と、複数の画素補助容量6とのそれぞれがマトリクス状に複数形成されている。

【0023】

50

ここで、これら薄膜トランジスタ4,5のそれぞれは、1画素構成要素として配設されている。さらに、これら薄膜トランジスタ4,5のそれぞれは、アンダーコート層上に形成された多結晶半導体層としてのポリシリコン層11を備えている。このポリシリコン層11は、非晶質半導体としてのアモルファスシリコンのレーザアニールにより形成されたポリシリコンにより構成されている。そして、このポリシリコン層11は、このポリシリコン層11の中央部に設けられた活性層としてのチャネル領域12を有している。このチャネル領域12の両側には、 n^+ 領域あるいは P^+ 領域であるソース領域13およびドレイン領域14のそれぞれが対向して設けられている。

【0024】

そして、これらチャネル領域12、ソース領域13およびドレイン領域14それぞれを含むアンダーコート層上には、絶縁性を有するシリコン酸化膜であるゲート絶縁膜15が積層されて成膜されている。さらに、チャネル領域12に対向したゲート絶縁膜15上には、モリブデン(Mo)を含んだ合金、すなわちモリブデン-タングステン(MoW)により構成された第1の金属層72にて構成されたゲート電極16が積層されて成膜されている。ここで、これらゲート電極16は、ゲート絶縁膜15を介して各薄膜トランジスタ4,5のチャネル領域12に対向しており、このチャネル領域12の幅寸法に略等しい幅寸法を有している。

【0025】

さらに、これらゲート電極16上には、第2の金属層73にて構成されたゲート配線としての配線部17が積層されて形成されている。これら配線部17のそれぞれは、各ゲート電極16に対して電氣的に接続され、各ゲート電極16の幅寸法に等しい幅寸法を有するゲート電極間配線である。ここで、これら配線部17は、ゲート電極16よりも抵抗値の小さい材質によって構成されている。

【0026】

一方、薄膜トランジスタ4,5に連続したアンダーコート層上には、ポリシリコンにて構成された画素補助容量6が積層されて形成されている。この画素補助容量6は、pチャネル型の薄膜トランジスタ5に隣接して設けられており、この薄膜トランジスタ5を介したnチャネル型の薄膜トランジスタ4の反対側に設けられている。

【0027】

さらに、この画素補助容量6は、ガラス基板3上の薄膜トランジスタ4,5と同一平面状に配置されている。また、この画素補助容量6は、ポリシリコンにて構成された容量部22を備えている。この容量部22は、非晶質半導体としてのアモルファスシリコンのレーザアニールにより形成されたポリシリコンにより構成されている。また、この容量部22は、各薄膜トランジスタ4,5のポリシリコン層11と同一工程にて形成されており、アンダーコート層上に積層されている。

【0028】

そして、この容量部22を含むアンダーコート層上には、ゲート絶縁膜15が積層されて成膜されている。そして、容量部22に対向したゲート絶縁膜15上には、各薄膜トランジスタ4,5の配線部17と同一層の第2の金属層73にて構成された容量配線部23が積層されて形成されている。この容量配線部23は、pチャネル型の薄膜トランジスタ5側である容量部22の幅方向における一側よりに設けられている。言い換えると、この容量配線部23は、容量部22の幅方向における中央部よりもpチャネル型の薄膜トランジスタ5側に寄った位置に設けられている。

【0029】

また、これら容量配線部23のそれぞれは、これら容量配線部23と容量部22との間のゲート絶縁膜15を介して、これら容量部22との間に容量を形成する。ここで、これら容量配線部23は、各薄膜トランジスタ4,5の配線部17と同一工程および同一材質にて形成されている。したがって、これら容量配線部23は、各薄膜トランジスタ4,5の配線部17の抵抗値よりも小さい抵抗値を有している。

【0030】

さらに、この容量配線部23および各薄膜トランジスタ4,5の配線部17のそれぞれを含

むゲート絶縁膜15上には、絶縁性を有する酸化シリコン膜である層間絶縁膜31が積層されて成膜されている。そして、これら層間絶縁膜31およびゲート絶縁膜15には、これら層間絶縁膜31およびゲート絶縁膜15のそれぞれを貫通した導通部としての複数のコンタクトホール32,33,34,35,36が開口されて設けられている。

【0031】

ここで、コンタクトホール32,33のそれぞれは、nチャネル型の薄膜トランジスタ4のゲート電極16の両側である、この薄膜トランジスタ4のソース領域13およびドレイン領域14上に設けられている。そして、コンタクトホール32は、nチャネル型の薄膜トランジスタ4のソース領域13に連通して開口しており、コンタクトホール33は、nチャネル型の薄膜トランジスタ4のドレイン領域14に連通して開口している。

10

【0032】

また、コンタクトホール34,35のそれぞれは、pチャネル型の薄膜トランジスタ5のゲート電極16の両側である、この薄膜トランジスタ5のソース領域13およびドレイン領域14上に設けられている。そして、コンタクトホール34は、pチャネル型の薄膜トランジスタ5のソース領域13に連通して開口しており、コンタクトホール35は、pチャネル型の薄膜トランジスタ5のドレイン領域14に連通して開口している。また、コンタクトホール36は、画素補助容量6の容量部22に連通して開口している。

【0033】

そして、nチャネル型の薄膜トランジスタ4のソース領域13に連通したコンタクトホール32には、導電層としての信号線であるソース電極41が積層されて設けられている。このソース電極41は、コンタクトホール32を介してnチャネル型の薄膜トランジスタ4のソース領域13に電氣的に接続されて導通されている。また、nチャネル型の薄膜トランジスタ4のドレイン領域14に連通したコンタクトホール33には、導電層としての信号線であるドレイン電極42が積層されて設けられている。このドレイン電極42は、コンタクトホール33を介してnチャネル型の薄膜トランジスタ4のドレイン領域14に電氣的に接続されて導通されている。

20

【0034】

さらに、pチャネル型の薄膜トランジスタ5のソース領域13に連通したコンタクトホール34には、導電層としての信号線であるソース電極43が積層されて設けられている。このソース電極43は、コンタクトホール34を介してpチャネル型の薄膜トランジスタ5のソース領域13に電氣的に接続されて導通されている。また、pチャネル型の薄膜トランジスタ5のドレイン領域14に連通したコンタクトホール35には、導電層としての信号線であるドレイン電極44が積層されて設けられている。このドレイン電極44は、コンタクトホール35を介してpチャネル型の薄膜トランジスタ5のドレイン領域14に電氣的に接続されて導通されている。さらに、画素補助容量6の容量部22に連通したコンタクトホール36には、導電層であるゲート引き出し配線としての引き出し電極45が積層されて設けられている。

30

【0035】

一方、各薄膜トランジスタ4,5のソース電極41,43およびドレイン電極42,44と、画素補助容量6の引き出し電極45とを含む層間絶縁膜31上には、これら薄膜トランジスタ4,5および画素補助容量6のそれぞれを覆うように保護膜51が積層されて成膜されている。そして、この保護膜51には、この保護膜51を貫通した導通部としてのコンタクトホール52が開口されて設けられている。このコンタクトホール52は、画素補助容量6の引き出し電極45に連通して開口している。

40

【0036】

そして、このコンタクトホール52を含む保護膜51上には、画素電極53が積層されて成膜されている。この画素電極53は、コンタクトホール52を介して引き出し電極45に電氣的に接続されて導通されている。すなわち、この画素電極53は、引き出し電極45を介して画素補助容量6の容量部22に電氣的に接続されている。また、この画素電極53は、いずれかの薄膜トランジスタ4,5によって制御されている。さらに、この画素電極53を含んだ保護膜51上には、配向膜54が積層されて成膜されている。

50

【0037】

一方、アレイ基板2に対向して矩形平板状の対向基板61が配設されている。この対向基板61は、略透明な矩形平板状の絶縁基板としての透光性基板であるガラス基板62を備えている。このガラス基板62のアレイ基板2に対向した側の一主面には、対向電極63が設けられている。また、この対向電極63上には配向膜64が積層されて成膜されている。そして、この対向基板61の配向膜64とアレイ基板2の配向膜54との間には、液晶65が介挿されて封止されている。

【0038】

次に、上記第1の実施の形態のアレイ基板の製造方法を説明する。

【0039】

まず、CVD (Chemical Vapor Deposition)法にて膜厚50nmの非晶質半導体である非結晶シリコンとしてのアモルファスシリコン膜をガラス基板3上に成膜する。この後、このガラス基板3上のアモルファスシリコン膜にエキシマレーザビームを照射してレーザアニールして結晶化させて、このアモルファスシリコン膜を多結晶半導体層としてのポリシリコン膜71にする。このとき、このポリシリコン膜71の膜厚を40nm以上80nm以下の範囲にすることが望ましい。

【0040】

次いで、このポリシリコン膜71にジボラン(B_2H_5)をドーピングして注入して、フォトリソ工程にて島状にする。このとき、このポリシリコン膜71に注入したボロン濃度を $1E16$ 以上 $1E17$ 以下/ cm^3 とする。なお、このポリシリコン膜71にボロンを注入することによって、各薄膜トランジスタ4,5の閾値電圧が制御可能となる。

【0041】

さらに、PE (Plasma Enhanced) - CVD法にて、各島状のポリシリコン膜71を含むガラス基板3上に、膜厚が100nmのゲート絶縁膜15を成膜する。

【0042】

次いで、図2に示すように、このゲート絶縁膜15上に、各薄膜トランジスタ4,5のゲート電極16となる膜厚300nmのモリブデン - タングステン合金(MoW)を成膜して第1の導電層である第1の金属層72を形成する。このとき、この第1の金属層72のシート抵抗が $0.5\Omega/cm^2$ となった。なお、この第1の金属層72としては、モリブデン - タングステン(MoW)の他に、モリブデン - タantal(MoTa)にもできる。

【0043】

この後、フォトリソ工程にて第1の金属層72をpチャネル型の薄膜トランジスタ5のゲート電極16の両側のソース領域13およびドレイン領域14となる部分を除いた部分の図示しないレジストをパターンニングして、この薄膜トランジスタ5のポリシリコン層11の両側を、フッ素と酸素を含む混合ガスでプラズマエッチングする。このとき、このpチャネル型のゲート電極16の配線幅を $1.0\mu m$ 以上 $2.0\mu m$ 以下とする。

【0044】

そして、このプラズマエッチングをした後に、ゲート絶縁膜15上のレジストを有機アルカリ液で剥離する。

【0045】

この状態で、図3に示すように、プラズマエッチングをした後に残った第1の金属層72をマスクとして、pチャネル型の薄膜トランジスタ5のソース領域13およびドレイン領域14となる部分にp型ドーパントであるジボラン(B_2H_5)をドーピングして注入する。ここで、このジボランのドーピングは、ポリシリコン層11の抵抗値を下げ、金属とのオーミックコンタクトを取るためである。なお、このジボランのポリシリコン層11への注入は加速電圧50keVでドーズ量を $1E15cm^{-2}$ とする。

【0046】

次いで、フォトリソ工程にて第1の金属層72のnチャネル型の薄膜トランジスタ4のゲート電極16となる部分とpチャネル型の薄膜トランジスタ5となる部分とのそれぞれに図示しないレジストをパターンニングして、これらnチャネル型の薄膜トランジスタ4のソー

10

20

30

40

50

ス領域13およびドレイン領域14となる部分と、画素補助容量6となる部分のそれぞれを、フッ素と酸素とを含む混合ガスにてプラズマエッチングする。このとき、このnチャネル型の薄膜トランジスタ4のゲート電極16の配線幅も $1.0\mu\text{m}$ 以上 $2.0\mu\text{m}$ 以下とする。

【0047】

そして、このプラズマエッチングをした後に、ゲート絶縁膜15上のレジストを有機アルカリ液で剥離する。

【0048】

この後、図4に示すように、フォトリソ工程にて第1の金属層72のnチャネル型の薄膜トランジスタ4のゲート電極16となる部分とpチャネル型の薄膜トランジスタ5となる部分とのそれぞれにレジスト70をパターンニングして、nチャネル型の薄膜トランジスタ4のソース領域13およびドレイン領域14と、画素補助容量6の容量部22となるポリシリコン層11にn型ドーパントであるホスフィン(PH_3)をドーブして注入する。なお、このホスフィンのポリシリコン層11への注入は加速電圧 70keV でドーズ量を $1\text{E}15\text{cm}^{-2}$ とする。

【0049】

ここで、nチャネル型の薄膜トランジスタ4をLDD(Lightly Doped Drain)構造にする場合には、さらにもう一度、このnチャネル型の薄膜トランジスタ4のゲート電極16となる部分の第1の金属層72をエッチングして幅寸法を小さくした後に、n型ドーパントを低ドーブしてn⁺領域を形成することもできる。

【0050】

このとき、このnチャネル型の薄膜トランジスタ4のゲート電極16となる第1の金属層72を同一のマスクとして高ドーブおよび低ドーブのそれぞれができるので、LDD領域の長さを短縮できるとともに、このnチャネル型の薄膜トランジスタ4のトランジスタ特性(Ion特性)を向上できる。

【0051】

この後、nチャネル型の薄膜トランジスタ4およびpチャネル型の薄膜トランジスタ5それぞれのソース領域13およびドレイン領域14と、画素補助容量6の容量部22とのそれぞれを 400°C 以上 500°C 以下の温度で熱アニール処理して、これらソース領域13、ドレイン領域14および容量部22を活性化する。このとき、pチャネル型の薄膜トランジスタ5のp⁺領域であるソース領域13およびドレイン領域14それぞれのシート抵抗を $3\text{k}\Omega/\text{cm}^2$ とし、nチャネル型の薄膜トランジスタ4のn⁺領域であるソース領域13およびドレイン領域14それぞれのシート抵抗を $2\text{k}\Omega/\text{cm}^2$ とした。

【0052】

次いで、図5に示すように、各薄膜トランジスタ4,5のゲート電極16を含むゲート絶縁膜15上に、これら薄膜トランジスタ4,5のゲート電極16間を結ぶ配線部17および画素補助容量6の容量配線部23となる第2の導電層である第2の金属層73を低抵抗材料膜にて成膜して、この第2の金属層73をゲート絶縁膜15上に直接形成する。

【0053】

このとき、この第2の金属層73としては、下層からチタン(Ti)/アルミニウム-銅(AlCu)/チタン(Ti)のそれぞれの膜厚が $50\text{nm}/300\text{nm}/75\text{nm}$ である三層構造の積層膜とした。さらに、この第2の金属層73のシート抵抗は、 $0.12\Omega/\text{cm}^2$ であった。なお、この第2の金属層73としては、チタン(Ti)/窒化チタン(TiN)/アルミニウム-銅(AlCu)/チタン(Ti)/窒化チタン(TiN)の五層構造や、これらをアルミニウム(Al)に変更した構造や、アルミニウム-ネオジム(AlNd)/モリブデン(Mo)などでもよい。

【0054】

この後、図6に示すように、フォトリソ工程にて、第2の金属層73を第1の金属層72のゲート電極16間を繋ぐ配線部17および容量配線部23となるようにパターンニングする。このとき、この第2の金属層73がアルミニウム(Al)あるいはアルミニウム-銅(AlCu)を

含んでいる場合には、金属塩素系ガスによるドライエッチングをする。また、この第2の金属層73が、アルミニウム - ネオジム (AlNd) を含んでいる場合には、ウェットエッチングをする。

【0055】

次いで、図7に示すように、PE - CVD法にて、これら配線部17および容量配線部23を含むゲート絶縁膜15上に膜厚600nmのシリコン酸化物を成膜して層間絶縁膜31を形成する。

【0056】

続いて、図8に示すように、フォトリソ工程にて、各薄膜トランジスタ4,5のソース領域13およびドレイン領域14と、画素補助容量6の容量部22とのそれぞれに連通するコンタクトホール32,33,34,35,36のそれぞれを形成する。 10

【0057】

この後、これらコンタクトホール32,33,34,35,36のそれぞれを含む層間絶縁膜31上に、信号線配線となる導電層74として、例えば膜厚が50nmのモリブデン(Mo)と膜厚500nmのアルミニウム(Al)との積層膜をスパッタ法にて成膜する。

【0058】

続いて、図9に示すように、フォトリソ工程にて導電層74をエッチングして、ソース電極41,43、ドレイン電極42,44および引き出し電極45を形成する。このとき、この導電層74をアルミニウム(Al)やアルミニウム - 銅(AlCu)などの金属で形成した場合には、塩素ガスでエッチングしてパターニングする。 20

【0059】

さらに、図10に示すように、これらソース電極41,43、ドレイン電極42,44および引き出し電極45を含む層間絶縁膜31上の全面に、PE - CVD法にて、膜厚が500nmのシリコン窒化膜を成膜して保護膜51を形成する。

【0060】

続いて、フォトリソ工程にて、この保護膜51をエッチングして、この保護膜51に画素補助容量6の引き出し電極45に導通するコンタクトホール52を形成する。このとき、このエッチングとしては、テトラフルオロメタン(CF₄)ガスと酸素ガスとを用いたプラズマエッチングとした。

【0061】

この後、このコンタクトホール52を含む保護膜51上に透明導電膜をスパッタにて成膜して画素電極53を形成した後、フォトリソ工程およびエッチング工程をして、この画素電極53を画素形状にパターニングする。このとき、この画素電極53のエッチングには、蔞酸(HOOC - COOH)を用いる。 30

【0062】

ここで、従来のように、nチャネル型の薄膜トランジスタおよびpチャネル型の薄膜トランジスタそれぞれのゲート電極を2層化して低抵抗金属である配線部を繋ぐ場合には、第2の金属層を形成する工程として、成膜工程、フォトリソ工程およびエッチング工程の他に、容量部を形成する工程としてフォトリソ工程、n⁺ドーピング工程およびレジスト剥離工程が追加されるため、工程数が増えて生産性が劣化する。 40

【0063】

特に、画素補助容量をポリシリコンにて構成された容量部とゲート絶縁膜とゲート電極とで形成しようとする、このゲート電極を形成する前に容量部となるポリシリコン層にn型ドーパントとしてホスフィン(PH₃)をドーピングして注入しておく必要があった。

【0064】

そこで、上記第1の実施の形態のように、画素補助容量6を、ポリシリコンにて構成された容量部22と、ゲート絶縁膜15と、低抵抗配線である第2の金属層73にて構成された容量配線部23として、この画素補助容量6の容量部22の形成に必要なn⁺ドーピングを、nチャネル型の薄膜トランジスタ4のソース領域13およびドレイン領域14の形成と同時に同一工程とする。

【0065】

この結果、従来必要であった容量形成工程、すなわちフォトリソ工程、 n^+ ドーピング工程およびレジスト剥離工程を無くすることができる。よって、工程数を最小限に抑えてゲート電極16を細線化および低抵抗化できるから、液晶表示装置1として高精細化、高開口率化および低消費電力化できると同時に、メモリ回路や、これまでTAB実装していた駆動回路を内蔵した液晶表示装置1を形成できる。

【0066】

また、 n チャネル型の薄膜トランジスタ4および p チャネル型の薄膜トランジスタ5それぞれをゲート電極16と配線部17との2層構造にした。この結果、熱活性前に形成しなければならないゲート電極16には熱耐性のある材料を用い、画素補助容量6の容量配線部23の引回し長さが長い部分には低抵抗材料を用いて第2の金属層73を熱活性化後に形成する。このため、これら薄膜トランジスタ4,5それぞれのゲート電極16の配線抵抗を微細化および低抵抗化できる。

10

【0067】

したがって、これら薄膜トランジスタ4,5のゲート電極16を2層化にし、かつ画素補助容量6の構造を変更したことによって、アレイ基板2の工程数の増加を最小限に抑えつつ、これら薄膜トランジスタ4,5のゲート電極16を低抵抗化できる。

【0068】

次に、本発明の第2の実施の形態を図11ないし図19を参照して説明する。

【0069】

この図11ないし図19に示す液晶表示装置1は、基本的には図1ないし図10に示す液晶表示装置1と同様であるが、ゲート電極16を含むゲート絶縁膜15上に第1の層間絶縁膜81を形成した後に、この第1の層間絶縁膜81に各ゲート電極16に連通する導通部としてのコンタクトホール82,83を形成してから、これらコンタクトホール82,83を含む第1の層間絶縁膜81上に、第2の金属層73を成膜したものである。

20

【0070】

言い換えると、この液晶表示装置1は、層間絶縁膜31を第1の層間絶縁膜81と第2の層間絶縁膜84との2層に分けて成膜して、これら第1の層間絶縁膜81と第2の層間絶縁膜84との間に第2の金属層73を形成したものである。すなわち、この液晶表示装置1は、第1の金属層72を形成した後に、第1の層間絶縁膜81を介して第2の金属層73を形成したものである。

30

【0071】

そして、この第1の層間絶縁膜81は、各ゲート電極16を含むゲート絶縁膜15上に積層されて成膜されている。また、これら各ゲート電極16上の第1の層間絶縁膜81には、この第1の層間絶縁膜81を面方向に対して垂直な方向に向けて貫通したコンタクトホール82,83が設けられている。これらコンタクトホール82,83は、各ゲート電極16の幅寸法に等しい幅寸法を有している。そして、これらコンタクトホール82,83には、配線部17が形成されている。これら配線部17のそれぞれは、各ゲート電極16に対して電氣的に接続されている。

【0072】

さらに、これら配線部17および容量配線部23を含む第1の層間絶縁膜81上には、第2の層間絶縁膜84が積層されて成膜されている。そして、これら第2の層間絶縁膜84、第1の層間絶縁膜81およびゲート絶縁膜15には、これら第2の層間絶縁膜84、第1の層間絶縁膜81およびゲート絶縁膜15のそれぞれを面方向に直交する垂直方向である上下方向に向けて貫通した複数のコンタクトホール32,33,34,35,36が開口されている。

40

【0073】

次に、上記第2の実施の形態のアレイ基板の製造方法を説明する。

【0074】

なお、ゲート絶縁膜15上にゲート電極16を形成するまでの工程は、上記第1の実施の形態の図2ないし図4に示す工程と同様である。

50

【 0 0 7 5 】

そして、図 1 2 に示すように、P E - C V D 法にて、各ゲート電極 16 を含むゲート絶縁膜 15 上に膜厚 5 0 n m のシリコン酸化物を成膜して第 1 の層間絶縁膜 81 を形成する。このとき、この第 1 の層間絶縁膜 81 の膜厚は、画素補助容量 6 での容量が製品スペックの値よりも大きくなるように決定する。

【 0 0 7 6 】

次いで、図 1 3 に示すように、フォトリソ工程にて、第 1 の層間絶縁膜 81 に各ゲート電極 16 との接合のためのコンタクトホール 82, 83 を形成する。

【 0 0 7 7 】

この後、図 1 4 に示すように、これらコンタクトホール 82, 83 を含む第 1 の層間絶縁膜 81 上に、各ゲート電極 16 間を結ぶ配線部 17 および画素補助容量 6 の容量配線部 23 となる第 2 の金属層 73 を低抵抗材料膜にて成膜した後に、図 1 5 に示すように、フォトリソ工程をしてからエッチング工程をする。ここで、これらフォトリソ工程およびエッチング工程は、上記第 1 の実施の形態と同様である。

【 0 0 7 8 】

さらに、図 1 6 に示すように、各配線部 17 および容量配線部 23 を含む第 1 の層間絶縁膜 81 上に膜厚 6 0 0 n m のシリコン酸化物を成膜して第 2 の層間絶縁膜 84 を形成する。

【 0 0 7 9 】

この後、図 1 7 に示すように、フォトリソ工程にて、この第 2 の層間絶縁膜 84、第 1 の層間絶縁膜 81 およびゲート絶縁膜 15 を貫通する複数のコンタクトホール 32, 33, 34, 35, 36 を形成する。

【 0 0 8 0 】

さらに、図 1 8 に示すように、これらコンタクトホール 32, 33, 34, 35, 36 のそれぞれを含む第 2 の層間絶縁膜 84 上に、信号線配線となる導電層 74 を成膜してから、この導電層 74 をフォトリソ工程にてエッチングして、ソース電極 41, 43、ドレイン電極 42, 44 および引き出し電極 45 を形成する。

【 0 0 8 1 】

次いで、図 1 9 に示すように、これらソース電極 41, 43、ドレイン電極 42, 44 および引き出し電極 45 を含む層間絶縁膜 31 上の全面に、P E - C V D 法にてシリコン窒化膜を成膜して保護膜 51 を形成する。

【 0 0 8 2 】

この後、フォトリソ工程にて、この保護膜 51 をエッチングしてコンタクトホール 52 を形成してから、このコンタクトホール 52 を含む保護膜 51 上に画素電極 53 を形成する。

【 0 0 8 3 】

上述したように、上記第 2 の実施形態によれば、層間絶縁膜 31 を第 1 の層間絶縁膜 81 と第 2 の層間絶縁膜 84 との 2 層構造としたため、上記第 1 の実施の形態に比べ、コンタクトホール 82, 83 を形成する工程が増える。ところが、第 2 の金属層 73 をエッチングする際に、第 1 の金属層 72 のゲート電極 16 が第 1 の層間絶縁膜 81 にて保護されるため、高選択比エッチングを用いる必要がなくなるから、第 2 の金属層 73 のエッチング加工が容易になる。

【 0 0 8 4 】

また、第 1 の金属層 72 のゲート電極 16 をエッチングするときにゲート絶縁膜 15 が 3 0 n m 程度オーバーエッチングされてしまう。このため、これらゲート電極 16 およびゲート絶縁膜 15 にて高性能な薄膜トランジスタ 4, 5 を形成した場合に、このゲート絶縁膜 15 が薄いと、画素補助容量 6 となる部分のゲート絶縁膜 15 の膜厚が薄くなってしまう。

【 0 0 8 5 】

さらに、ポリシリコン膜 71 をレーザアニールにて形成する場合には、このポリシリコン膜 71 の表面に突起が形成されてしまうおそれがある。したがって、画素補助容量 6 の容量部 22 となる部分のゲート絶縁膜 15 の膜厚が薄い場合には、ポリシリコン膜 71 から形成された容量部 22 と第 2 の金属層 73 から形成された容量配線部 23 との間が十分に絶縁されずに、これら容量部 22 と容量配線部 23 との間がリークしてしまうおそれがある。この結果、液晶

表示装置 1 に点欠点が生じて歩留まりが低下するおそれがある。

【0086】

したがって、上記第 2 の実施の形態では、ゲート絶縁膜 15 の膜厚が薄い(例えば、90 nm 以下)液晶表示装置 1 の場合に、特に生産性を向上できる。

【0087】

なお、上記各実施の形態では、画素補助容量 6 の容量部 22 と容量配線部 23 との間の容量を、液晶表示装置 1 を駆動させる回路部容量とすることもできる。

【0088】

また、第 1 の金属層 72 としては、モリブデン(Mo)を含んだ合金、すなわち、モリブデン - タングステン(MoW)およびモリブデン - タantal(MoTa)のいずれかで構成することもできる。 10

【0089】

さらに、第 2 の金属層 73 としては、アルミニウム(Al)を含んだ合金、すなわち、アルミニウム(Al)およびアルミニウム - 銅(AlCu)の少なくともいずれか一方と、モリブデン(Mo)、チタン(Ti)および窒化チタン(TiN)の少なくともいずれかとの積層膜にて構成することもできる。

【図面の簡単な説明】

【0090】

【図 1】本発明の液晶表示装置の第 1 の実施の形態を示す説明断面図である。

【図 2】同上液晶表示装置の透光性基板上に第 1 の導電層を形成した状態を示す説明断面図である。 20

【図 3】同上液晶表示装置の p チャンネル型の薄膜トランジスタのソース領域およびドレイン領域となる部分をドーピングする状態を示す説明断面図である。

【図 4】同上液晶表示装置の n チャンネル型の薄膜トランジスタのソース領域およびドレイン領域となる部分と補助容量の容量部となる部分とをドーピングする状態を示す説明断面図である。

【図 5】同上液晶表示装置のゲート電極を含むゲート絶縁膜上に第 2 の金属層を形成した状態を示す説明断面図である。

【図 6】同上液晶表示装置の第 2 の導電層をパターンニングした状態を示す説明断面図である。 30

【図 7】同上液晶表示装置の配線部および容量配線部を含むゲート絶縁膜上に層間絶縁膜を設けた状態を示す説明断面図である。

【図 8】同上液晶表示装置の層間絶縁膜にコンタクトホールを形成した状態を示す説明断面図である。

【図 9】同上液晶表示装置のコンタクトホールを含む層間絶縁膜上に形成した導電層をパターンニングした状態を示す説明断面図である。

【図 10】同上液晶表示装置のソース電極、ドレイン電極および引き出し電極を含む層間絶縁膜上に保護膜を形成した状態を示す説明断面図である。

【図 11】本発明の第 2 の実施の形態の液晶表示装置を示す説明断面図である。

【図 12】同上液晶表示装置のゲート電極を含むゲート絶縁膜上に第 1 の層間絶縁膜を形成した状態を示す説明断面図である。 40

【図 13】同上液晶表示装置の第 1 の層間絶縁膜にコンタクトホールを形成した状態を示す説明断面図である。

【図 14】同上液晶表示装置のコンタクトホールを含む第 1 の層間絶縁膜上に第 2 の金属層を形成した状態を示す説明断面図である。

【図 15】同上液晶表示装置の第 2 の金属層をパターンニングした状態を示す説明断面図である。

【図 16】同上液晶表示装置の配線部および容量配線部を含むゲート絶縁膜上に第 2 の層間絶縁膜を設けた状態を示す説明断面図である。

【図 17】同上液晶表示装置の第 2 の層間絶縁膜にコンタクトホールを形成した状態を示 50

す説明断面図である。

【図 18】同上液晶表示装置のコンタクトホールを含む第 2 の層間絶縁膜上に形成した導電層をパターニングした状態を示す説明断面図である。

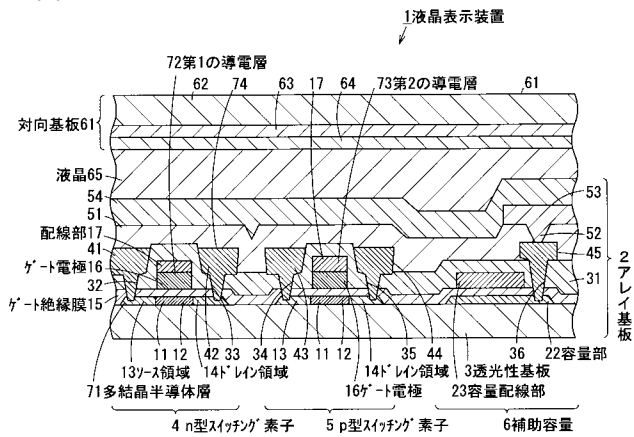
【図 19】同上液晶表示装置のソース電極、ドレイン電極および引き出し電極を含む第 2 の層間絶縁膜上に保護膜を形成した状態を示す説明断面図である。

【符号の説明】

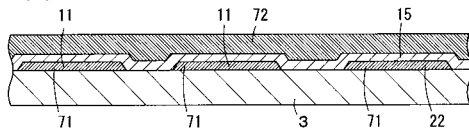
【0091】

1	液晶表示装置	
2	アレイ基板	
3	透光性基板としてのガラス基板	10
4	n 型スイッチング素子としての n チャネル型の薄膜トランジスタ	
5	p 型スイッチング素子としての p チャネル型の薄膜トランジスタ	
6	補助容量としての画素補助容量	
13	ソース領域	
14	ドレイン領域	
15	ゲート絶縁膜	
16	ゲート電極	
17	配線部	
22	容量部	
23	容量配線部	20
61	対向基板	
65	液晶	
71	多結晶半導体層としてのポリシリコン膜	
72	第 1 の導電層としての第 1 の金属層	
73	第 2 の導電層としての第 2 の金属層	
81	層間絶縁膜としての第 1 の層間絶縁膜	
82,83	導通部としてのコンタクトホール	

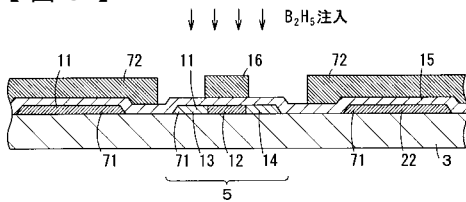
【図 1】



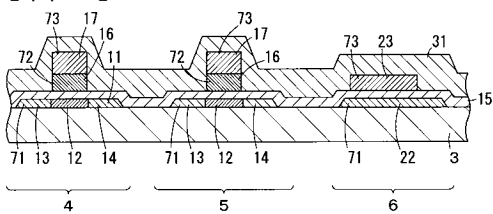
【図 2】



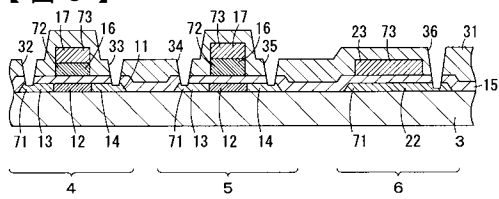
【図 3】



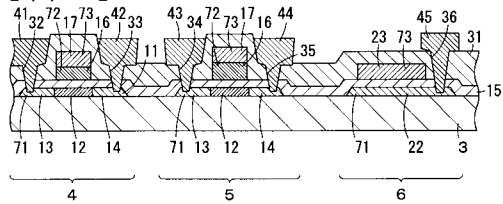
【図 7】



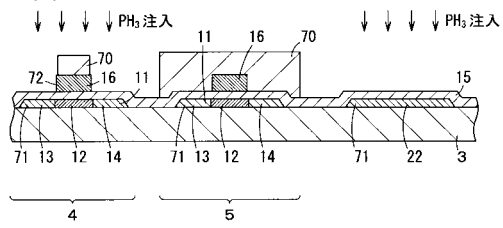
【図 8】



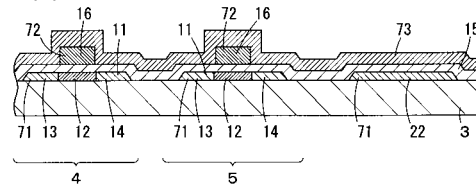
【図 9】



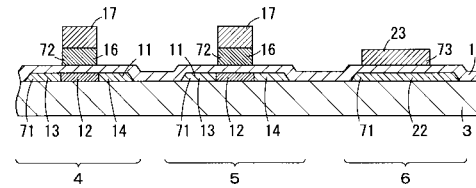
【図 4】



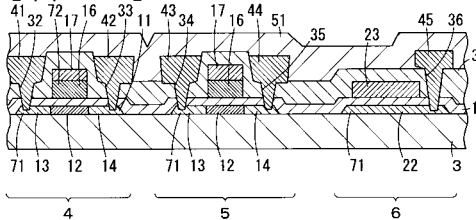
【図 5】



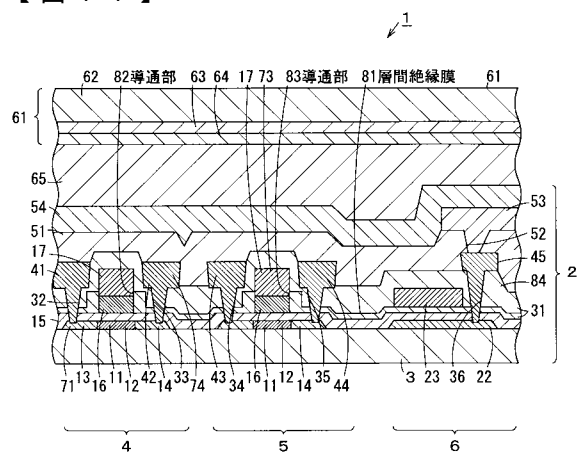
【図 6】



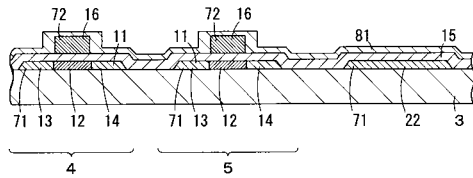
【図 10】



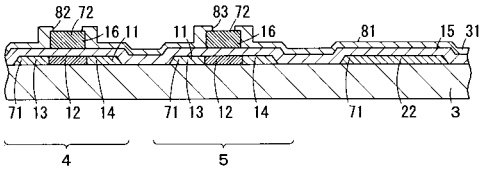
【図 11】



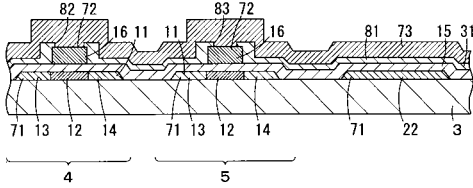
【図 1 2】



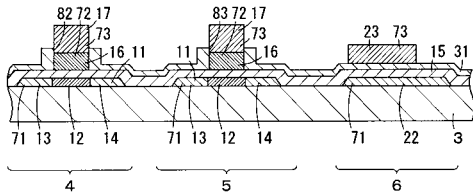
【図 1 3】



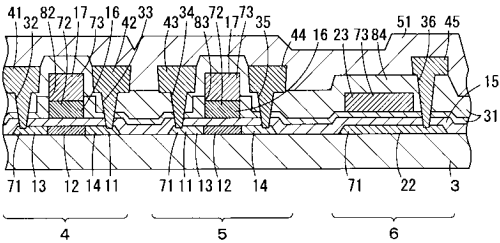
【図 1 4】



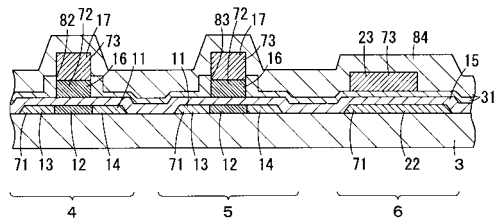
【図 1 5】



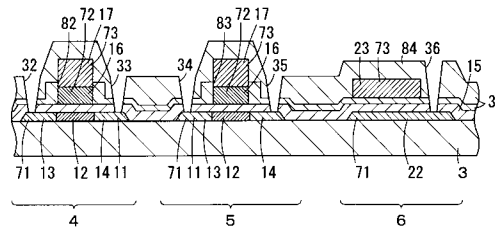
【図 1 9】



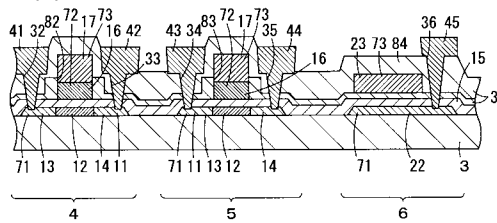
【図 1 6】



【図 1 7】



【図 1 8】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 29/423	H 0 1 L 29/58	G
H 0 1 L 29/49	H 0 1 L 29/78	6 1 2 Z

(72)発明者 石田 有親

東京都港区港南四丁目 1 番地 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H092 GA29 GA59 JA25 JA34 JA40 JA46 JB44 JB62 JB69 KA04
 KA10 KA12 KA15 KA18 KB25 MA05 MA07 MA08 MA13 MA17
 MA18 MA19 MA22 MA27 MA30 NA07 NA26 NA27 NA28 PA01
 4M104 AA01 AA08 AA09 BB01 BB16 BB18 CC05 DD64 DD65 FF13
 FF17 FF18 FF22 GG08 GG19 HH14 HH16
 5F033 HH08 HH09 HH10 HH18 HH20 HH22 HH33 JJ01 JJ08 JJ09
 JJ20 KK01 KK04 MM05 MM13 NN06 NN07 PP15 QQ08 QQ09
 QQ10 QQ11 QQ19 QQ37 QQ58 QQ65 RR04 SS15 VV06 VV10
 VV15 XX03 XX20 XX33
 5F110 AA03 AA09 AA26 BB02 BB06 BB07 BB09 CC02 DD02 DD13
 DD14 DD17 EE04 EE06 EE11 EE14 FF02 FF27 FF30 GG02
 GG13 GG25 GG28 GG32 GG34 GG44 GG52 HJ01 HJ04 HJ13
 HJ23 HL03 HL04 HL06 HL11 HL23 HM15 NN03 NN04 NN23
 NN24 NN55 NN72 NN73 PP03 QQ11

专利名称(译)	阵列基板，液晶显示装置和阵列基板的制造方法		
公开(公告)号	JP2005064337A	公开(公告)日	2005-03-10
申请号	JP2003294583	申请日	2003-08-18
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	松浦由紀 石田有親		
发明人	松浦 由紀 石田 有親		
IPC分类号	G02F1/1368 H01L21/28 H01L21/3205 H01L21/336 H01L23/52 H01L27/12 H01L29/423 H01L29/49 H01L29/786		
CPC分类号	H01L27/12 H01L29/78675		
FI分类号	H01L29/78.617.L G02F1/1368 H01L21/28.301.R H01L21/88.N H01L21/88.R H01L29/58.G H01L29/78.612.Z		
F-TERM分类号	2H092/GA29 2H092/GA59 2H092/JA25 2H092/JA34 2H092/JA40 2H092/JA46 2H092/JB44 2H092/JB62 2H092/JB69 2H092/KA04 2H092/KA10 2H092/KA12 2H092/KA15 2H092/KA18 2H092/KB25 2H092/MA05 2H092/MA07 2H092/MA08 2H092/MA13 2H092/MA17 2H092/MA18 2H092/MA19 2H092/MA22 2H092/MA27 2H092/MA30 2H092/NA07 2H092/NA26 2H092/NA27 2H092/NA28 2H092/PA01 4M104/AA01 4M104/AA08 4M104/AA09 4M104/BB01 4M104/BB16 4M104/BB18 4M104/CC05 4M104/DD64 4M104/DD65 4M104/FF13 4M104/FF17 4M104/FF18 4M104/FF22 4M104/GG08 4M104/GG19 4M104/HH14 4M104/HH16 5F033/HH08 5F033/HH09 5F033/HH10 5F033/HH18 5F033/HH20 5F033/HH22 5F033/HH33 5F033/JJ01 5F033/JJ08 5F033/JJ09 5F033/JJ20 5F033/KK01 5F033/KK04 5F033/MM05 5F033/MM13 5F033/NN06 5F033/NN07 5F033/PP15 5F033/QQ08 5F033/QQ09 5F033/QQ10 5F033/QQ11 5F033/QQ19 5F033/QQ37 5F033/QQ58 5F033/QQ65 5F033/RR04 5F033/SS15 5F033/VV06 5F033/VV10 5F033/VV15 5F033/XX03 5F033/XX20 5F033/XX33 5F110/AA03 5F110/AA09 5F110/AA26 5F110/BB02 5F110/BB06 5F110/BB07 5F110/BB09 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD17 5F110/EE04 5F110/EE06 5F110/EE11 5F110/EE14 5F110/FF02 5F110/FF27 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG28 5F110/GG32 5F110/GG34 5F110/GG44 5F110/GG52 5F110/HJ01 5F110/HJ04 5F110/HJ13 5F110/HJ23 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL11 5F110/HL23 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN23 5F110/NN24 5F110/NN55 5F110/NN72 5F110/NN73 5F110/PP03 5F110/QQ11 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB12 2H192/CB24 2H192/CB34 2H192/CC07 2H192/CC32 2H192/DA44 2H192/EA74		
代理人(译)	山田哲也		
其他公开文献	JP4723800B2		
外部链接	Espacenet		

摘要(译)

提供一种能够减薄和降低栅电极电阻的液晶显示装置。 在包括多个岛状多晶硅膜的玻璃基板上形成栅极绝缘膜。形成在栅极绝缘膜15上的第一金属层72被图案化，以在要成为薄膜晶体管4和5的部分中与多晶硅层11相对的栅极绝缘膜15上形成栅电极16。第二金属层73形成在包括栅电极16的栅极绝缘膜15上。布线部分17层叠在薄膜晶体管4和5的栅电极16上。 点域1

