

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-518173

(P2004-518173A)

(43) 公表日 平成16年6月17日(2004.6.17)

(51) Int.Cl.⁷

G02F 1/1343

G02F 1/1335

F I

G02F 1/1343

G02F 1/1335 500

テーマコード (参考)

2H091

2H092

審査請求 未請求 予備審査請求 未請求 (全 42 頁)

(21) 出願番号 特願2002-559754 (P2002-559754)
 (86) (22) 出願日 平成14年1月21日 (2002.1.21)
 (85) 翻訳文提出日 平成14年10月7日 (2002.10.7)
 (86) 国際出願番号 PCT/IB2002/000228
 (87) 国際公開番号 W02002/059690
 (87) 国際公開日 平成14年8月1日 (2002.8.1)
 (31) 優先権主張番号 0102167.4
 (32) 優先日 平成13年1月27日 (2001.1.27)
 (33) 優先権主張国 英国 (GB)
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), JP, KR

(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アイン
 ドーフェン フルーネヴァウツウェッハ
 1
 Groenewoudseweg 1, 5
 621 BA Eindhoven, The Netherlands
 (74) 代理人 100092048
 弁理士 沢田 雅男

最終頁に続く

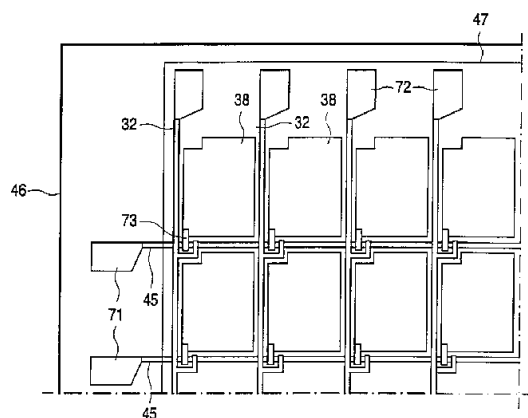
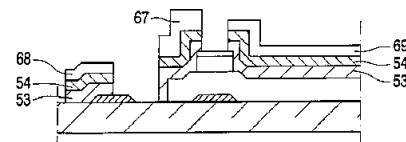
(54) 【発明の名称】 アクティブマトリクス液晶ディスプレイのようなピクセル化されたデバイスおよびその製作方法

(57) 【要約】

【課題】 アドレスラインの導電率が改良されている同一の透明導電材料から形成されるピクセル電極とそれに関係するアドレスラインとを有する、アクティブマトリクス液晶ディスプレイのようなピクセル化されたデバイスのアクティブプレートの製造に用いられる方法を提供すること。

【解決手段】 透明導電層 (53) および金属層 (54) を連続して堆積し、続いて、ピクセル電極およびアドレスラインに対応する領域 (67, 68, 69) の形状にパターン化し、それらのそれぞれの領域における性質が相異なる遮蔽層 (60) (例えば、フォトリソグ) を堆積させる。このことは、この層 (遮蔽層) のピクセル電極に対応する領域をエッチングによって選択的に除去することを可能にする。これによって、アドレスラインに金属を残して、その領域における金属を選択的に除去することが可能になる。

本方法は、アドレスラインの導電度が改良された低マスク枚数 TFT アクティブプレートの製造を簡単化する。



【特許請求の範囲】

【請求項 1】

透明導電材料から形成されているピクセル電極とそれに関係するアドレスラインとを有するアクティブプレートの製造方法であって、
基板上に透明導電材料層と金属層とを連続して設ける工程と、
前記ピクセル電極および前記アドレスラインに要求される前記透明導電層の所望のパターンに対応する形状に遮蔽層を堆積／パターンニングする工程であって、前記ピクセル電極に対応する領域における前記遮蔽層のエッチング特性が、前記アドレスラインに対応する領域における前記遮蔽層のエッチング特性と異なるように、前記遮蔽層を形成する工程と、
前記特性の違いを利用して、前記アドレスラインに対応する領域に前記遮蔽層の一部を残して、前記ピクセル電極に対応する前記遮蔽層の領域が除去されるように、前記遮蔽層にエッチングプロセスを施す工程と、
その後、前記ピクセル電極に対応する前記領域の金属層部分を除去する工程と、を有するアクティブプレートの製造方法。

【請求項 2】

前記 2 つの領域で異なる前記遮蔽層の前記特性に層厚が含まれ、前記ピクセル電極に対応する前記遮蔽層の領域が、薄い方の領域を有し、前記遮蔽層をエッチングする工程が、前記薄い方の遮蔽層領域を除去する部分エッチングを有することを特徴とする請求項 1 に記載のアクティブプレートの製造方法。

【請求項 3】

前記遮蔽層が、フォトレジストを有することを特徴とする請求項 2 に記載のアクティブプレートの製造方法。

【請求項 4】

前記遮蔽層が、それらの領域において厚さの減少したエリアを生ずるために、前記ピクセル電極に対応する領域において前記フォトレジスト材料に部分露光をもたらす区画を有するフォトマスクを用いてパターン化されることを特徴とする請求項 3 に記載のアクティブプレートの製造方法。

【請求項 5】

前記透明導電層が、透明な金属酸化物を有することを特徴とする請求項 1 ～ 4 のいずれかに記載のアクティブプレートの製造方法。

【請求項 6】

前記ピクセル電極および前記アドレスラインと関係させて前記基板上に T F T を形成させ、そして、前記透明導電層の複数の部分域を、前記 T F T へのソースコンタクトおよびドレインコンタクトを設けるために使用するアクティブプレートの製造方法であって、前記透明導電層の複数の部分域を、前記パターン化された遮蔽層の複数の領域によって画定させることを特徴とする請求項 1 ～ 5 のいずれかに記載のアクティブプレートの製造方法。

【請求項 7】

アクティブマトリクス液晶ディスプレイデバイスのアクティブプレートを形成するための請求項 1 ～ 6 のいずれかに記載のアクティブプレートの製造方法。

【請求項 8】

液晶ディスプレイのアクティブプレートの製造方法であって、
絶縁基板上にゲート導体層を堆積／パターンニングする工程と、
前記パターン化されたゲート導体層上にゲート絶縁体層を堆積する工程と、
前記ゲート絶縁体層上にシリコン層を堆積する工程と、
基板上に透明導体層を堆積する工程と、
前記透明導体層上に金属層を堆積する工程と、
前記金属層の上にエッチング可能な遮蔽層を堆積／パターンニングする工程であって、前記遮蔽層が、ソース導体エリアおよびドレイン導体エリア、ピクセル電極エリア、および、前記ソース導体または前記ドレイン導体に関係するライン導体のエリアを画定する形状を持ち、そして、前記ライン導体エリアを画定する前記遮蔽層の領域が、前記ピクセル電極

10

20

30

40

50

エリアを画定する前記遮蔽層の領域よりも厚い厚さを持つ工程と、
前記遮蔽層を用いて前記透明導体層および前記金属層をパターンニングする工程と、
前記遮蔽層を部分エッチングして、前記ピクセル電極領域において前記金属層を露出させるように前記薄い側の遮蔽層を除去する工程と、
前記ピクセル電極領域の前記金属層領域を除去する工程と、を有することを特徴とするアクティブプレートの製造方法。

【請求項 9】

前記シリコン層が、前記ゲート導体層を用いたセルフアラインプロセスによって、前記透明導体層の堆積に先立ってパターン化されることを特徴とする請求項 8 に記載のアクティブプレートの製造方法。

10

【請求項 10】

前記遮蔽層が、フォトリジストを有することを特徴とする請求項 8 または 9 に記載のアクティブプレートの製造方法。

【請求項 11】

請求項 8～10 のいずれかに記載のアクティブプレートと、パッシブプレートと、前記アクティブプレートと前記パッシブプレートとの間に挟持された液晶材料層と、を有するアクティブマトリクス液晶ディスプレイデバイス。

【発明の詳細な説明】

【発明が属する技術分野】

本発明は、アクティブマトリクス液晶ディスプレイのようなピクセル化されたデバイスに関し、特に、そのようなデバイスの製作に用いられ、アクティブプレートとして知られるアクティブマトリクス回路を有する基板を製造する方法に関するものである。

20

【従来の技術】

アクティブマトリクス液晶ディスプレイ（AMLCD）は、一般的に、中間に液晶材料が挟持された 1 枚のアクティブプレートと 1 枚のパッシブプレートとを有している。アクティブプレートは、一般的にディスプレイの各ピクセルに 1 個のトランジスタが組み合わされたトランジスタスイッチングデバイスアレイを有している。各ピクセルは、また、個々のピクセルのディスプレイ出力を制御するための信号が印加される 1 個のピクセル電極を、アクティブプレート上に持っている。

図 1 は、AMLCD のアクティブプレートの一公知例におけるピクセルを構成する電気的な構成要素を示している。ピクセルは、行および列に配列されている。ピクセルの行導体 10 は、TFT（薄膜トランジスタ）12 のゲートに接続され、列電極 14 は、ソースに結合されている。1 個のピクセルのピクセル電極上に配置されている液晶材料が、実質的に、トランジスタ 12 のドレインとコモングラウンドプレート 18 との間に接続された 1 個の液晶セル 16 を定めている。必ずしも備わっているとは限らないが、ピクセル蓄積キャパシタ 20 が、トランジスタ 12 のドレインと、隣接する行のピクセルに関係する行導体 10 との間に接続されている。

30

透過型ディスプレイにおいては、大面積のアクティブプレートは、少なくとも一部は透明である。これは、この型のディスプレイがバックライトによって照射されるために必要となる。これらのディスプレイデバイスにおいては、ピクセル電極は、透明でなければなら
ないが、一方、列導体および行導体は、通常、不透明である金属ラインとして形成される。クロム、アルミニウム、合金、または、多層構造などの金属層が、高導電率の故に列導体および行導体として用いられ、これによりデバイス性能が向上する。ピクセル駆動信号が印加されるライン（通常、列ライン）の導電率は、大面積ディスプレイにおいて特に重要である。何故なら、相当な大きさの電圧降下が、そのラインの長さ方向に渡って発生し、そのライン（列）に沿う全てのピクセルを均一に駆動することを不可能にすることがあるためである。

40

金属列導体を用いることに伴う問題は、列導体とピクセル電極とを形成するのに、別々の堆積処理とリソグラフィ処理とが必要とされるということである。ピクセル電極は、透明でなければならず、一般的に、透明な導電性酸化膜により形成される。製作プロセスに

50

おけるリソグラフィー工程が、製作プロセス費用に対する最も大きな寄与要素であるということは周知のことである。各リソグラフィー工程が、費用を増大させるのみならず、プロセスの歩留りを減少させるということは容易に考えられることである。

通常のLCDのアクティブプレートの製作プロセスは、5枚マスクプロセスである。図2に示されるボトムゲート型TFT-LCDアクティブプレートを参照すると、プロセス工程は、それぞれ、異なるマスク画定を必要とし、以下ようになる。

- (i) 基板21上に、(行導体の一部分である)ゲート22を画定する工程。
- (ii) 下側が真性層24、上側がドーパされたコンタクト層26を有する(全構造を覆うゲート誘電体23の上に横たわる)アモルファスシリコンの島を画定する工程。
- (iii) 金属のソース28、ドレイン30、および、列電極32を画定する工程。
- (iv) 基板全体を覆うパッシベーション層36内にコンタクトホール34を画定する工程。
- (v) ホール34を通してドレイン10に接触する透明ピクセル電極38を画定する工程。

10

図1に示されるキャパシタは、1つのピクセル電極と、隣接する行の行/ゲート導体の一部とが重なり合う領域を設けることによって、ゲート誘電体を用いて簡単に形成される。コストを減少させ、また、歩留りを上昇させるために、製作プロセスのリソグラフィー工程数、したがって、マスク枚数を削減させる様々な提案がなされている。

例えば、ピクセル電極と同じ透明導電性酸化膜により列導体を形成し、それらのピクセル構造の構成要素と一緒に堆積し、かつ、パターン化させることを可能にするという提案がある。さらに他の手段を加えることによって2枚マスクプロセスが可能になる。このことは、図3に示されるボトムゲート型TFT-LCDアクティブプレートを参照して説明される。このプロセス工程は、それぞれ異なるマスク画定を必要とし、以下ようになる。

20

- (i) ゲート22(および行導体)を画定する工程。
 - (ii) (TFTのソース28も構成する)透明列電極32および(TFTのドレイン30も構成する)ピクセル電極38を画定する工程。
- 半導体層24、26の島の画定は、例えば、基板側からの露光を用いることによって、ゲート22を利用してセルフアライメントプロセスによって達成させることができる。もちろん、その半導体層は、(上述の工程(i)と工程(ii)との間に)3番目のマスク工程を用いても、同様に形成させることが出来る。ディスプレイの周縁部にゲートラインへの接点を割り当てるために、ゲート絶縁体23は、アレイの縁において、低精度のステージを用いてエッチングによって除去される。

30

この構造の場合、列ラインに使用される透明導電性酸化膜の抵抗が高いため、この構造を、大きな(TVサイズの)ディスプレイに使用することは出来ない。

このため、さらに、ピクセル電極の透明性に影響を与えずに、層の列導体エリアを、導電率が増加するように処理しようとする提案がなされている。例えば、文献“Conductivity Enhancement of Transparent Electrode by Side-Wall Copper Electroplating”, J. Liu et al, SID 93 Digest, page 554には、金属酸化物の列ラインの側壁に銅バスを電気めっきすることによって導電率を上昇させる方法が開示されている。このプロセスには、銅成長の種として働く金属酸化物の残留物を残す不完全エッチングプロセスが含まれている。このプロセスは複雑であり、また、制御することが困難である。さらに、銅バスは、ソース電極およびドレイン電極を囲むことになり、バスを形成しているときの急速な横方向への銅の成長によってソースとドレインとの間に短絡が発生する危険性がある。ソース電極およびドレイン電極の周囲の銅バスは、また、TFTのチャネル長に影響を与え、したがって、TFT特性を予測し難いものとする。

40

WO 99/59024号公報には、透明電極に隣接してパターン化された金属層を設けることによって透明電極の導電率を上昇させる方法が開示されている。

それでもなお、プロセスを大きく複雑化させることなく、ITOのような透明金属酸化物

50

層の導電率を増加させる簡単なプロセスが必要とされている。そのようなプロセスは、例えば、アクティブマトリクスLCDの製作に応用されるであろうだけでなく、透明導電層を、ある領域において導電性が高くなるようにしながら、他の領域において透明性を失うことのないようにできる場合でもマスク枚数の削減を達成したい他の技術に対しても有用であろう。これは、例えば、ポリマーLEDディスプレイおよび大面積イメージセンサにとって有益であろう。

【課題を解決するための手段】

本発明の第1の観点によれば、同一の透明導電材料を用いてつくられているピクセル電極とそれに関係するアドレスラインとを有するアクティブプレートの製造方法であって、基板上に透明導電材料層と金属層とを連続して設ける工程と、

10

前記ピクセル電極および前記アドレスラインに要求される前記透明導電層の所望のパターンに対応する形状に遮蔽層を堆積／パターニングする工程であって、前記ピクセル電極に対応する領域における前記遮蔽層のエッチング特性が、前記アドレスラインに対応する領域における前記遮蔽層のエッチング特性と異なるように、前記遮蔽層が形成される工程と

、

前記特性の違いを利用して、前記アドレスラインに対応する領域に前記遮蔽層の一部を残しながら、前記ピクセル電極に対応する前記遮蔽層の領域を除去するように、前記遮蔽層にエッチングプロセスを施す工程と、

その後、前記ピクセル電極に対応する前記領域の金属層部分を除去する工程と、を有するアクティブプレートの製造方法、が提供される。遮蔽層の残った部分は、その後、除去される。

20

本方法により、ピクセル電極が、透明導電材料を有し、また、それに関係するアドレスラインが、ピクセル電極と同じ堆積層からなる透明導電材料と、その上の金属被覆層とを有しているアクティブプレートが製造される。したがって、アドレスラインは、透明導電材料とその上の金属との組み合わせを有して複合的な性質を持ち、その故に、アドレスラインの実効的な電気伝導率は、透明導電材料のみを有する公知の方法のそれと比較して、相対的に改善される。同時に、L i u等によって提案されたアプローチに必要とされる種類のめっき法の複雑性が、回避される。

本発明は、ピクセル電極の高い透明性を保ちながら、低抵抗を持つアドレスラインをつくりだす簡単なプロセスを提供する。このプロセスは、AMLCDやその類似のもののアクティブプレートを作製するための全体として簡単で、低マスク枚数の製造方法に適合しており、大画面および／または高精細のデバイスを実現させるために必要とされるラインの導電性およびピクセルの透明性に関する特性を満足させる。本発明が、現存する製造装置に適合するという利点を持つということも重要なことである。

30

遮蔽層は、フォトレジストを有することが望ましい。

望ましい一実施例では、ピクセル電極と領域に対応するアドレスラインとで相異なり、かつエッチング特性に影響を与える遮蔽層の性質には、層厚が含まれる。この実施例の場合には、遮蔽層の厚さが、ピクセル電極に対応する領域におけるよりも、アドレスラインに対応する領域において厚くされている。

遮蔽層にフォトレジストを用いたとき、その層の、厚さの異なる複数の選択領域へのパターニングは、C. W. Han等によって、SID Proceedings of the 18th International Display Research Conference, (Asia Display '98)の1109頁から1112頁に公表された“A TFT manufactured by 4 masks process with new photolithography”と題する論文に記載されている種類のフォトリソグラフィによるパターニング技術を用いて、好適に行なうことができる。この技術には、遮光区画および透明区画の他に、グリッド即ちスリットパターンを有する領域を持つフォトマスクの使用を必要とする。それらの領域（スリットパターンを有する領域）は、回折効果によって、フォトレジストの露光の程度、したがって、最終のフォトレジストの厚さを制御し、それによって、その厚さが、マスクの遮光領域によって生じ

40

50

る厚さよりも薄くなる。

遮蔽層に厚さの異なる複数の選択領域をつくりだすために他の技術を用いてもよいこと、また、各エリアで異なり、他のエリアには遮蔽層材料を残しながら、あるエリアを選択的にエッチングすることによって除去することができるようなエッチング特性に影響を与える遮蔽層の性質が、厚さ以外のものであってもよいことは、容易に予測し得ることである。

本発明の第2の観点によれば、液晶ディスプレイのアクティブプレートの製造方法であって、

絶縁基板上にゲート導体層を堆積／パターニングする工程と、

前記パターン化されたゲート導体層上にゲート絶縁体層を堆積する工程と、

前記ゲート絶縁体層上にシリコン層を堆積する工程と、

基板上に透明導体層を堆積する工程と、

前記透明導体層上に金属層を堆積する工程と、

前記金属層の上にエッチング可能な遮蔽層を堆積／パターニングする工程であって、前記遮蔽層が、ソース導体エリアおよびドレイン導体エリア、ピクセル電極エリア、および、前記ソース導体または前記ドレイン導体に関するライン導体のエリアを画定する形状を持ち、そして、前記ライン導体エリアを画定する前記遮蔽層の領域が、前記ピクセル電極エリアを画定する前記遮蔽層の領域よりも厚い厚さを持つ工程と、

前記遮蔽層を用いて前記透明導体層および前記金属層をパターニングする工程と、

前記遮蔽層を部分エッチングして、前記ピクセル電極領域において前記金属層を露出させるように前記薄い側の遮蔽層を除去する工程と、

前記ピクセル電極領域の前記金属層領域を除去する工程と、を有することを特徴とするアクティブプレートの製造方法、が提供される。

この方法は、シリコン層をゲート導体にセルフアラインに形成させる場合に、透明導体材料を有するアドレスラインの導電率が、金属層領域を被せることによって改善される、2枚マスクプロセスによりアクティブプレートを製造することを可能にする。

本発明は、アクティブマトリクス液晶ディスプレイのアクティブプレートの製作に使用するのに好適である。本発明は、また、このアクティブプレートと、パッシブプレートと、前記アクティブプレートと前記パッシブプレートとの間に挟持された液晶材料層と、を有するアクティブマトリクス液晶ディスプレイを提供する。

【発明の実施の形態】

本発明の実施例が、具体的な例として、以下に図面を参照して詳細に記載される。

図面はダイアグラムであり、正確な縮尺率で描かれているわけではないということに注意されたい。これらの図面の構成要素の相対的な寸法および面積は、図面を明瞭かつ便利に表現するために、誇張して、または、縮小して示されている。全図を通じて、同一の、領域に対応する、同様の部分を示すために、同一の参照番号が使用されている。

アクティブマトリクス液晶ディスプレイのアクティブプレートを製造するための低マスク枚数プロセスへの本発明の適用が、図5A～5Mを参照して、以下に記載される。そのプロセスの最初の工程は、公知の2-マスクプロセスと同様である。

図5Aは、低マスク枚数プロセスの最初の過程の線図的なダイアグラムである。（図示されない行アドレス導体とともに）ゲート金属45が、例えばガラスのような絶縁体基板46上に堆積され、そして、画定され、さらに、標準的なバックチャネルエッチ型TFTスタックの堆積が行なわれる。これによって、基板表面から順に、シリコン窒化膜ゲート絶縁体層47、アモルファスシリコン層48、および、コンタクト面として働くドーパされたアモルファスシリコン層49が、設けられる。図5Aの右側のエリアは、ピクセルに関するスイッチングトランジスタ（図1の12）を形成するために使われ、一方、図5Aの左側は、駆動（ゲート）信号が行導体に印加される行リードインエリアを形成している。典型的には、SiNゲート絶縁体47は400nm厚であり、真性アモルファスシリコン48は160nm厚であり、ドーパされたアモルファスシリコンは40nm厚であるが、これらに限定されるわけではなく、他の厚さの層も用いることが出来る。ドーパされた

シリコン層 49 は、シリコンコントラクトに良質の ITO が設けられるように、マイクロクリスタルシリコンとしても良い。

TFT スタックは、行リードインエリアからエッチングにより除去されなければならない。これは、粗いアライメントしか必要とせず、精細な形状のエッチングはなんら必要としない。このマスキング工程は、エッチングに先だってアレイエリア上にプラスチックシートを印刷・ラミネートするか、または、図 5B に示すように、粗くアラインされた印刷されたフォトレジスト 50 を用いて、実行される。図 5C では、TFT スタックが、行リードイン領域からエッチングによって除去され、そして、ポジ型フォトレジスト 51 が、全面に塗布されている。

次に、図 5D に示すように、背面露光を用いて、ゲートライン 45 と同じ形状を持つように、ポジ型フォトレジスト 51 をパターン化する。残ったフォトレジスト層を用いて、2 層のシリコン層 48, 49 をパターン化して、図 5E のトランジスタチャンネルエリア 52 を残す。その後、図 5F に示されるように、透明導電層 53 (例えば、スパッタ法による金属酸化物層) が、全面に渡って連続層として設けられる。

図 5A ~ 5F の工程は、以前に既に提案済みのものである。この以前の案の製造プロセスにおいては、基板 46 上の構造全体に渡って完全にフォトレジスト層を塗布し、次いで、このフォトレジスト層をマスクを用いてパターン化し、そして、パターン化されたフォトレジストを用いて TFT のソースエリアおよびドレインエリア、TFT のソースエリアに統合する (integral) 列ライン、および、ピクセル電極を画定して、図 3 の構造と同様の構造を提供するというように続いている。特定の領域における透明層 53 (特に列ライン) の導電率を改善するために、透明導電層 53 の堆積に続く製造プロセスは、本発明にしたがえば、以下に記載されるように変更される。

透明導電層 53 の構成に続いて、図 5G に示すように、金属層 54 が、層 53 を覆うように、基板 46 上の構造全てに渡って完全にスパッタ堆積される。

次いで、一層のフォトレジスト材料が、金属層 54 上に塗布され、そして、第 1 および第 2 の選択されたエリアに、第 1 のエリアと第 2 のエリアとにおけるフォトレジストの厚さが異なるようにフォトレジストを残すという、公知ではあるが一般的ではない仕方でパターン化される。より明確に言えば、パターン化の後にピクセル電極が形成されるべき領域に対応するエリアに残されるフォトレジストの厚さが、列アドレスラインが形成されるべき領域に対応するエリアのフォトレジストの厚さよりも薄くされる。この異なる厚さは、以下に参照資料としてその内容を具体的に記載する C. W. Han 等による上述の論文、および、C. W. Kim 等によって SID 00 Digest の 1006 頁から 1009 頁に公表されている “A Novel Four Mask - Count Process Architecture for TFT-LCDs” と題する論文に記載されている種類の種類のフォトリソグラフィ技術によるパターンニングプロセスを用いて達成される。これらの論文に記載されているパターンニング技術は、TFT チャンネルの画定に特定されたものであるが、いわゆるスリットフォトリソグラフィ、すなわち、グレイトーン (中間調) フォトリソグラフィを用いている。これには、空隙のない (不透明) 区画、透明区画、および、グリッド即ちスリットパターンを有する区画から成るフォトリソグラフィックマスクを通してフォトレジストを露光することが必要になる。空隙のない区画は、露光光を遮断し、したがって、完全な厚さで残そうとするフォトレジスト層領域を画定するために使用される。一方、透明区画は、フォトレジスト層が現像によって除去されるべき領域を画定するために使用される。スリットパターンを有する区画は、部分露光されて厚さの減少したフォトレジスト領域を画定するために用いられる。この目的に要求されるスリットパターンのパラメータが、上述の論文に記載されており、この点での更なる情報に関しては、それを参照されたい。この部分露光は、スリットから得られる回折効果に依拠しており、当該フォトレジスト領域が、フォトレジストの現像後に、マスクの空隙のない遮光区画で保護された領域に見られる (完全な) 厚さと比較して減少した厚さでしか残らないという結果をもたらす。したがって、これらの論文で提案されているアプローチは、その本質として、レジストが完全に除去された領域を生じさせるのみならず、フォトレジ

スト層を、2つの相異なり、かつ、制御された厚さを持つ領域にパターン化させることを可能にする。

この効果は、透明導電層53とその上の金属層54との選択的なパターンニングを可能にするために、本発明による方法に利用される。

次に、図5Hを参照すると、図5Gに示される構造は、点線で輪郭が示されている一層のフォトレジスト60（この場合、ポジ型フォトレジスト）により覆われている。このフォトレジスト60は、実線、十字記号、ダッシュ記号でそれぞれ示されている遮光部、透明部、スリットパターン部を有し、線図的に65で表わされている上述の種類のマスクを用いてパターン化される。このマスクを用いてフォトレジスト層60をパターンニングすることによって、マスクの透明部を通して露光された層の領域は、完全に除去され、マスクの遮光区画によって露光光から遮蔽された層の領域は、実質的に完全な厚さで残り、スリットパターンを持つマスク区画を通して部分露光された層の領域は、相当程度減少した厚さでしか残らない。したがって、図5Hに示されるように、完全な厚さのフォトレジストの領域67が、TFTソースコンタクトおよびそれに関係する列ラインが形成されるべき領域に対応するエリア上に画定され、厚さが減少されたフォトレジストの領域68が、行リードインエリアにおいてゲート金属45の上のエリアに画定され、同様に厚さが減少されたフォトレジストの領域69が、TFTドレインコンタクトおよびピクセル電極が形成されるべき領域に対応するエリア上に画定される。

次に、金属層54の露出されたエリアおよびその直下の透明導電層53のエリアが、エッチングで除去される。その際、残っているフォトレジストの領域が、このプロセスを通じて、その下にある金属層および透明導電層の対応する領域を保護するように働き、図5Iに示される構造が残される。

次いで、フォトレジストへの制御された部分エッチングが行なわれ、エリア68および69の厚さに相当する所定の厚さのフォトレジスト層が除去される。これによって、これらのエリア（エリア68および69）が完全に除去され、一方、完全な厚さのエリア67においては、結果として厚さが減少したフォトレジスト材料67'が残る。このようなフォトレジスト層のエッチング結果が、図5Jに図示されている。エッチングは、プロセスガスとして主に酸素を用いたプラズマエッチング装置で行なわれるのが望ましい。

この後、図5Kに示されるように、制御されたプラズマエッチングが行われ、TFTの最終的にできるチャンネル領域の上にあり、かつ、この層領域の、層53、54、67'によって覆われている端部の間にある部分のドーパされたシリコン層49が完全に除去される。

次に、金属層54の露出した領域が、選択的なエッチャントを用いたエッチングにより除去され（図5L）、最後に、フォトレジストの残っていた部分67が除去されて、図5Mに示される構造となる。この構造の場合、フォトレジストの残っていた部分を除去することとは必要不可欠のことではなく、それらは、簡単化のために必要に応じて残してもよい。したがって、図に明らかに示されているように、完成された構造は、TFTデバイスおよびそれに関係するピクセル電極38を有しており、ピクセル電極は、パターン化された透明導電材料を有して、TFTドレインコンタクト30を形成する統合延長部を持っている。パターン化された透明導電材料は、また、列ライン32と統合して形成されているTFTソースコンタクト28を備えている。これらの部分は、複合的な構造を持ち、さらに言えば、特別に列ラインの導電性を改善するために、透明導電材料に対応した形状をしてそれを直接的に被覆している金属層を含んでいる。透明導電材料の一部71が、また、行リードイン領域において金属層45の上まで延びるように設けられている。これは、TABボンディングの目的のために好適である。

図6は、上述のTFTの行アレイおよび列アレイ、および、ピクセル電極を有し、かつ上述のように形成されたアクティブプレートの一部（アレイの1つのすみの周辺部分）を平面図として線図的に示している。ここで、アレイの行（ゲート）導体へのコンタクトパッドを形成している透明導電材料領域71が見え、また、同様に形成された、列ライン32の透明導電材料のコンタクトパッド72も見えている。

10

20

30

40

50

上述の実施例においては、T F Tドレインコンタクトの形成には透明導電材料しか残らないように金属層54がパターン化されているが、フォトリジスト露光用マスクの適正な遮光区画を用いて金属層被覆エリアを画定することによって、ソースコンタクト領域に金属を設けるために使用された方法と同様に、金属層被覆部を、ドレインコンタクト領域に設けてもよい。こうした目的のための金属の存在が、図6に73で示されている。ソースコンタクトとドレインコンタクトとの両方に金属を配置することは、ソースコンタクトとドレインコンタクトに、より明確なエッジを得るために好適である。

従来のA M L C Dにおいては、I T O（インジウム錫酸化物）が、通常、透明導電層の材料として使用される。しかしながら、このような材料が、アルミニウムのような電気陰性度が高い金属と接触したとき、電気化学による望ましくないエッチングが、起こり得る。この理由から、I Z O（インジウム亜鉛酸化物）が、現在、使用され始めている。このような材料は、透明導電層53に好適である。層54として用いられる導電金属は、A l , M o , A g , C uまたはこれらの金属の1つ以上を含む合金とすることが出来る。これを、例えば、C rまたはWを有するコンタクト層を、上にリストアップさせた主金属導体の下に配置させた多層構造としてもよい。

上述の実施例のプロセス連続の順は、同じ総体的な結果が生み出されるのであれば、変更しても良いことは容易に理解されるであろう。例えば、T F Tシリコン層を画定するためにゲート電極をマスクとして用いる背面露光は不可欠なことではなく、当然ながら使用されるマスク工程の総数は2回から3回に増加することになるが、アモルファスシリコンの島を画定するために、通常のリソグラフィによるパターンニング操作を、これに代えて、用いることも出来る。

T F Tのためのアモルファスシリコンの島の画定に、行（ゲートライン）金属をマスクとして使用する背面露光を採用した、前述の方法では、隣接し合う列ライン間のこの行導体に沿って発生する寄生T F Tによる問題が起こり得る。これは、T V応用のA M L C Dに用いられるような大対角のアクティブプレートや高精細ディスプレイのためのアクティブプレートにおいて、とりわけ問題になると考えられる。この問題は、透明導電層53を、基板全体に渡って完全に連続な層として設けるのではなく、少なくともピクセルアレイエリアにおいて、連続して形成されている隣接し合う列ライン間にある行ラインの一領域上において不連続となるように設けることによって回避させることができる。

このような観点での1つの可能な例が、図7に線図的に図示されている。図7は、図5Eの過程に大略相当する過程におけるアクティブプレートの一部を平面図で示している。図において参照符号90が付されているゲート（行）ラインは、その上のシリコン層48, 49とともに基板上に存在している。図7は、また、点線の外形線で、この後の過程において形成される2本の隣接し合う列ライン32の位置も示している。この場合に、ハッチングで表された透明導電層53は、ほとんど連続層であるが、2本の隣接し合う列ライン32の間であって、T F Tが形成されている領域から離れたエリアにおいて、ゲートライン90の上に、92と参照番号を付された1個のホールまたは開口を有して基板上に堆積されている。この際、このホールを通して露出されているアモルファスシリコン層48, 49の領域は、このホールの位置においてゲートラインの上方からエッチングによって除去させることができ、これによって、この領域における寄生T F Tの形成が防止される。このようなホールを持つ層53を設けるためには、層53をスパッタ堆積するよりも、印刷法が好適に使用される。層の印刷は、ゲートラインの上方におおまかなエリアが空いた状態を容易に実現させることが出来る。

上述したように、堆積した透明導電層53および金属層54の選択パターンニングを可能にするために、厚さの異なる領域を有してパターン化されたフォトリジスト層を用いることは、特に適切なことである。使用されている技術は、現行の薄膜プロセスならびにアクティブプレートの製造に使われている製作装置に適合する。

しかしながら、透明導電層とその上の金属層とに必要な選択パターンニングは、同様の結果が得られるように異なる厚さを生じさせることとは別のなんらかの方法により、（特に、エッチング速度に関する）その性質を、局所的に変更させることが出来る適切な遮蔽層（

10

20

30

40

50

例えば、ここでも、レジスト材料)を用いて行うことが出来ることは容易に理解される。再び図5Hを参照して、例えば、堆積されたフォトリソ層60が、これに代えて、最終的に生じるピクセル電極およびTFTドレインコンタクトの上にある領域が、最終的に生じる列ラインおよびTFTソースコンタクトの上にある領域よりもエッチングに対する抵抗が弱くなるように処理することが出来る材料であるならば、連続的なエッチングプロセスに曝されたとき、後者の領域に遮蔽層を残して前者の領域を除去することが可能となる。この結果、大略において図5Jのような構造が得られる。また、フォトリソ以外で、同様に厚さの異なる複数の領域にパターン化可能で、また、エッチング可能な適切な材料の遮蔽層を、層50に代えて、用いることも可能であることも容易に理解される。

図4は、一般的に参照符号82が付されているアクティブプレートを備えた、完成された液晶ディスプレイの構造を示している。液晶材料層80が、上述の構造を有するアクティブプレート82の上に配置されている。もう1つの基板83が、液晶材料層の上にある。このもう1つの基板83には、その1つの面にカラーフィルタ84および(図1に示される)コモン電極18を画定する層を配置させてもよい。偏光膜86も、基板82、83の反対側に配置されている。

本発明は、特にアクティブプレートに関するものであるもので、トランジスタ、基板、および、液晶ディスプレイの動作および構造は、当業者にとって明白であるから、これ以上詳しく記載されない。

上述の層に加えて別の層を配置させてもよいし、また、当業者にとって明白である種々の代替物が存在する。本発明は、それぞれは公知のプロセス工程および材料に依拠しているので、特定のプロセスパラメータや材料は、本出願において詳細には記載されていない。可能な代替の工程および範囲は、当業者にとって明白である。

上述の具体例は、LCDのアクティブプレートにアモルファスシリコンTFTを用いているが、多結晶またはマイクロクリスタルのような他の半導体を配置することも可能である。

上述の具体例では、ボトムゲート型トランジスタが用いられているが、トップゲート型トランジスタを用いることも出来る。

本発明は、アクティブマトリクスLCDに適用した場合について具体的に記載されている。本発明は、アクティブマトリクスLEDディスプレイおよびイメージセンサにも適用可能である。本発明は、透明なピクセル電極を要するピクセル化デバイスであればどのようなものにも適用可能である。この場合、デバイスの行ラインまたは列ラインと同じ層を用いてピクセル電極が画定されることに利点がある。本発明は、透過型アクティブマトリクスLCDディスプレイにも反射型アクティブマトリクスLCDディスプレイにも適用可能である。反射型ディスプレイの場合にも、ITOがソースコンタクトおよびドレインコンタクトを形成するのに有益であるということが周知であるので、透明層を用いることが望ましい。

上述の例では、ピクセル電極が、透明であり、したがって、めっき操作からは遮蔽される透過型ディスプレイが示されている。反射型ディスプレイでは、ソースエリアおよびドレインエリアのみが防護されれば、ピクセル電極は、列導体とともにめっきで形成させてもよい。

本開示を読めば、当業者にとって、他の変形例は明白である。そのような変形例は、AMLCDの分野において既知である特徴やその類似のものであって、本明細書において記載済みの特徴に代って、または、加えて用い得る特徴を含むものである。

【図面の簡単な説明】

【図1】アクティブプレートのピクセル構成要素を示す。

【図2】従来のアクティブプレートの主要部分の断面図を示す。

【図3】本発明提案のアクティブプレートの主要部分の断面図を示す。

【図4】完成した液晶ディスプレイの構造を線図的に示す。

【図5ABC】本発明のアクティブプレート製造方法の製造工程を示す。

【図5DEF】本発明のアクティブプレート製造方法の製造工程を示す。

【図 5 G H I J】本発明のアクティブプレート製造方法の製造工程を示す。

【図 5 K L M】本発明のアクティブプレート製造方法の製造工程を示す。

【図 6】図 5 の方法で製造したアクティブプレートの主要部分の平面図を示す。

【図 7】本発明による製造方法の 1 工程における変形例を示す。

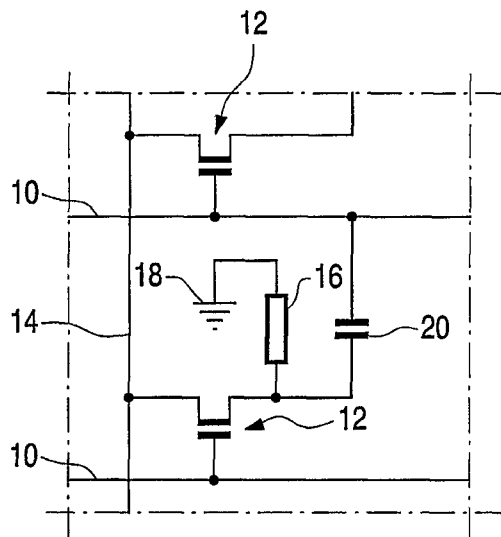
【符号の説明】

- 1 0 行導体
- 1 2 T F T
- 1 4 列導体
- 2 0 蓄積キャパシタ
- 2 8 ソースコンタクト
- 3 0 ドレインコンタクト
- 3 2 列ライン
- 3 8 ピクセル電極
- 4 5 ゲート金属
- 4 6 基板
- 4 7 シリコン窒化膜
- 4 8 アモルファスシリコン層
- 4 9 ドープされたアモルファスシリコン層
- 5 3 透明導電層
- 5 4 金属層
- 6 0, 6 7, 6 7', 6 8, 6 9 フォトリジスト層
- 8 0 液晶材料
- 8 2 アクティブプレート

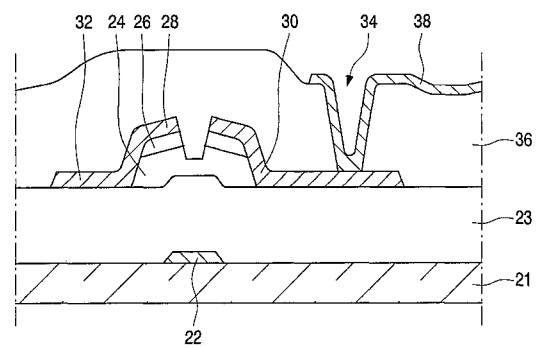
10

20

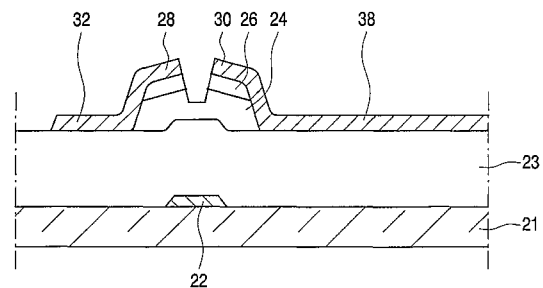
【図 1】



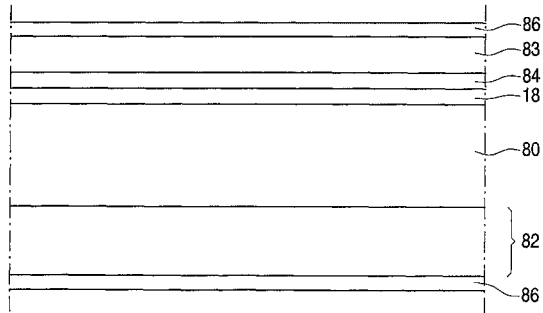
【図 2】



【図 3】



【図 4】



【図 5 A - C】

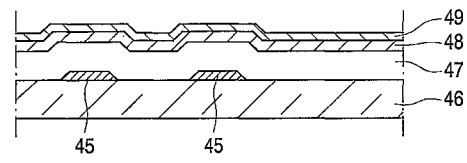


Fig.5A

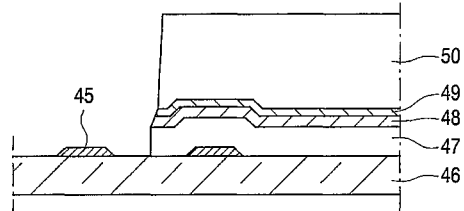


Fig.5B

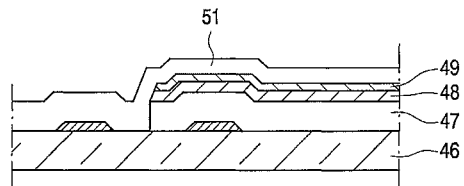


Fig.5C

【図 5 D - F】

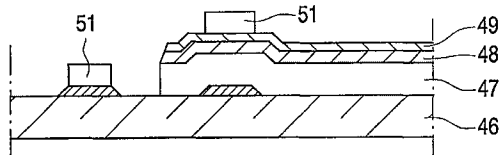


Fig.5D

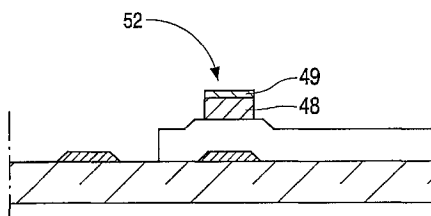


Fig.5E

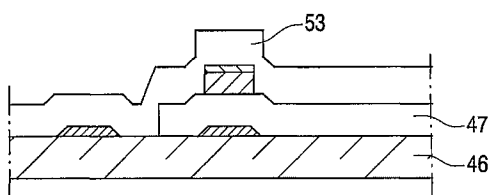


Fig.5F

【図 5 G - J】

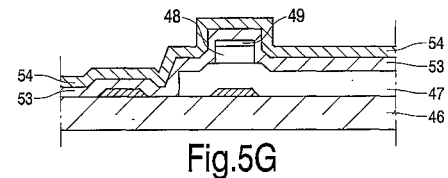


Fig.5G

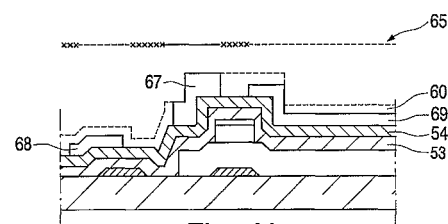


Fig.5H

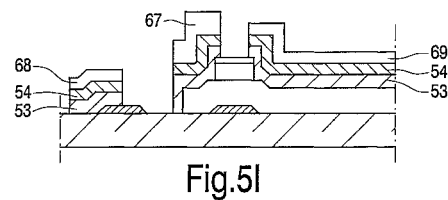


Fig.5I

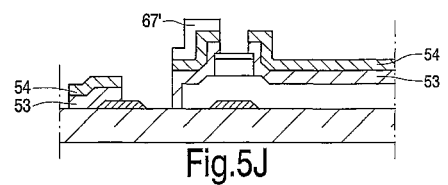


Fig.5J

【図 5 K - M】

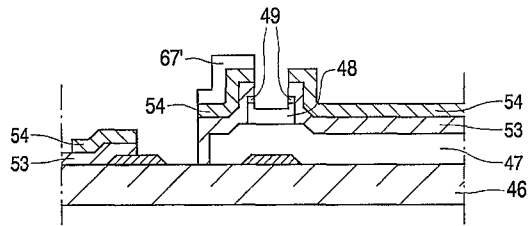


Fig.5K

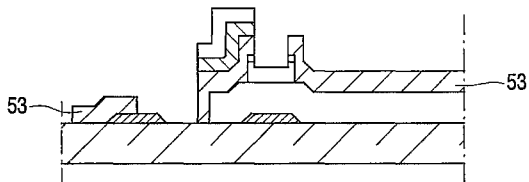


Fig.5L

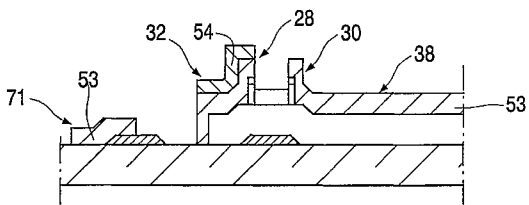
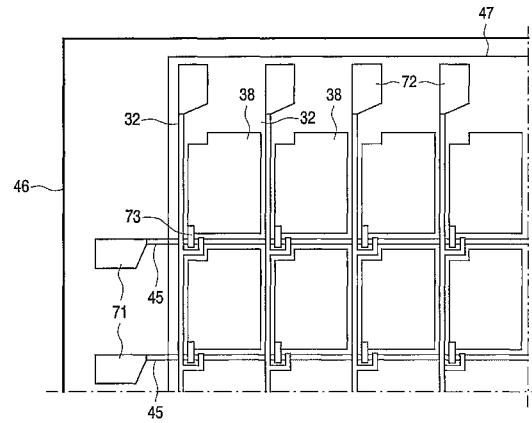
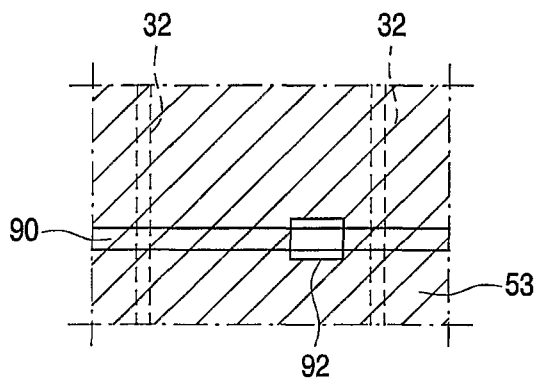


Fig.5M

【図 6】



【図 7】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
1 August 2002 (01.08.2002)

PCT

(10) International Publication Number
WO 02/059690 A1(51) International Patent Classification: G02F 1/1362,
1/1343(74) Agent: WILLIAMSON, Paul, L., International Oc-
tuelbureau B.V., Prof. Holstlaan 6, NL-5656 AA
Eindhoven (NL).

(21) International Application Number: PCT/IB02/00228

(81) Designated States (national): JP, KR.

(22) International Filing Date: 21 January 2002 (21.01.2002)

(84) Designated States (regional): European patent (AT, BE,
CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE, TR).

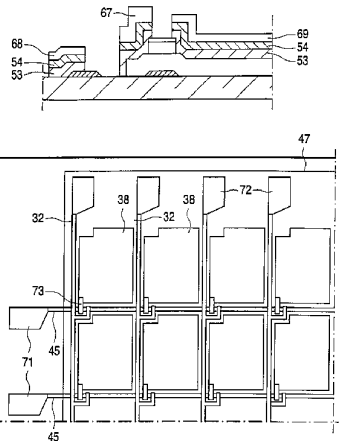
(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data: 0102167.4 27 January 2001 (27.01.2001) GB

Published:
with international search report(71) Applicant: KONINKLIJKE PHILIPS ELECTRON-
ICS N.V. (NL/NL); Groenewoudseweg 1, NL-5621 BA
Eindhoven (NL).For two-letter codes and other abbreviations, refer to the "Guid-
ance Notes on Codes and Abbreviations" appearing at the begin-
ning of each regular issue of the PCT Gazette.(72) Inventors: FRENCH, Ian, D.; Prof. Holstlaan 6,
NL-5656 AA Eindhoven (NL); VAN DER ZAAG, Pieter,
J.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).

(54) Title: ACTIVE MATRIX LIQUID CRYSTAL DISPLAYS AND METHODS OF MANUFACTURING SUCH



(57) Abstract: A method for use in the fabrication of active plates for pixelated devices, such as active matrix liquid crystal displays, having pixel electrodes (38) and associated address lines (32) formed from a layer of transparent conductive material (53) through which the conductivity of the address lines is improved. The transparent conductive layer (53) and a metal layer (54) are deposited in succession and followed by a shielding layer (60), e.g., of photoresist, which is patterned into a configuration of regions (67, 68, 69) corresponding to the required pixel electrodes and address lines with an etching property of the shielding layer at these respective regions being different. This enables the regions of this shielding layer corresponding to the pixel electrodes to be selectively etched away, thereby allowing the metal at these regions to be selectively removed while leaving metal at the address lines. The method simplifies the production of low mask mount TFT active plates with improved address line conductivity.

WO 02/059690 A1

WO 02/059690

PCT/IB02/00228

ACTIVE MATRIX LIQUID CRYSTAL DISPLAYS AND METHODS OF MANUFACTURING SUCH

5

This invention relates to pixellated devices such as active matrix liquid crystal displays, and particularly to methods of fabricating the substrate with the active matrix circuit, known as the active plate, used in the manufacture of such devices.

10

An active matrix liquid crystal display (AMLCD) typically comprises an active plate and a passive plate between which liquid crystal material is sandwiched. The active plate comprises an array of transistor switching devices, typically with one transistor associated with each pixel of the display.

15

Each pixel also has a pixel electrode on the active plate to which a signal is applied for controlling the display output of the individual pixel.

20

Figure 1 shows the electrical components which make up the pixels of one known example of active plate of an AMLCD. The pixels are arranged in rows and columns. The row conductor 10 of a pixel is connected to the gate of the TFT (thin film transistor) 12, and the column electrode 14 is coupled to the source. The liquid crystal material provided over a pixel electrode of the pixel effectively defines a liquid crystal cell 16 which is connected between the drain of the transistor 12 and a common ground plane 18. An optional pixel storage capacitor 20 is connected between the drain of the transistor 12 and the row conductor 10 associated with an adjacent row of pixels.

25

30

For transmissive displays, a large area of the active plate is at least partially transparent, and this is required because this type of display is illuminated by a back light. In these display devices, the pixel electrode must be transparent, whereas row and column conductors are usually formed as metallic lines which are opaque. Metallic layers, such as chromium, aluminium, alloys or multilayer structures are used for the row and column conductors because of the high conductivity, which improves the device

performance. The conductivity of the lines (usually the column lines) to which the pixel drive signals are applied is particularly important in large displays, because a sizeable voltage drop occurs over the length of the line, making it impossible to drive uniformly all pixels along the line (column).

5 A problem with the use of metallic column conductors is that separate deposition and lithographic procedures are required to form the column conductors and the pixel electrodes. The pixel electrodes must be transparent, and are typically formed from a transparent conductive oxide film. It is well known that the lithography steps in the manufacturing process are a
10 major contributing factor to the expense of the manufacturing process. Each lithographic step can be considered to reduce the yield of the process, as well as increasing the cost.

The conventional manufacturing process for the active plate of an LCD is a five mask process. With reference to the bottom gate TFT LCD active
15 plate shown in Figure 2, the process steps, each requiring a separate mask definition, are:

- (i) defining the gate 22 (which is part of the row conductor) over the substrate 21;
- (ii) defining the amorphous silicon island (which overlies a gate
20 dielectric 23 that covers the entire structure), comprising a lower intrinsic layer 24 and an upper doped contact layer 26;
- (iii) defining the metallic source 28, drain 30 and column electrode 32;
- (iv) defining a contact hole 34 in a passivation layer 36 which covers
25 the entire substrate; and
- (v) defining the transparent pixel electrode 38 which contacts the drain 30 through the hole 34.

The capacitor shown in Figure 1 may simply be formed from the gate dielectric by providing an area of overlap of one pixel electrode with a portion
30 of the row/gate conductor of the adjacent row.

WO 02/059690

PCT/IB02/00228

3

There have been various proposals to reduce the number of lithography steps, and thereby the mask count, of the manufacture process in order to reduce cost and increase yield.

For example, it has been proposed to form the column conductors from the same transparent conductive oxide film as the pixel electrode, so that these components of the pixel structure can be deposited and patterned together. Additional measures can result in a two mask process, and this is explained with reference to the bottom gate TFT LCD active plate shown in Figure 3. The process steps, each requiring a separate mask definition, are:

- (i) defining the gate 22 (and row conductors); and
- (ii) defining the transparent column electrode 32 (which also forms the TFT source 28) and the pixel electrode 38 (which also forms the TFT drain 30).

The definition of the semiconductor island 24, 26 can be achieved by a self-aligned process using the gate 22, for example by using light exposure through the substrate. Of course, the semiconductor could equally be formed with a third mask step (between steps (i) and (ii) above). In the periphery of the array, the gate dielectric 23 is etched away using a low-precision stage, to allow contact to the gate lines at the periphery of the display.

In this structure, the high resistivity of the transparent conductive oxide film used for the column lines prevents the use of the structure in large (TV-sized) displays.

For this reason, there are further proposals to treat the column conductor area of the layer to increase the conductivity, whilst not affecting the transparency of the pixel electrode. For example, the article "Conductivity Enhancement of Transparent Electrode by Side-Wall Copper Electroplating", J. Liu et al, SID 93 Digest, page 554 discloses a method of enhancing the conductivity by electroplating a copper bus to the sidewall of the metal oxide column line. The process involves an incomplete etching process to leave metal oxide residues, which act as seeds for the copper growth. The process is complicated and difficult to control. In addition, the copper bus will surround the source and drain electrodes, and there is a risk of shorts between the

WO 02/059690

PCT/IB02/00228

4

source and drain resulting from fast lateral copper growth when forming the bus. The copper bus around the source and drain electrodes also influences the channel length of the TFT and therefore makes the TFT characteristics less predictable.

5 WO 99/59024 discloses a method for enhancing the conductivity of a transparent electrode by providing patterned metallic layers adjacent to the transparent electrodes.

There is still a need for a simple process for increasing the conductivity of a transparent metal oxide layer, such as ITO, without increasing
10 dramatically the complexity of the process. Such a process will find for example application in active matrix LCD manufacture but will also be useful for other technologies where mask count reduction could be achieved if a transparent conductive layer could be made more conductive in certain areas without losing the transparency in others. This may be of benefit in, for
15 example, polymer LED displays and large area image sensors.

According to a first aspect of the invention, there is provided a method of fabricating an active plate comprising pixel electrodes and associated address lines formed from a transparent conductive material, which method
20 comprises:

providing a transparent conductive material layer and a metal layer in succession over a substrate,

depositing and patterning a shielding layer into a configuration corresponding to the desired pattern of the transparent conductive layer required for the pixel electrodes and the address lines, the shielding layer
25 being formed in a manner such that an etching property of the shielding layer at regions corresponding to the pixel electrodes differs from that at the regions corresponding to the address lines,

subjecting the shielding layer to an etching process using the difference
30 in properties so as to remove the regions of the shielding layer corresponding to the pixel electrodes while leaving portions of the shielding layer at the regions corresponding to the address lines,

WO 02/059690

PCT/IB02/00228

5

and thereafter removing the portions of the metal layer at the regions corresponding to the pixel electrodes. The remaining portions of the shielding layer may subsequently be removed.

Through this method, an active plate is fabricated in which the pixel electrodes comprise transparent conductive material and the associated address lines comprise transparent conductive material, from the same deposited layer as the pixel electrodes, together with an overlying coating of metal. The address lines are thus of a composite nature, comprising a combination of the transparent conductive material with overlying metal, and consequently, the effective electrical conductivity of the address lines is considerably improved compared with those of the known method comprising transparent conductive material alone. At the same time, the complexity of the kind of plating method entailed in the approach proposed by Liu et al is avoided.

The invention provides a simple process that produces address lines with reduced resistivity while maintaining high transparency of the pixel electrodes. The process is compatible with an overall simple, low mask count, fabrication method suitable for making active plates for AMLCDs and the like and satisfies the required characteristics of line conductivity and pixel transparency for producing devices of large size and/or high resolution. Importantly, the invention also has the advantage of being compatible with existing manufacturing equipment.

The shielding layer preferably comprises photoresist.

In a preferred embodiment, the property of the shielding layer which differs for the pixel electrode and address line corresponding regions and which affects the etching characteristic comprises thickness of the layer, and in this case the thickness of the shielding layer is made greater at the regions corresponding to the address lines than at the regions corresponding to the pixel electrodes.

When using photoresist for the shielding layer, the patterning of the layer into selected regions of different thickness can conveniently be accomplished using a photolithographic patterning technique of the kind

WO 02/059690

PCT/IB02/00228

6

described by C.W. Han et al in the paper entitled "A TFT manufactured by 4 masks process with new photolithography" published in SID Proceedings of the 18th International Display Research Conference", (Asia Display '98), pages 1109 - 1112. This technique involves the use of a photomask which, in addition to light blocking and transparent areas, has regions with grid or slit patterns. These regions, through diffraction effects, control the extent of exposure of the photoresist and thus the thickness of the resulting photoresist, the thickness being less than that produced by light-blocking regions of the mask.

It is envisaged that other techniques could be employed to produce selected regions of different thickness in the shielding layer and also that the property of the shielding layer which differs, and which affects the etching characteristic of the layer such that certain areas can be selectively etched away while leaving shielding layer material at other areas, could be other than thickness.

According to a second aspect of the invention, there is provided a method of manufacturing an active plate for a liquid crystal display, comprising: depositing and patterning a gate conductor layer over an insulating substrate;

depositing a gate insulator layer over the patterned gate conductor layer;

depositing a silicon layer over the gate insulator layer;

depositing a transparent conductor layer over the substrate;

depositing a metal layer over the transparent conductor layer;

depositing and patterning an etchable shielding layer over the metal layer, the shielding layer having a configuration defining source and drain areas, pixel electrode areas, and line conductor areas associated with the source or drain conductors, the regions of the shielding layer defining the line conductor areas having a thickness greater than that of the regions defining the pixel electrodes;

patterning the transparent conductor layer and the metal layer using the shielding layer;

WO 02/059690

PCT/IB02/00228

7

partially etching the shielding layer to remove the thinner regions so as to expose the metal layer at the pixel electrode regions;

and removing the metal layer regions at the pixel electrode regions.

This method can enable a two mask process to be used to fabricate the
5 active plate, and in which the conductivity of the address lines comprising transparent conductor material being improved by overlying metal layer regions, in the case where the silicon layer is self aligned to the gate conductor.

The invention is preferably used for making the active plate of an active
10 matrix liquid crystal display. The invention also provides an active matrix liquid crystal display comprising this active plate, a passive plate, and a layer of liquid crystal material sandwiched between the active and passive plates.

Embodiments of the invention will now be described in detail, by way of
15 example, with reference to the accompanying drawings, in which:

Figure 1 shows the pixel components of an active plate;

Figure 2 shows a section through part of a conventional active plate using bottom gate TFTs and manufactured using a five mask process;

Figure 3 shows a section through part of a proposed active plate using
20 bottom gate TFTs and manufactured using a two mask process;

Figure 4 shows schematically the structure of a complete liquid crystal display;

Figures 5A -5M illustrates various stages in a manufacturing method using the invention for manufacturing the active plate for an AMLCD display
25 device;

Figure 6 is a plan view of part of the active plate formed using the method of Figure 5; and

Figure 7 shows a modification which can be employed at one stage in the manufacturing method according to the invention.

30 It should be noted that the figures are diagrammatic and not drawn to scale. Relative dimensions and proportions of parts of these figures have been shown exaggerated or reduced in size, for the sake of clarity and

WO 02/059690

PCT/IB02/00228

8

convenience in the drawings. The same reference numbers are used throughout the Figures to denote the same, or similar, parts.

5 The application of the invention to a low mask count process for manufacturing the active plate of an active matrix liquid crystal display will now be described with reference to Figures 5A to 5M. The first steps of the process are common with known 2-mask processes.

Figure 5A is a schematic diagram of the first stages of a low mask count process. The gate metal 45 (together with row address conductors which are
10 not visible in this view) has been deposited and defined over an insulating substrate 46, for example of glass, and a standard Back Channel Etch TFT stack deposition carried out. This provides, in order from the substrate surface, a silicon nitride gate insulator layer 47, an amorphous silicon layer 48 and a doped amorphous silicon layer 49, which acts as a contact face. The
15 area to the right of Figure 5A will be used to form the switching transistors (12 of Figure 1) associated with the pixels whereas the left part of Figure 5A will form the row lead-in areas, where driving (gating) signals can be applied to the row conductors. Typically the SiN gate insulator 47 is 400 nm thick, the intrinsic amorphous silicon 48 is 160 nm thick and the doped amorphous
20 silicon is 40 nm thick, although other thickness layers can be used. The doped silicon layer 49 may be microcrystalline silicon to give good quality ITO to silicon contacts.

The TFT stack must be etched away from the row lead-in area. This only requires coarse alignment and no fine features to be etched. This
25 masking step could be carried out by printing, laminating a plastic sheet on the array area before etching, or using coarsely aligned printed photoresist 50, as shown in Figure 5B. In Figure 5C, the TFT stack has been etched away from the row lead-in area, and a positive photoresist 51 is applied to the whole plate.

30 Rear illumination is then used to pattern the positive photoresist 51 to have the same configuration as the gate line 45, as shown in Figure 5D. The remaining photoresist layer is used to pattern the two silicon layers 48 and 49

to leave the transistor channel area 52 in Fig 5E. A transparent conducting layer 53, for example sputtered metal oxide layer, is then applied as a continuous layer over the whole plate, as shown in Figure 5F.

The steps in Figures 5A to 5F have previously been proposed. In this previous scheme, the fabrication process is continued by applying a photoresist layer completely over the structure on the substrate 46, patterning this photoresist layer using a mask, and using the patterned photoresist to define source and drain areas of the TFTs, column lines integral with the TFT source areas, and pixel electrodes so as to provide a structure similar to that of Figure 3. In order to improve the conductivity of the transparent layer 53 at selected regions, particularly the column lines, the fabrication process following deposition of the transparent conducting layer 53 is modified, in accordance with the invention, as will now be described.

Following the provision of the transparent conducting layer 53, a layer 54 of metal is sputter deposited completely over the structure on the substrate 46 so as to cover the layer 53, as shown in Figure 5G.

A layer of photoresist material is then applied over the metal layer 54 and patterned in a known, but unconventional, manner so as to leave photoresist in first and second selected areas with the thickness of the photoresist in the first and second areas being different. More specifically, the thickness of the photoresist left after patterning at areas corresponding to the regions where pixel electrodes are to be formed is less than the thickness at areas corresponding to the regions where column address lines are to be formed. This difference in thickness is achieved using a type of photolithographic patterning process of the kind described in the aforementioned paper by C.W. Han et al and as described by C.W. Kim et al in the paper entitled "A Novel Four Mask - Count Process Architecture for TFT-LCDs" published in SID 00 Digest at pages 1006 to 1009 whose contents are incorporated herein as reference material. The patterning technique described in these papers, which is directed specifically to defining TFT channels, uses so-called slit, or grey-tone, photolithography. This entails exposing the photoresist through a photolithographic mask which consists of solid (opaque)

WO 02/059690

PCT/IB02/00228

10

areas, transparent areas, and areas with grid or slit patterns. The solid areas block exposure light and thus serve to define regions of the photoresist layer intended to be left at full thickness while the transparent areas serve to define regions which are to be removed upon developing the layer. The areas comprising a pattern of slits are used to define partially exposed photoresist regions resulting in reduced thickness regions. The parameters of the slit patterns required for this objective are described in the aforementioned papers, to which reference is invited for further information in this respect. This partial exposure, which relies on diffraction effects obtained from the slits, means that the regions of the photoresist concerned remain after development of the photoresist but at a reduced thickness compared with the (full) thickness found at regions protected by the solid, light-blocking, areas of the mask. Essentially, therefore, the approach proposed in these papers enables the photoresist layer to be patterned into regions having two different, and controlled, thicknesses, as well as providing regions where the resist is totally removed.

This effect is utilised in the method according to the present invention to enable selective patterning of the transparent conducting layer 53 and the overlying metal layer 54.

Referring to Figure 5H, then the structure shown in Figure 5G is covered by a layer of photoresist 60, in this case positive photoresist, indicated in dotted outline and patterned using the aforementioned kind of mask, depicted here schematically at 65, and comprising light blocking portions, transparent portions, and slit pattern portions denoted by a solid line, crosses, and dashes respectively. The patterning of the photoresist layer 60 using this mask results in regions of the layer exposed to light through the transparent portions of the mask being completely removed, regions of the layer shielded from exposure light by the light blocking areas of the mask remaining at substantially full thickness, and regions of the layer partially exposed through the areas of the mask with slit patterns to be left but with considerably reduced thickness. Thus, as is shown in Figure 5H, a region 67 of full thickness photoresist is defined over an area corresponding to the region where the TFT

WO 02/059690

PCT/IB02/00228

11

source contact and associated column line are to be formed, a region 68 of reduced thickness photoresist is defined at an area overlying the gate metal 45 in the row lead-in area, and a region 69 of similarly reduced thickness photoresist is defined over an area corresponding to the region where the TFT drain contact and pixel electrode are to be formed.

Exposed areas of the metal layer 54 and the immediately underlying areas of the transparent conducting layer 53 are then etched away to leave the structure shown in Figure 5I, the remaining regions of photoresist serving to shield the corresponding underlying regions of the metal and transparent conductive layers during this process.

A controlled, partial, etch of the photoresist is then performed so as to remove a predetermined thickness of the photoresist layer corresponding to the thickness of the areas 68 and 69, thereby completely removing these areas while still leaving photoresist material, 67', at the full-thickness areas 67 but consequentially with reduced thickness. The result of such etching of the photoresist layer is illustrated in Figure 5J. The etching is preferably carried out in a plasma etcher using mainly oxygen as the process gas.

Thereafter, a controlled plasma etch is carried out to completely remove a portion of the doped silicon layer 49 overlying the eventual channel region of the TFT and intermediate the end parts of this layer region covered by the layers 53, 54 and 67', as shown in Figure 5K.

Exposed regions of the metal layer 54 are then etched away, Figure 5L, using a selective etchant and finally the remaining portions 67' of photoresist are removed to leave the structure shown in Figure 5M. In this structure, it is not essential that the remaining portions of the photoresist be removed and they could be left for simplicity of desired. As will be apparent, therefore, the completed structure comprises a TFT device and associated pixel electrode 38, in which the pixel electrode comprises patterned transparent conducting material and has an integral extension forming the TFT drain contact 30. Patterned transparent conducting material also provides the TFT source contact 28 formed integrally with a column line 32 with these parts having a composite structure and further including a correspondingly - shaped, and

WO 02/059690

PCT/IB02/00228

12

directly overlying, layer of metal for improving particularly the conductivity of the column line. A portion of transparent conducting material 71 is also provided extending over the metal layer 45 at the row lead-in region, which is preferably for TAB bonding purposes.

5 Figure 6 shows schematically in plan view a part of the so-formed active plate comprising a row and column array of such TFTs and pixel electrodes, the part being adjacent one corner of the array. Here, the regions 71 of transparent conducting material forming contact pads for the row (gating) conductors of the array can be seen, as can similarly formed contact pads 72
10 of the transparent conducting material of the column lines 32.

Although in the above described embodiment the metal layer 54 is patterned so as to leave only transparent conducting material to form the TFT drain contacts, an overlying metal layer portion could be provided at the drain contact region in similar manner to that used for providing metal at the source
15 contact region, using an appropriate light blocking area in the photoresist exposure mask to define this area. The presence of metal for this purpose is shown at 73 in Figure 6. The provision of metal of both the source and drain contacts may be preferable for obtaining better defined edges to the source and drain contacts.

20 In conventional AMLCDs, ITO (Indium Tin Oxide) is commonly used as the material for transparent conducting layers. However, when such material is in contact with metals having a high value of electronegativity, such as aluminium, then unwanted etching due to electrochemistry may occur. For this reason IZO (Indium Zinc Oxide) is now starting to be used and such material is
25 preferable for the transparent conducting layer 53. The conductive metal used for the layer 54 could be Al, Mo, Ag, Cu, or an alloy incorporating one or more of these metals. It could also be a multi-layer in which a contact layer comprising, for example, Cr or W lies underneath a main conductor of a metal as listed above.

30 It will be appreciated that the order of the processing sequence in the above - described embodiment can be changed while still producing the same general result. For example, back exposure using the gate electrode as a

mask to define the TFT silicon layers is not essential and a conventional photolithographic patterning operation may be used instead to define the amorphous silicon islands, although then, of course, the overall number of mask steps used would increase from two to three.

5 With the method described previously employing back exposure using the row (gate line) metal as a mask in the definition of the amorphous silicon island for the TFT then a problem could arise due to a parasitic TFT being created along this row conductor between adjacent column lines. This is likely to be a problem particularly for active plates with a large diagonal, such as
10 those used in AMLCDs for TV application, and for high resolution displays. This problem can be avoided by providing the transparent conducting layer 53 such that it is discontinuous over a region of the row line between subsequently formed adjacent column lines rather than being provided as a continuous layer completely over the substrate, at least in the area of the pixel
15 array.

One possibility in this respect is illustrated schematically in Figure 7 which shows in plan view a part of the active plate at a stage generally corresponding to that of Figure 5E in which a gate (row) line, here referenced
20 90, is present on the substrate together with the overlying silicon layers 48 and 49. Figure 7 also shows, in dotted outline, the position of two, adjacent column lines 32 which are formed at a later stage. In this case, the transparent conducting layer 53, indicated by hatching, is deposited over the substrate as a generally continuous layer but with a hole, or opening, as illustrated at 92, overlying the gate line 90 at an area between the two adjacent
25 column lines 32, and away from the region at which the TFT is formed. The region of the amorphous silicon layers 48 and 49 then left exposed through this hole can be removed by etching from over the gate line at the position of this hole, thereby preventing the formation of a parasitic TFT in this region. In order to provide the layer 53 having such holes, a printing technique is
30 preferably employed rather than the layer 53 being sputter deposited. Printing the layer readily enables coarse areas over the gate lines to be left open.

The use of a patterned photoresist layer comprising regions of different thicknesses to enable selective patterning of the deposited transparent conducting layer, 53, and metal layer, 54, as described above is particularly convenient. The technique employed is compatible with existing thin film processes and production equipment used in the fabrication of active plates.

It is envisaged, however, that the required selective patterning of the transparent conducting layer and overlying metal layer could be accomplished using a suitable shielding layer, for example again a resist material, whose properties, particularly with regard to its etching rate characteristics, can be modified locally in some way other than by producing different thicknesses so as to achieve similar results. Referring again to Figure 5H, then if, for example, the deposited photoresist layer 60 were instead of a material which could be treated such that the region overlying the eventual pixel electrode and TFT drain contact was rendered less etch resistant than the region overlying the eventual column line and TFT source contact then, when subjected to the subsequent etching process, the former region could be removed whilst leaving a shielding layer at the latter region, thereby producing a structure generally as in Figure 5J. It is also envisaged that a shielding layer of an appropriate, etchable, material other than photoresist and which is similarly capable of being patterned into regions of different thicknesses could be used instead for the layer 50.

Figure 4 shows the structure of a complete liquid crystal display which incorporates the active plate, here referenced generally at 82. A layer of liquid crystal material 80 is provided over the active plate 82, which comprises the structure described above. A further substrate 83 overlies the layer of liquid crystal material. This further substrate 83 may be provided on one face with an arrangement of colour filters 84 and a layer defining the common electrode 18 (shown in Figure 1). Polarizing films 86 are also provided on opposite sides of the substrate 82 and 83.

As this invention is concerned specifically with the active, transistor, substrate, the operation and construction of the liquid crystal display will not be described in any further detail as this will be apparent to those skilled in the art.

WO 02/059690

PCT/IB02/00228

15

Additional layers to those described may be provided, and there are various alternatives which will be apparent to those skilled in the art. The specific processing parameters and materials have not been described in detail in this application, as this invention relies upon known individual processing steps and materials. The steps, and the range of possible alternatives, will be apparent to those skilled in the art.

The specific example above uses amorphous silicon TFTs in the active plate of the LCD, but other semiconductor arrangements are possible, such as polycrystalline or microcrystalline.

In the specific example described, bottom gate transistors are used, but top gate transistors may also be used.

The invention has been described in detail when applied to an active matrix LCD. The invention can also be applied to active matrix LED displays and to image sensors. The invention may be applied to any pixellated device requiring transparent pixel electrodes, where there may be benefit in defining the pixel electrodes using the same layer as for row or column lines of the device. The invention can also be applied to transmissive and reflective active matrix LCD displays. In the case of reflective displays, it may still be desirable to use a transparent layer as ITO has well known benefits for forming the source and drain contacts.

In the examples described above, a transmissive display is shown, and the pixel electrode is transparent and therefore shielded from the plating operation. For a reflective display, the pixel electrode may be plated together with the column conductors, so that only the source and drain areas are shielded.

From reading the present disclosure, other modifications will be apparent to persons skilled in the art. Such modifications may involve other features which are already known in the field of AMLCDs and the like and which may be used instead of or in addition to features already described herein.

WO 02/059690

PCT/IB02/00228

16

CLAIMS

1. A method of fabricating an active plate comprising pixel electrodes and associated address lines formed from a transparent conductive material, which method comprises:
- 5 providing a transparent conductive material layer and a metal layer in succession over a substrate,
- depositing and patterning a shielding layer into a configuration corresponding to the desired pattern of the transparent conductive layer required for the pixel electrodes and the address lines, the shielding layer being formed in a manner such that an etching property of the shielding layer at regions corresponding to the pixel electrodes differs from that at the regions corresponding to the address lines,
- 10 subjecting the shielding layer to an etching process using the difference in properties so as to remove the regions of the shielding layer corresponding to the pixel electrodes while leaving portions of the shielding layer at the regions corresponding to the address lines,
- and thereafter removing the portions of the metal layer at the regions corresponding to the pixel electrodes.
- 20
2. A method according to Claim 1, characterised in that the property of the shielding layer which differs comprises the thickness of the layer, in that the regions of the shielding layer corresponding to the pixel electrodes comprise thinner regions, and in that the step of etching the shielding layers
- 25 comprises a partial etch to remove the thinner shielding layer regions.
3. A method according to Claim 2, characterised in that the shielding layer comprises photoresist.
- 30
4. A method according to Claim 3, characterised in that the shielding layer is patterned using a photomask comprising areas which result

WO 02/059690

PCT/IB02/00228

17

in partial exposure of the photoresist material at the regions corresponding to the pixel electrodes to produce areas of reduced thickness at these regions.

5 5. A method according to any one of the preceding claims, characterised in that the transparent conductive material comprises a transparent metal oxide.

10 6. A method according to any one of the preceding claims, characterised in that TFTs are formed on the substrate in association with the pixel electrodes and address lines, and in that portions of the transparent conductive layer are used to provide source and drain contacts for the TFTs which portions are defined by regions of the patterned shielding layer.

15 7. A method as claimed in any one of the preceding claims for forming the active plate of an active matrix liquid crystal display device.

8. A method of manufacturing an active plate for a liquid crystal display, comprising:

20 depositing and patterning a gate conductor layer over an insulating substrate;
depositing a gate insulator layer over the patterned gate conductor layer;
depositing a silicon layer over the gate insulator layer;
25 depositing a transparent conductor layer over the substrate;
depositing a metal layer over the transparent conductor layer;
depositing and patterning an etchable shielding layer over the metal layer, the shielding layer having a configuration defining source and drain areas, pixel electrode areas, and line conductor areas associated with the source or drain conductors, the regions of the shielding layer defining the line
30 conductor areas having a thickness greater than that of the regions defining the pixel electrodes;

WO 02/059690

PCT/IB02/00228

18

 patterning the transparent conductor layer and the metal layer using the shielding layer;

 partially etching the shielding layer to remove the thinner regions so as to expose the metal layer at the pixel electrode regions;

5 and removing the metal layer regions at the pixel electrode regions.

9. A method according to Claim 8, characterised in that the silicon layer is patterned prior to the deposition of the transparent conductor layer by a self-aligned process using the gate conductor layer.

10

10. A method according to Claim 8 or Claim 9, characterised in that the shielding layer comprises photoresist.

11. An active matrix liquid crystal display device comprising an active plate according to any one of Claims 8 to 10, a passive plate, and a layer of liquid crystal material sandwiched between the active and passive plates.

15

WO 02/059690

PCT/IB02/00228

1/7

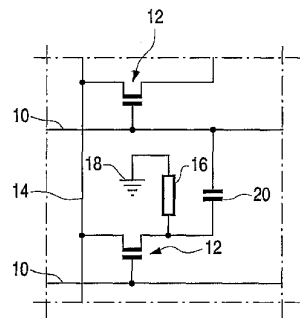


Fig.1

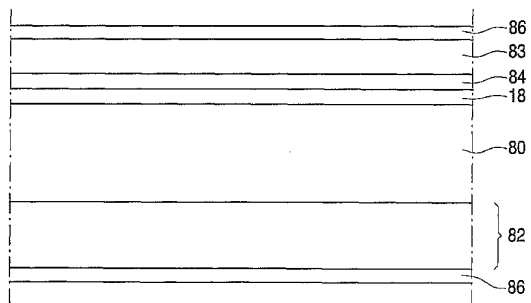


Fig.4

WO 02/059690

PCT/IB02/00228

2/7

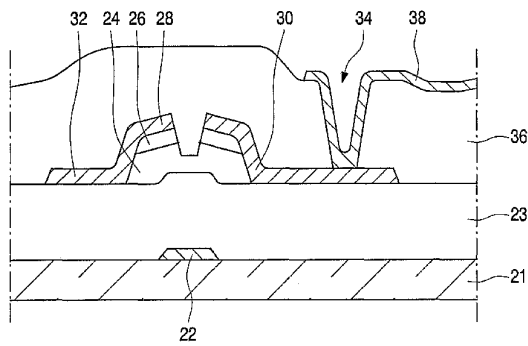


Fig.2

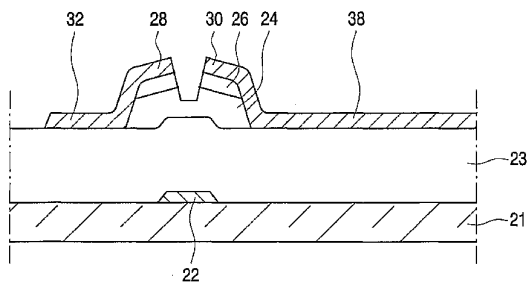


Fig.3

WO 02/059690

PCT/IB02/00228

3/7

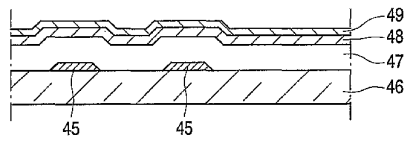


Fig.5A

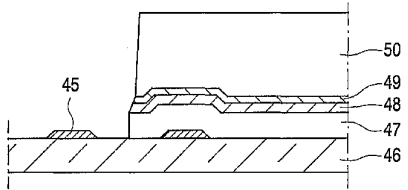


Fig.5B

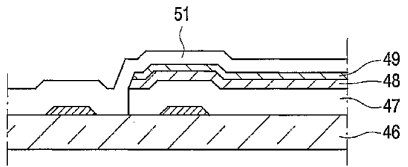
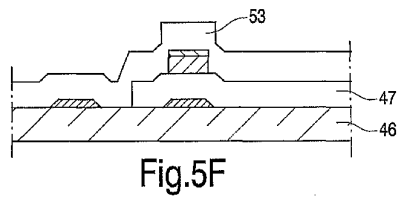
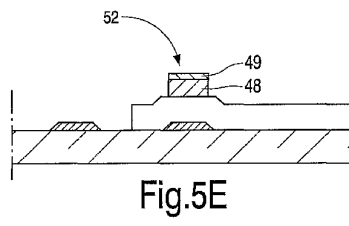
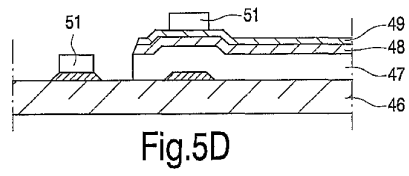


Fig.5C

WO 02/059690

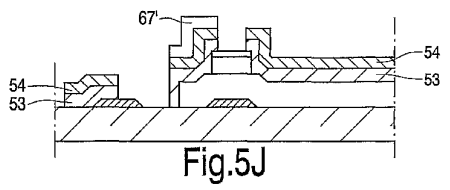
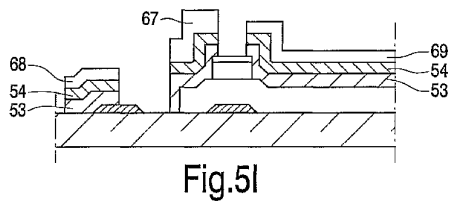
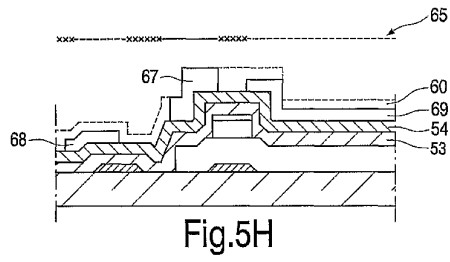
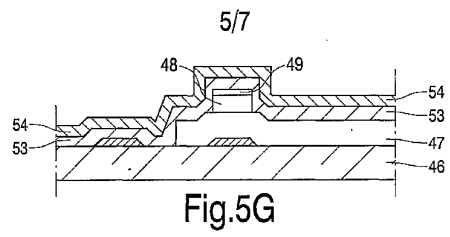
PCT/IB02/00228

4/7



WO 02/059690

PCT/IB02/00228



WO 02/059690

PCT/IB02/00228

6/7

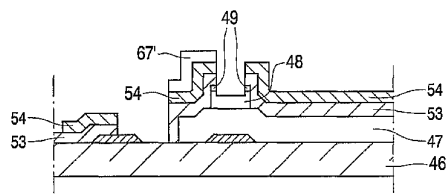


Fig.5K

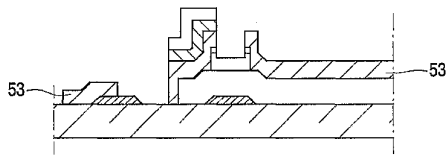


Fig.5L

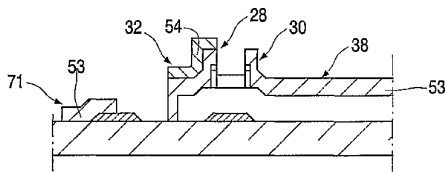


Fig.5M

WO 02/059690

PCT/IB02/00228

7/7

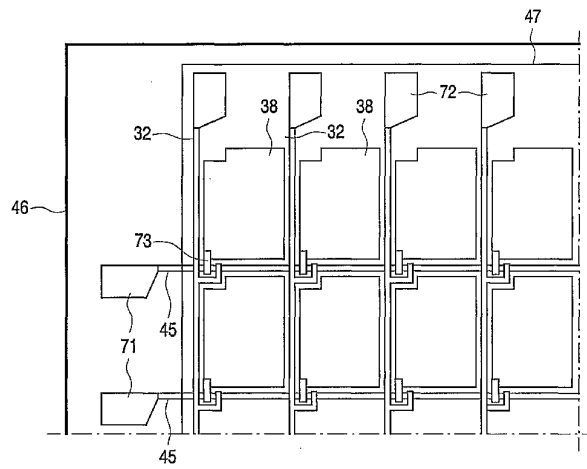


Fig.6

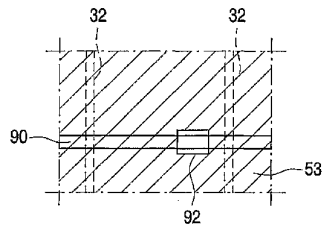


Fig.7

【国際調査報告】

INTERNATIONAL SEARCH REPORT		Int national Application No PCT/IB 02/00228
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 602F1/1362 602F1/1343		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 602F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
WPI Data, PAJ, EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 610 950 A (HIROAKI TANAKA) 8 August 2000 (2000-08-08) column 3, line 35 -column 4, line 40; figures 3-5	1-7, 11
A	column 4, line 56 -column 5, line 52; figures 6-9	8-10
A	KIM C.W. & AL.: "A novel four mask count process architecture for TFT LCDs" DIGEST OF TECHNICAL PAPERS - SID 2000 INTERNATIONAL SYMPOSIUM , 2000, XP001062338 cited in the application paragraph '0003!; figure 5	1,8
☐ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed ** later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention **A* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone **A* document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. **A* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
25 April 2002		07/05/2002
Name and mailing address of the ISA European Patent Office, P.O. Box 5018 Patentplan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2000, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer Noirard, P

INTERNATIONAL SEARCH REPORT Information on patent family members		Int.....nal Application No PCT/IB 02/00228	
Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 610950	A	NONE	

フロントページの続き

(72)発明者 フレンチ イアン ディー
オランダ国 5 6 5 6 アー アー アインドーフエン プロフホルストラーン 6
(72)発明者 ファン デア ツァーク ピータ ジェー
オランダ国 5 6 5 6 アー アー アインドーフエン プロフホルストラーン 6
Fターム(参考) 2H091 FA34Y FC10 FC26 GA03 GA11
2H092 GA17 GA25 JA34 JA37 JA41 MA14 MA15 MA17 NA28 PA09

专利名称(译)	诸如有源矩阵液晶显示器的像素化装置及其制造方法		
公开(公告)号	JP2004518173A	公开(公告)日	2004-06-17
申请号	JP2002559754	申请日	2002-01-21
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	フレンチイアンディー ファンデアツァークピータジェー		
发明人	フレンチ イアン ディー ファン デア ツァーク ピータ ジェー		
IPC分类号	G02F1/1335 G02F1/1343 G02F1/1362 H01L21/336 H01L21/77 H01L21/84		
CPC分类号	H01L29/66765 G02F1/13439 G02F1/136286 H01L27/124 H01L27/1248 H01L27/1288		
FI分类号	G02F1/1343 G02F1/1335.500		
F-TERM分类号	2H091/FA34Y 2H091/FC10 2H091/FC26 2H091/GA03 2H091/GA11 2H092/GA17 2H092/GA25 2H092/JA34 2H092/JA37 2H092/JA41 2H092/MA14 2H092/MA15 2H092/MA17 2H092/NA28 2H092/PA09		
优先权	2001002167 2001-01-27 GB		
外部链接	Espacenet		

摘要(译)

像素化设备的有源板，例如有源矩阵液晶显示器，具有由相同的透明导电材料形成的像素电极，该像素电极具有改善的地址线导电性和相关的地址线。提供一种用于制造的方法。依次沉积透明导电层（53）和金属层（54），然后将其图案化为与像素电极和地址线及其区域相对应的区域（67、68、69）的形状沉积在每个区域中具有不同特性的屏蔽层（60）（例如，光致抗蚀剂）。这允许通过蚀刻选择性地去除该层（屏蔽层）对应于像素电极的区域。这允许金属保留在地址线中并有选择地去除该区域中的金属。该方法简化了具有改进的地址线导电性的低掩模数TFT有源板的制造。

