

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-363300

(P2004-363300A)

(43) 公開日 平成16年12月24日(2004.12.24)

(51) Int.Cl.⁷

H01L 29/786

G02F 1/1368

F I

H01L 29/78 612C

G02F 1/1368

H01L 29/78 626C

テーマコード (参考)

2H092

5F110

審査請求 未請求 請求項の数 8 O L (全 25 頁)

(21) 出願番号 特願2003-159554 (P2003-159554)

(22) 出願日 平成15年6月4日(2003.6.4)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 100077931

弁理士 前田 弘

(74) 代理人 100094134

弁理士 小山 廣毅

(74) 代理人 100113262

弁理士 竹内 祐二

(72) 発明者 後藤 政仁

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

最終頁に続く

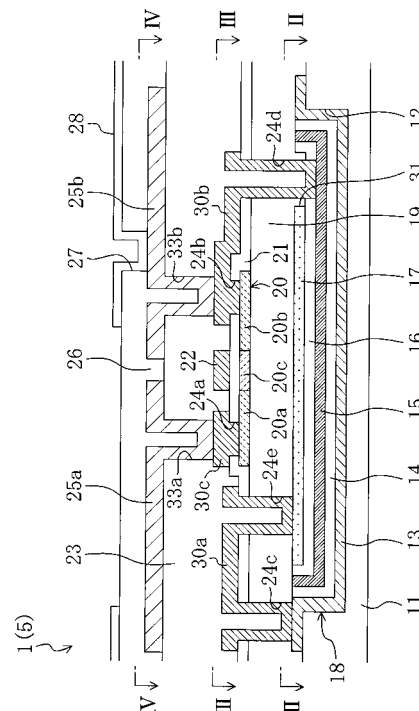
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 TFT10及び補助容量素子18を備える液晶表示装置1について、開口率の向上と補助容量の十分な確保とを両立させ、安価で精度良く容易な製造を可能にすると共に、表示の詳細化を図る。

【解決手段】 石英基板11の上には、TFT10及び補助容量素子18が設けられている。補助容量素子18は、TFT10の下方位置に設けられ、少なくとも3つ以上の補助容量電極13、15、17により構成されている。一方、石英基板11には、TFT10の下方位置で上方に開口する凹部12が形成されている。補助容量素子18は、上記凹部12の内部に設けられている。そして、補助容量電極を接続する第1のコンタクトホール20c及び第3のコンタクトホール20eは、ソース配線25aに対し、上下方向に重なる位置に形成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁性基板の上に設けられると共にソース配線及びゲート配線が接続され、画素電極を駆動するための薄膜トランジスタと、

上記薄膜トランジスタの下方に設けられた補助容量素子とを備える液晶表示装置であって、

上記絶縁性基板、又は該絶縁性基板の上に設けられた絶縁膜は、上記薄膜トランジスタの下方位置で上方に開口している凹部を備え、

上記補助容量素子は、互いに重ねられた少なくとも 3 つ以上の補助容量電極により構成され、

上記補助容量素子の少なくとも一部は、上記凹部の内側に設けられ、

上記補助容量電極の少なくとも 2 つは、該各補助容量電極からそれぞれ上方へ延びるコンタクトホールを介して接続され、

上記コンタクトホールは、上記ソース配線に対し、上下方向に重なる位置に形成されている

ことを特徴とする液晶表示装置。

【請求項 2】

請求項 1 において、

上記補助容量素子は、少なくとも一部が凹部の底に設けられた第 1 の補助容量電極と、該第 1 の補助容量電極の上に絶縁膜を介して設けられた第 2 の補助容量電極と、該第 2 の補

助容量電極の上に絶縁膜を介して設けられた第 3 の補助容量電極とにより構成され、

上記第 2 の補助容量電極及び第 3 の補助容量電極は、上記凹部の内側のみに形成されている

ことを特徴とする液晶表示装置。

【請求項 3】

請求項 2 において、

上記第 1 の補助容量電極、第 2 の補助容量電極、及び第 3 の補助容量電極の各最上端部は、同一の平面を構成している

ことを特徴とする液晶表示装置。

【請求項 4】

請求項 2 において、

上記第 1 の補助容量電極と、第 3 の補助容量電極とを接続する第 1 の接続電極と、第 2 の補助容量電極と、薄膜トランジスタにおける半導体層の一部に形成された一対の高濃度不純物領域の一方とを接続する第 2 の接続電極とを備えている

ことを特徴とする液晶表示装置。

【請求項 5】

請求項 4 において、

上記第 1 の接続電極は、ゲート配線と同じ層に形成されている

ことを特徴とする液晶表示装置。

【請求項 6】

請求項 4 において、

上記ゲート配線の層と、ソース配線の層との間には、導電層が設けられ、

上記第 1 の接続電極は、上記導電層の少なくとも一部により構成されている

ことを特徴とする液晶表示装置。

【請求項 7】

請求項 6 において、

上記薄膜トランジスタの半導体層におけるチャネル領域は、上記導電層の少なくとも一部により覆われている

ことを特徴とする液晶表示装置。

【請求項 8】

10

20

30

40

50

請求項 7 において、
上記チャネル領域の左右両側には、低濃度不純物領域を介して高濃度不純物領域がそれぞれ設けられており、
上記低濃度不純物領域は、上記導電層の一部により覆われている
ことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に関し、特に、薄膜トランジスタの下方に補助容量素子が形成された液晶表示装置に係るものである。

10

【0002】

【従来の技術】

薄型で消費電力が低い液晶表示装置のうち、駆動素子として薄膜トランジスタ（以下 T F T と略称する）を用いたものは、コントラストや応答速度などの点で優れた性能を有しているため、主に、パソコンなどの表示部や、携帯用 T V などに適用されている。そして、近年、この T F T を用いた液晶表示装置の市場規模は、拡大を続けている。

【0003】

以下に、従来の液晶表示装置の T F T 基板について説明する。図 20 は、T F T 110 を備える T F T 基板 105 の平面レイアウトの一例を示している。図 19 は、図 20 における X I X - X I X 線断面図である。

20

【0004】

図 19 に示すように、石英基板 111 の上には、所定形状の下部遮光膜 112 が設けられ、該下部遮光膜 112 の上には、第 1 の絶縁膜 114 を介して T F T 半導体層 116 が設けられている。T F T 半導体層 116 の上には、ゲート酸化膜 117 が設けられ、該ゲート酸化膜 117 の上には、ゲート電極 118 が設けられている。

【0005】

上記 T F T 半導体層 116 には、チャネル領域 116 c と、ソース領域 116 a と、ドレイン領域 116 b と、補助容量素子用の下部容量電極 113 とが形成されている。下部容量電極 113 の上方には、ゲート酸化膜 117 を介して上部容量電極 115 が設けられている。すなわち、下部容量電極 113 と、上部容量電極 115 と、該各容量電極 113 , 115 に挟まれたゲート酸化膜 117 とによって、補助容量素子 130 が構成されている。

30

【0006】

上記ゲート酸化膜 117 の上には、ゲート電極 118 及び上部容量電極 115 を覆うように、第 2 の絶縁膜 119 が設けられている。第 2 の絶縁膜 119 及びゲート酸化膜 117 の所定部分には、ソースコンタクトホール 120 a 及びドレインコンタクトホール 120 b が形成されている。第 2 の絶縁膜 119 の上には、ソースコンタクトホール 120 を介してソース領域 116 a に接続されたソース電極 124 a が設けられると共に、ドレインコンタクトホール 120 b を介してドレイン領域 116 b に接続されたドレイン電極 124 b が設けられている。

40

【0007】

さらに、第 2 の絶縁膜 119 の上には、上記ソース電極 124 a 及びドレイン電極 124 b を覆うように、第 3 の絶縁膜 125 が設けられている。第 3 の絶縁膜 125 には、ドレイン電極 124 b の上方の所定部分に、画素コンタクトホール 126 が形成されている。第 3 の絶縁膜 125 の上には、画素コンタクトホール 126 を介してドレイン電極 124 b に接続された透明画素電極 127 が設けられている。

【0008】

ところで、このような T F T 基板が適用されたプロジェクション用の液晶表示装置は、用途や将来性の面から大きな注目を集めており、その開発が進められている。プロジェクション用の液晶パネルは、その特性として、高輝度性や高精細性が要求されるため、液晶パ

50

ネルの開口率を大きくすることが重要となる。開口率を大きくする上で問題となるのは、液晶の電位を保持するための補助容量素子である。

【0009】

すなわち、補助容量素子の容量電極には、通常、遮光性を有する金属膜が適用されることが多いため、補助容量素子は、光を透過させない。したがって、開口率を向上させるためには、補助容量素子の面積を小さくすることが必要である。しかしながら、補助容量素子の面積を小さくすると、画素電極の電位を適切に保持することが難しくなり、その結果、表示品位の低下を招いてしまうという問題が生じる。このように、開口率の向上と、補助容量の確保とは、相反する問題である。

【0010】

これに対し、図21に示すように、TF T 1 1 0の下層に、遮光膜を兼ねた補助容量素子130を設けることが知られている（例えば、特許文献1参照）。以下に、このTF T 基板105について、図21を参照して説明する（尚、図19と同じ部分については、同じ符号を付してその詳細な説明を省略する）。

【0011】

TF T 基板105には、石英基板111の上に、下部容量電極115、絶縁膜123、及び上部容量電極113が順に積層されている。一方、第1の絶縁膜114、ゲート酸化膜117、及び第2の絶縁膜119には、コンタクトホール120cが形成されている。そして、ドレイン電極124bは、ドレインコンタクトホール120bを介してドレイン領域116bに接続されていると共に、コンタクトホール120cを介して下部容量電極113に接続されている。こうして、補助容量素子130と、TF T 半導体層116及びゲート電極118とを上下方向に疊重させることによって、開口率の向上と、補助容量の確保とを実現しようとしている。

【0012】

【特許文献1】

特開2001-66638号公報

【0013】

【発明が解決しようとする課題】

しかし、プロジェクションの小型化及び高輝度化が進むにつれて、開口部である画素領域以外の、TF T 半導体層やゲート配線等の遮光領域は、さらに小さく形成される。その結果、上記特許文献1の補助容量素子構造では、補助容量の十分な確保が困難になってしまう。

【0014】

そこで、補助容量を増大させるために、補助容量素子構造を、上下に重なる2層の補助容量素子により構成することが考えられる。しかしながら、この補助容量素子の2層構造では、（1）パターニング工程の増加に伴ってコストが増大するという問題、（2）パターン成形される膜が増えることにより上層で発生する段差が大きくなるため、上層におけるパターニングやエッチングの不良が生じるという問題、（3）補助容量素子の容量電極が3層あるために、フォト合わせ（アライメント）のマーヅンが必要となり、開口部の拡大を妨げるという問題、等がある。すなわち、上記特許文献1の補助容量素子構造を、単に2層構造にすることにより実際のデバイスとして製造することは、非常に困難である。

【0015】

さらに、例えば、補助容量素子の3層の容量電極のうち、最上層の容量電極と最下層の容量電極とを電氣的に接続して同電位に構成しようとする、その接続のために基板上に2つのコンタクトホールを設けることが必要となる。さらに、基板上には、補助容量素子における中間層の容量電極とTF T 半導体層とを接続するための2つのコンタクトホールや、該TF T 半導体層とソース配線とを接続するためのコンタクトホールを形成する必要がある。すなわち、補助容量素子を複数層の容量電極により構成すると、基板上に多数のコンタクトホールを設ける必要がある。

【0016】

10

20

30

40

50

上記各コンタクトホールは、全て基板上の遮光領域に形成されており、該遮光領域は、ゲート配線が設けられる遮光領域と、ソース配線が設けられる遮光領域とにより構成されている。ここで、図20に示すように、従来、上記各コンタクトホールは、ゲート配線が設けられる遮光領域に集中して形成されていた。

【0017】

しかし、多数のコンタクトホールが、ゲート配線が設けられる遮光領域に集中して形成されると、該ゲート配線が設けられる遮光領域に対し、コンタクトホールを設けるための長大なスペースが必要となってしまう。したがって、上記ゲート配線が設けられる遮光領域を縮小することにより画素領域を小型化し、表示の詳細化を図ることは、非常に難しい。

【0018】

本発明は斯かる諸点に鑑みてなされたものであり、その目的とするところは、補助容量素子を備える液晶表示装置について、開口率の向上と補助容量の十分な確保とを両立させ、安価で精度良く容易な製造を可能にすると共に、表示の詳細化を図ることにある。

【0019】

【課題を解決するための手段】

上記の目的を達成するために、この発明では、少なくとも3つ以上の補助容量電極により構成される補助容量素子の少なくとも一部を、薄膜トランジスタの下方に形成した凹部の内側に設けると共に、上記補助容量電極の少なくとも2つを接続するコンタクトホールを、上記薄膜トランジスタのソース配線に対し、上下方向に重なる位置に形成するようにした。

【0020】

具体的に、本発明に係る液晶表示装置は、絶縁性基板の上に設けられると共にソース配線及びゲート配線が接続され、画素電極を駆動するための薄膜トランジスタと、上記薄膜トランジスタの下方に設けられた補助容量素子とを備える液晶表示装置が対象である。そして、上記絶縁性基板、又は該絶縁性基板の上に設けられた絶縁膜は、上記薄膜トランジスタの下方位置で上方に開口している凹部を備え、上記補助容量素子は、互いに重ねられた少なくとも3つ以上の補助容量電極により構成され、上記補助容量素子の少なくとも一部は、上記凹部の内側に設けられ、上記補助容量電極の少なくとも2つは、該各補助容量電極からそれぞれ上方へ延びるコンタクトホールを介して接続され、上記コンタクトホールは、上記ソース配線に対し、上下方向に重なる位置に形成されている。

【0021】

上記補助容量素子は、少なくとも一部が凹部の底に設けられた第1の補助容量電極と、該第1の補助容量電極の上に絶縁膜を介して設けられた第2の補助容量電極と、該第2の補助容量電極の上に絶縁膜を介して設けられた第3の補助容量電極とにより構成され、上記第2の補助容量電極及び第3の補助容量電極は、上記凹部の内側のみに形成されていてもよい。

【0022】

上記第1の補助容量電極、第2の補助容量電極、及び第3の補助容量電極の各最上端部は、同一の平面を構成していることが好ましい。

【0023】

上記第1の補助容量電極と、第3の補助容量電極とを接続する第1の接続電極と、第2の補助容量電極と、薄膜トランジスタにおける半導体層の一部に形成された一対の高濃度不純物領域の一方とを接続する第2の接続電極とを備えていることが望ましい。

【0024】

上記第1の接続電極は、ゲート配線と同じ層に形成されていることが好ましい。

【0025】

上記ゲート配線の層と、ソース配線の層との間には、導電層が設けられ、上記第1の接続電極は、上記導電層の少なくとも一部により構成されているようにしてもよい。

【0026】

上記薄膜トランジスタの半導体層におけるチャネル領域は、上記導電層の少なくとも一部

10

20

30

40

50

により覆われていることが好ましい。

【0027】

上記チャネル領域の左右両側には、低濃度不純物領域を介して高濃度不純物領域がそれぞれ設けられており、上記低濃度不純物領域は、上記導電層の一部により覆われているようにしてもよい。

【0028】

すなわち、本発明に係る液晶表示装置は、絶縁層基板、又は該絶縁性基板の上の絶縁膜に形成された凹部の内側に補助容量素子を設け、該補助容量素子の上方に薄膜トランジスタを形成することにより製造される。

【0029】

その結果、補助容量素子が、薄膜トランジスタに対して上下方向に重ねて設けられ、少なくとも3つ以上の補助容量電極により構成されているため、該補助容量素子による遮光領域を低減して開口率を増大させると共に、補助容量を十分に確保することが可能となる。

【0030】

さらに、補助容量素子の少なくとも一部を上記凹部の内側に形成するようにしたので、補助容量素子を形成するためのマスク等を不要として、パターニング工程を大幅に簡略化することができる。すなわち、パターニングに要するコストが低減すると共に、フォト合わせのためのマージンが不要となり、パターン成形される膜が全体として減少することにより上層側で生じる段差が低減する。その結果、液晶表示装置を安価で精度良く容易に製造することが可能となる。

【0031】

さらに、本発明では、補助容量電極の少なくとも2つを接続するコンタクトホールを、ソース配線に対して上下方向に重ねるようにしている。つまり、絶縁性基板上に形成される複数のコンタクトホールは、ソース配線が設けられる領域と、ゲート配線が設けられる領域との双方に分散して設けられる。すなわち、多数のコンタクトホールが、上記ゲート配線が設けられる領域に集中して形成されないため、該ゲート配線が設けられる領域を縮小させることが可能となる。その結果、画素領域を小型化して表示の詳細化を図ることが可能となる。

【0032】

また、ゲート配線の層とソース配線の層との間に設けた導電層の少なくとも一部により、薄膜トランジスタの半導体層におけるチャネル領域を覆うことによって、上方から入射する周囲の外光を遮光することができるため、該薄膜トランジスタの特性を向上させることが可能となる。

【0033】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて詳細に説明する。尚、本発明は、以下の各実施形態に限定されるものではない。

【0034】

(実施形態1)

図1～図9は、本発明に係る液晶表示装置の実施形態1を示している。本実施形態の液晶表示装置1は、TFT基板5と、該TFT基板5に対向する対向基板(図示省略)と、該対向基板とTFT基板5との間に設けられた液晶層(図示省略)とを備えている。

【0035】

TFT基板5は、平面図である図4に一部を拡大して示すように、マトリクス状に配置された複数の画素領域2と、該各画素領域2の間に格子状に設けられた遮光領域3とを備えている。少なくとも画素領域2の上方には、液晶層(図示省略)に所定の電圧を印加するための画素電極28が設けられている。遮光領域3には、画素電極28を駆動するための薄膜トランジスタ10(以下、TFTと略称する)と、画素電極28の充電電荷を安定して保持するための補助容量素子18とが設けられている。上記TFT10及び補助容量素子18は、図4におけるI-I線断面図である図1に示すように、絶縁性基板である石英

10

20

30

40

50

基板 11 の上に形成されている。補助容量素子 18 は、TFT10 の下方位置に設けられている。また、TFT10 には、ソース配線 25a (以降、ソース電極とも称する) 及びゲート配線 22 (以降、ゲート電極とも称する) が接続されている。

【0036】

図 1 に示すように、石英基板 11 の上面には、上記 TFT10 の下方位置で上方に開口する凹部 12 が形成されている。凹部 12 は、図 1 における II-II 線断面図である図 2 に示すように、石英基板 11 の上面において、遮光領域 3 に沿って鉤状に折れ曲がって延びる溝に形成されている。

【0037】

補助容量素子 18 は、少なくとも一部が上記凹部 12 の内側に設けられ、互いに重ねられた 3 つの補助容量電極 13, 15, 17 と、該各補助容量電極 13, 15, 17 の間にそれぞれ介在された補助容量絶縁膜 14, 16 とにより構成されている。補助容量電極 13, 15, 17 は、第 1 の補助容量電極 13 と、第 2 の補助容量電極 15 と、第 3 の補助容量電極 17 とにより構成される一方、補助容量絶縁膜 14, 16 は、第 1 の補助容量絶縁膜 14 と、第 2 の補助容量絶縁膜 16 とにより構成されている。

【0038】

第 1 の補助容量電極 13 は、上記凹部 12 の底面及び内側面と、該凹部 12 の周りの遮光領域 3 とにおいて薄膜状に形成されている。すなわち、第 1 の補助容量電極 13 は、凹部 12 の内壁面に沿って凹状に形成されている。そして、第 1 の補助容量電極 13 は、隣接する画素の間で互いに接続されることにより、遮光領域 3 に亘って格子状又は配線状に形成されている。

【0039】

第 2 の補助容量電極 15 は、上記凹部 12 の内側において、第 1 の補助容量電極 13 の上に第 1 の補助容量絶縁膜 14 を介して設けられている。第 2 の補助容量電極 15 の底は、第 1 の補助容量絶縁膜 14 の底と同じ形状に形成されている。つまり、第 2 の補助容量電極 15 の底は、凹部 12 の底と同じ形状に形成されている。すなわち、第 1 の補助容量絶縁膜 14 が凹部 12 の内面に沿って形成され、第 2 の補助容量電極 15 が第 1 の補助容量絶縁膜 14 の内面に沿って形成されているため、第 2 の補助容量電極 15 を、マスク等によるパターニングを不要としながら所定の凹形状に形成することが可能となる。同様に、第 3 の補助容量電極 17 は、上記凹部 12 の内側において、第 2 の補助容量電極 15 の上に第 2 の補助容量絶縁膜 16 を介して設けられている。

【0040】

すなわち、図 1 に示すように、上記第 1 の補助容量絶縁膜 14、第 2 の補助容量電極 15、第 2 の補助容量絶縁膜 16、及び第 3 の補助容量電極 17 は、上記凹部 12 の内側のみに形成されている。そして、上記第 1 の補助容量電極 13、第 1 の補助容量絶縁膜 14、第 2 の補助容量電極 15、第 2 の補助容量絶縁膜 16、及び第 3 の補助容量電極 17 の各最上端部は、同一の平面を構成している。このとき、上記第 1 の補助容量電極 13 の最上端部は、第 3 の補助容量電極 17 の下面よりも高い位置に形成されている。この第 3 の補助容量電極 17 には、図 1 及び図 2 に示すように、切り欠き部 31 が形成されている。

【0041】

上記第 1 の補助容量電極 13 は、第 2 の補助容量電極 15 及び第 3 の補助容量電極 17 とは異なる材料により構成されている。また、第 2 の補助容量電極 15 及び第 3 の補助容量電極 17 は、同じ材料により構成されている。すなわち、第 1 の補助容量電極 13 は、硬質な高融点金属、又は該高融点金属を含む金属化合物により構成されており、例えば、Ta、Nb、W、Pd、Cr、及び Ti の少なくとも 1 つを含む材料により構成されていることが望ましい。一方、第 2 の補助容量電極 15 及び第 3 の補助容量電極 17 は、Si 又は Si を含む材料により構成されている。

【0042】

上記 TFT10 は、上記補助容量素子 18 の上方位置に、第 1 の層間絶縁膜 19 を介して設けられている。TFT10 は、第 1 の層間絶縁膜 19 の上に設けられた TFT 半導体層

10

20

30

40

50

20と、該TFT半導体層20を覆うゲート酸化膜21と、該ゲート酸化膜21の上に形成されたゲート電極22と、TFT半導体層20に対し、後述の第2の接続電極30b又は第3の接続電極30cを介して接続されるソース電極25a及びドレイン電極25bとを備えている。

【0043】

TFT半導体層20は、図1に示すように、ソース領域20aと、ドレイン領域20bと、該ドレイン領域20bとソース領域20aとの間に設けられたチャネル領域20cとにより構成されている。TFT半導体層20の少なくともチャネル領域20cは、第3の補助容量電極17に対して上下方向に重なっている。そして、TFT半導体層20は、第1の層間絶縁膜19の上において、ゲート酸化膜21により覆われている。

10

【0044】

上記ゲート電極22は、ゲート酸化膜21の上面における少なくともチャネル領域20cの上方位置に設けられると共に、図4に示すように、遮光領域3に沿って所定の左右方向に、配線状に延びている。

【0045】

ゲート酸化膜21の上には、第1の接続電極30aと、第2の接続電極30bと、第3の接続電極30cとが形成されている。つまり、第1の接続電極30a、第2の接続電極30b、及び第3の接続電極30cは、ゲート配線22と同じ層に形成されている。

【0046】

第1の層間絶縁膜19及びゲート酸化膜21には、第1のコンタクトホール24cが第1の補助容量電極13の上方位置に形成され、第2のコンタクトホール24dが第2の補助容量電極15の上方位置に形成され、第3のコンタクトホール24eが第3の補助容量電極17の上方位置に形成されている。一方、ゲート酸化膜21には、第1のソースコンタクトホール24aがソース領域20aの上方位置に形成され、第1のドレインコンタクトホール24bがドレイン領域20bの上方位置に形成されている。

20

【0047】

そして、上記第1の接続電極30aは、第1のコンタクトホール24cを介して第1の補助容量電極13に接続されると共に、第3のコンタクトホール24eを介して第3の補助容量電極17に接続されている。つまり、第1の接続電極30aは、第1の補助容量電極13と、第3の補助容量電極17とを接続している。

30

【0048】

上記第2の接続電極30bは、第2のコンタクトホール24dを介して第2の補助容量電極15に接続されると共に、第1のドレインコンタクトホール24bを介してドレイン領域20bに接続されている。つまり、第2の接続電極30bは、第2の補助容量電極15と、TFT半導体層20の一部に形成された一対の高濃度不純物領域の一方であるドレイン領域20bとを接続している。

【0049】

上記第3の接続電極30cは、第1のソースコンタクトホール24aを介してソース領域20aに接続されている。上記各接続電極30a、30b、30cは、ゲート電極22と共に第2の層間絶縁膜23により覆われている。

40

【0050】

尚、本実施形態では、補助容量素子18を、3つの補助容量電極13、15、17により構成したが、その他の実施形態としては、補助容量素子18を4つ以上の複数の補助容量電極により構成してもよい。その場合には、補助容量電極の少なくとも2つが、該各補助容量電極からそれぞれ上方へ延びるコンタクトホールを介して接続されるように構成することが好ましい。

【0051】

図1に示すように、第2の層間絶縁膜23の上には、ソース電極25a及びドレイン電極25bが形成されている。

【0052】

50

すなわち、第2の層間絶縁膜23には、第2のソースコンタクトホール33aが第1のソースコンタクトホール24aの上方位置に形成され、第2のドレインコンタクトホール33bが第1のドレインコンタクトホール24bの上方位置に形成されている。

【0053】

上記ソース電極25aは、図4に示すように、第1の接続電極30aに対して上下方向に重なるように設けられ、第2のソースコンタクトホール33aを介して第3の接続電極30cに接続されている。言い換えれば、第1のコンタクトホール24c及び第3のコンタクトホール24eは、上記ソース電極25aに対し、上下方向に重なる位置に形成されている。

【0054】

また、上記ドレイン電極25bは、図4に示すように、第2の接続電極30bに対して上下に重なるように設けられ、第2のドレインコンタクトホール33bを介して第2の接続電極30bに接続されている。言い換えれば、第2のコンタクトホール24dは、上記ドレイン電極25bに対し、上下方向に重なるように形成されている。

【0055】

上記ソース電極25a及びドレイン電極25bは、第3の層間絶縁膜26により覆われており、該第3の層間絶縁膜26の上には、上記画素電極28が形成されている。画素電極28は、図4に示すように、画素領域2と、該画素領域2の周囲における遮光領域3の一部を覆っている。

【0056】

第3の層間絶縁膜26には、画素電極コンタクトホール27がドレイン電極25bの上方位置に形成されている。そして、図1に示すように、画素電極28は、上記画素電極コンタクトホール27を介してドレイン電極25bに接続されている。

【0057】

以上のようにして、第1の補助容量電極13には、外部から補助容量用の電位が印加されることにより、第3の補助容量電極17にも、接続電極25cを介して同じ電位が印加されるようになっている。その結果、ドレイン電極25bに接続された第2の補助容量電極15と、上記第1の補助容量電極13及び第3の補助容量電極17の双方との間で、補助容量が得られるようになっている。言い換えれば、本実施形態の補助容量素子18は、2組の補助容量素子により構成されている。

【0058】

- 製造方法 -

次に、本発明に係る液晶表示装置1の製造方法について説明する。本実施形態では、まず石英基板11の上に補助容量素子18を形成する工程を行った後に、該補助容量素子18の上にTFOT10を形成する工程を行うことによって、TFOT基板5を製造する。

【0059】

まず、図5に示すように、石英基板11の上面对し、上方に開口する凹部12を形成する凹部形成工程を行う。すなわち、一般的なフォトリソグラフィ及びエッチングを行うことにより、所定の形状にパターニングして凹部12を形成する。凹部12の深さ（つまり、石英基板11の上から凹部12の底面までの深さ）は、例えば400nmに形成する。

【0060】

次に、図5に示すように、石英基板11の上面の凹部12に対し、第1の補助容量電極13、第1の補助容量絶縁膜14、第2の補助容量電極15、第2の補助容量絶縁膜16、及び第3の補助容量電極17を、下から順に積層して積層体18aを形成する積層工程を行う。

【0061】

すなわち、石英基板11の上面对し、スパッタリング法により第1の補助容量電極13となる硬質の高融点金属である例えばTa膜を、150nmの厚さで成膜する。続いて、上記第1の補助容量電極13の上に、第1の補助容量絶縁膜14である酸化シリコン膜を

10

20

30

40

50

、40nmの厚さで成膜する。

【0062】

このとき、上記第1の補助容量絶縁膜14を良質なものとする目的で、該第1の補助容量絶縁膜14を形成する前に、第1の補助容量電極13の表面を陽極酸化して酸化Ta膜を予め形成しておき、該酸化Ta膜を絶縁膜の一部として利用することも可能である。酸化Ta膜は、3%シュウ酸水溶液中でTa膜を陽極とし、20V程度の電圧を1時間程度印加することにより、約50nm程度の厚さに形成することが可能である。酸化Ta膜は、誘電率が高く且つピンホール欠陥も少ないため、補助容量素子18の容量の増加や歩留りの向上に役立つ。

【0063】

その後、上記第1の補助容量絶縁膜14の上に、第2の補助容量電極15である高濃度の燐を含んだ多結晶シリコン（以下、Poly-Siと略称する）を、150nmの厚さに形成する。続いて、上記第2の補助容量電極15の上に、第2の補助容量絶縁膜16である酸化シリコン膜を、40nmの厚さに成膜する。そして、第2の補助容量絶縁膜16の膜質を向上させるために、上記酸化シリコン膜に対して900以上の温度でアニール処理を行う。このとき、第2の補助容量電極15は、Siを主成分とする膜により構成されているため、上記アニール処理を行う雰囲気の中に酸素又は塩素ガスを含ませることにより、アニール処理と同時に熱酸化を行うことができる。その結果、リーク電流の少ない良質な第2の補助容量絶縁膜16を形成することが可能となる。

10

【0064】

その後、上記第2の補助容量絶縁膜16の上に、第3の補助容量電極17である燐を高濃度を含んだPoly-Si膜を、200nmの厚さに形成する。以上のようにして、石英基板11の上に積層体18aを形成する。

20

【0065】

次に、図6に示すように、上記基板全面に形成された積層体18aに対し、Chemical Mechanical Polishing法（以下、CMP法と略称する）により表面研磨を行うことによって、第1の補助容量電極13であるTa膜の最上端部を露出させる研磨工程を行う。

【0066】

ここで、CMP法は、第2の補助容量電極15及び第3の補助容量電極17であるPoly-Si膜15、17と、第1の補助容量絶縁膜14及び第2の補助容量絶縁膜16である酸化シリコン膜14、16とに対し、凹部12の外部に積層されている部分を研磨して除去し、該凹部12の内部に残すことを目的として行う。

30

【0067】

ここで、上記Poly-Si膜15、17及び酸化シリコン膜14、16の双方に対し、CMP法により同じ程度に研磨することが必要であるが、そのようなスラリー剤としては、一般的なシリカ系のスラリーを適用することが好ましい。このとき、上記硬質なTa膜13は、上記シリカ系のスラリーにより研磨されないため、CMP法におけるバリア膜として作用する。つまり、CMP法による積層体18aの研磨は、上記Ta膜13の表面でストップさせることができる。

40

【0068】

また、凹部12の底面から凹部12周縁の第1の補助容量電極13の最上端面までの高さは、550nmである。一方、凹部12内における第1の補助容量電極13、第1の補助容量絶縁膜14、第2の補助容量電極15、及び第2の補助容量絶縁膜16の膜厚の合計は、380nmである。すなわち、第3の補助容量電極17の下面は、凹部12の周縁における第1の補助容量電極13の上面よりも低くなっている。その結果、第3の補助容量電極17は、CMP法により凹部12の内部に板状に残されることとなる。

【0069】

こうして、第2の補助容量電極15及び第3の補助容量電極17は、CMP法により、凹部12と略同じ形状にパターニングされると共に、第1の補助容量電極13、第2の補助

50

容量電極 15 及び第 3 の補助容量電極 17 の最上端部は、平坦化されて互いに同じ高さに形成される。こうして、凹部 12 の内部に、3 層の導電膜と 2 層の絶縁膜とにより構成された 2 層構造の補助容量素子 18 が形成される。

【0070】

次に、図 2 及び図 7 に示すように、上記第 1 の補助容量電極 13 に対し、少なくとも一部の隣接する画素領域 2 の間で互いに接続されるようにパターンニングするパターンニング工程と、第 3 の補助容量電極 17 の一部を除去する除去工程とを同時に行う。

【0071】

すなわち、上記第 3 の補助容量電極 17 に対し、一般的なフォトリソグラフィを行うことにより、第 1 の補助容量電極 13 及び第 3 の補助容量電極 17 を所定の形状にパターンニングするためのレジストを形成し、その後ドライエッチングを行う。その結果、第 1 の補助容量電極 13 を、図 2 に部分的に示すように、隣接する各画素領域 2 の間で連続した格子形状又は配線状にパターン形成し、補助容量用の共通配線として利用できるようにする。さらに、第 3 の補助容量電極 17 に対し、図 2 に示すように、該第 3 の補助容量電極 17 の一部を除去することにより、切り欠き部 31 を形成する。切り欠き部 31 は、後工程において、第 2 のコンタクトホール 24d を形成するためのものである。

10

【0072】

このとき、第 1 の補助容量電極 13 である Ta 膜 13 のエッチングと、第 3 の補助容量電極 17 である Poly-Si 膜 17 のエッチングとは、それぞれ同一のマスクを用いてドライエッチングにより行う。同一のマスクを使用することによって、フォトリソグラフィ工程を削減できるため、コストの低減を図ることが可能となる。

20

【0073】

また、各ドライエッチングに用いる反応性ガスは、下地膜である酸化シリコン膜（第 2 の補助容量絶縁膜 16）との選択性が高いものを選択する。例えば、Ta 膜 13 のエッチングについては、BCl₃ や Cl₂ 等の反応性ガスが好ましい。また、Poly-Si 膜 17 のエッチングについては、HBr が主成分である反応性ガスが好ましい。

【0074】

以上のようにして、補助容量素子 18 を形成する。続いて、TF₂O を形成するための各工程を行う。

【0075】

まず、上記補助容量素子 18 の上方に、結晶性シリコン層 20d を形成する結晶化工程を行う。すなわち、図 8 に示すように、CVD 法により、第 1 の層間絶縁膜 19 である酸化シリコン膜を約 350 nm の厚さに形成する。続いて、第 1 の層間絶縁膜 19 の上に、非結晶のシリコン膜を約 50 nm の厚さで連続して形成する。その後、この非結晶のシリコン膜を結晶化させることにより、結晶性のシリコン膜を形成する。非結晶のシリコン膜を結晶化させる方法としては、例えば、600 以上の温度で加熱する方法や、エキシマレーザーの照射による方法等が好適である。その後、上記結晶性のシリコン膜に対し、フォトリソグラフィ及びドライエッチングを行うことにより、所定の形状にパターンニングして結晶性シリコン層 20d を形成する。

30

【0076】

続いて、図 3 及び図 8 に示すように、上記結晶性シリコン層 20d の上方に、ゲート電極 22 を形成するゲート電極形成工程を行う。まず、上記結晶性シリコン層 20d の上に、ゲート絶縁膜 21 である酸化シリコン膜を、約 80 nm の厚さに形成する。その後、ゲート絶縁膜 21 の上に、燐を高濃度に含んだ Poly-Si 膜を 400 nm 堆積し、該 Poly-Si 膜に対してフォトリソグラフィ及びドライエッチングを行って所定形状にパターンニングすることにより、ゲート電極 22 を形成する。その後、ゲート電極 22 に対し、酸素を含んだガスの雰囲気中で、900 以上に加熱してアニール処理を行うことにより、該ゲート電極 22 の膜質を向上させる。このとき、結晶性シリコン層 20d のうち、少なくとも、後工程でチャンネル領域 20c となる部分が、上方から見て凹部 12 の内側に位置すると共に、第 3 の補助容量電極 17 と重なるように、ゲート電極 22 を形成する

40

50

。このことにより、補助容量素子 18 を形成する 3 層の各補助容量電極 13, 15, 17 を、画素 T F T の下部遮光膜として利用することができる。

【0077】

次に、図 3 及び図 8 に示すように、上記結晶性シリコン層 20 d に対して、不純物を注入することにより T F T 半導体層 20 を形成する不純物注入工程を行う。すなわち、ゲート電極 22 を不純物注入マスクとし、不純物である燐元素を、上記結晶性シリコン層 20 d に対して、75 keV、 2×10^{15} 原子/cm² 程度で注入する。その結果、ゲート電極 22 の下で燐が注入されなかった領域は、チャンネル領域 20 c に形成される。そして、図 8 におけるチャンネル領域 20 c の左側には、後工程で形成される第 1 の接続電極 30 a と上下に重なるソース領域 20 a が形成される一方、図 8 におけるチャンネル領域 20 c の右側には、後工程で形成される第 2 の接続電極 30 b と上下に重なるドレイン領域 20 b が形成されることとなる。

【0078】

次に、図 9 に示すように、上記 T F T 半導体層 20 及び補助容量素子 18 の上方に、複数のコンタクトホールを形成する第 1 のコンタクトホール形成工程を行う。

【0079】

すなわち、ゲート絶縁膜 21 に対し、一般的なフォトリソグラフィと、ウェットエッチングやドライエッチングとを行うことにより、ソース領域 20 a の上方に第 1 のソースコンタクトホール 24 a を形成する一方、ドレイン領域 20 b の上方に第 1 のドレインコンタクトホール 24 b を形成する。このとき、ソース領域 20 a の上面は、第 1 のソースコンタクトホール 24 a を介して上方に露出している。また、ドレイン領域 20 b の上面は、第 1 のドレインコンタクトホール 24 b を介して上方に露出している。

【0080】

一方、上記ゲート絶縁膜 21 及び第 1 の層間絶縁膜 19 に対しても、一般的なフォトリソグラフィと、ウェットエッチングやドライエッチングとを行うことにより、第 1 のコンタクトホール 24 c を第 1 の補助容量電極 13 の上方に形成し、第 2 のコンタクトホール 24 d を上記切り欠き部 31 を介して第 2 の補助容量電極 15 の上方に形成し、さらに、第 3 のコンタクトホール 24 e を第 3 の補助容量電極 17 の上方に形成する。

【0081】

このとき、第 1 の補助容量電極 13 は、第 1 のコンタクトホール 24 c を介して上方に露出している。また、第 2 の補助容量電極 15 は、第 2 のコンタクトホール 24 d を介して上方に露出している。また、第 3 の補助容量電極 17 は、第 3 のコンタクトホール 24 e を介して上方に露出している。そして、第 1 のコンタクトホール 24 c 及び第 3 のコンタクトホール 24 e は、後工程で形成されるソース配線 26 a に重なる領域に形成されている。

【0082】

次に、図 9 に示すように、第 1 の接続電極 30 a、第 2 の接続電極 30 b、及び第 3 の接続電極 30 c を形成する第 1 の電極形成工程を行う。すなわち、上記各コンタクトホール 24 a, 24 b, 24 c, 24 d, 24 e が形成された基板の全面に対し、燐を高濃度を含んだ poly-Si 膜を 400 nm 堆積する。このとき、上記各コンタクトホール 24 a, 24 b, 24 c, 24 d, 24 e の内部には、上記 poly-Si 膜が充填されている。

【0083】

その後、一般的なフォトリソグラフィ及びドライエッチングを行って、所定の形状にパターンニングする。このことにより、第 1 のコンタクトホール 24 c を介して第 1 の補助容量電極 13 に接続されると共に、第 3 のコンタクトホール 24 e を介して第 3 の補助容量電極 17 に接続される第 1 の接続電極 30 a が形成される。また、第 1 のドレインコンタクトホール 24 b を介してドレイン領域 20 b に接続されると共に、第 2 のコンタクトホール 24 d を介して第 2 の補助容量電極 15 に接続される第 2 の接続電極 30 b が形成される。さらに、第 1 のソースコンタクトホール 24 a を介してソース領域 20 a に接続され

る第3の接続電極30cが形成される。

【0084】

次に、図1に示すように、第2のソースコンタクトホール33aと、第2のドレインコンタクトホール33bとを形成する第2のコンタクトホール形成工程を行う。すなわち、まず、上記各接続電極30a, 30b, 30cが形成された基板の全面に対し、第2の層間絶縁膜23である酸化シリコン膜を、CVD法により500nmの膜厚に形成する。続いて、上記ソース領域20a及びドレイン領域20bに注入された燐元素を活性化するために、窒素雰囲気中で950、30分間の熱処理を施す。

【0085】

その後、上記第2の層間絶縁膜23に対し、一般的なフォトリソグラフィと、ウェットエッチングやドライエッチングとを行うことにより、第3の接続電極30cの上方に第2のソースコンタクトホール33aを形成する一方、第2の接続電極30bの上方に第2のドレインコンタクトホール33bを形成する。このとき、第3の接続電極30cの上面は、第2のソースコンタクトホール33aを介して上方に露出している。また、第2の接続電極30bの上面は、第2のドレインコンタクトホール33bを介して上方に露出している。

10

【0086】

次に、図1に示すように、ソース電極25a及びドレイン電極25bを形成する第2の電極形成工程を行う。まず、上記第2のソースコンタクトホール33a及び第2のドレインコンタクトホール33bが形成された第2の層間絶縁膜23の上に、100nmの厚さのTiWと、400nmの厚さのAlSiと、100nmの厚さのTiWとにより構成される多層の導電膜を形成する。このとき、上記各コンタクトホール33a, 33bの内部には、上記導電膜が充填されている。

20

【0087】

続いて、上記導電膜に対し、一般的なフォトリソグラフィとドライエッチングとを行い、所定の形状にパターニングを行う。このことにより、上記第3の接続電極30cに接続されるソース配線25aと、上記第2の接続電極30bに接続されるドレイン電極25bとをそれぞれパターン形成する。ソース電極25aは、図4で上下方向に延びるようにパターニングされており、ソース配線25aを構成している。

【0088】

次に、上記ソース電極25a及びドレイン電極25bの上方に画素電極28を形成する画素電極形成工程を行う。まず、図1に示すように、上記第2の層間絶縁膜23の上に、第3の層間絶縁膜26である酸化シリコン膜を、約300nmの厚さに形成する。その後、第3の層間絶縁膜26に対し、一般的なフォトリソグラフィと、ウェットエッチングやドライエッチングとを行うことにより、ドレイン電極25bの上方に、画素電極コンタクトホール27を形成する。続いて、上記第3の層間絶縁膜26の上に、基板の全面を覆うように、ITO膜を100nmの厚さに形成する。このとき、上記画素電極コンタクトホール27の内部には、ITOが充填されている。その後、上記ITO膜に対し、一般的なフォトリソグラフィと、ウェットエッチングやドライエッチングとを行うことにより、画素電極28をパターン形成する。

30

40

【0089】

以上のように、上記各工程を行うことによりTF基板5を形成し、該TF基板5に対して、図示省略の液晶層や対向基板を接合することにより、液晶表示装置1を製造する。

【0090】

- 実施形態1の効果 -

以上説明したように、この実施形態1によると、まず、補助容量素子18を、TF10に対して上下方向に重ねて設けるようにしたので、補助容量素子18を設けるために必要となる遮光領域を低減して開口率を増大させることができる。そのことに加えて、補助容量素子18を、3つの補助容量電極13, 15, 17を積層して構成するようにしたので、遮光領域を増加させることなく、十分な補助容量を確保することができる。つまり、補

50

助容量を十分に確保しながら画素領域を小型化して表示の高詳細化を図ることができる。

【0091】

さらに、各補助容量電極13、15、17及び各補助容量絶縁膜14、16を、凹部12の内周面に沿って順次積層するようにしたので、補助容量素子18を、凹部12の内壁面に沿って形成することができる。その結果、補助容量素子18を形成するためのマスク等を不要として、パターンニング工程を大幅に簡略化することができる。すなわち、パターンニングに要するコストを低減させると共に、フォト合わせのためのマージンを不要とすることができる。また、パターン成形される膜の数が全体として減少させることになるため、補助容量素子18の上層側で生じる段差を好適に低減させることができる。その結果、液晶表示装置を安価で精度良く容易に製造することができる。

10

【0092】

そのことに加えて、第1の補助容量電極13と第3の補助容量電極17とを接続するための第1のコンタクトホール24c及び第3のコンタクトホール24eを、ソース配線25aに対して上下方向に重ねるようにしたので、複数のコンタクトホールを、ソース配線25aが設けられる遮光領域3へ分散して形成することができる。言い換えれば、ゲート配線22が設けられる遮光領域3に多数のコンタクトホールが集中するのを防止することができる。その結果、補助容量素子18を複数の補助容量電極により構成することにより、多数のコンタクトホールをTFT基板5の上に設けることが必要になっても、該コンタクトホールをソース配線25aが設けられる遮光領域3と、ゲート配線22が設けられる遮光領域3との双方に分散して設けることができるため、画素領域を好適に小型化させること

20

【0093】

また、第1の補助容量電極18の最上端部を、第3の補助容量電極17の下面よりも高い位置に形成するようにしたので、該第3の補助容量電極17を、凹部12の内側に好適に形成することができる。

【0094】

さらに、第1の補助容量電極18を、隣接する画素の間で接続して格子状に形成したので、該第1の補助容量電極18を共通配線として利用することができる。

【0095】

また、TFT半導体層20の少なくともチャネル領域20cを、第3の補助容量電極17

30

【0096】

さらに、積層された各補助容量電極13、15、17及び各補助容量絶縁膜14、16に対し、CMP法により研磨を行うようにしたので、第1の補助容量電極13の最上端面を好適に露出させることができると共に、該第1の補助容量電極13の最上端面に対し、第2の補助容量電極15、第3の補助容量電極17、第1の補助容量絶縁膜14、及び第2の補助容量絶縁膜16の各最上端部を、同一の平面上に形成することができる。

【0097】

(実施形態2)

図10～図13は、本発明に係る液晶表示装置の実施形態2を示している。尚、以下の各実施形態において、図1～図9と同じ部分については、同じ符号を付してその詳細な説明は省略する。

40

【0098】

この実施形態2は、図10と、図10のXI-XI線断面図である図11とに示すように、第2の接続電極30b及び第3の接続電極30cが、TFT半導体層20のチャネル領域20cの少なくとも一部を上下方向に覆っている点で、上記実施形態1と異なっている。

【0099】

すなわち、ゲート酸化膜21の上には、第4の層間絶縁膜35が形成され、該第4の層間

50

絶縁膜 35 の上に、第 1 の接続電極 30 a、第 2 の接続電極 30 b、及び第 3 の接続電極 30 c が形成されている。言い換えれば、ゲート配線 22 の層と、ソース配線 25 a の層との間には、導電層が設けられ、該導電層は、第 1 の接続電極 30 a、第 2 の接続電極 30 b、及び第 3 の接続電極 30 c により構成されている。

【0100】

上記実施形態 1 と同様に、第 1 の接続電極 30 a は、第 1 の補助容量電極 13 と、第 3 の補助容量電極 17 とを接続している。また、第 2 の接続電極 30 b は、第 2 の補助容量電極 15 と、TFT 半導体層 20 のドレイン領域 20 b とを接続している。

【0101】

図 10 ~ 図 12 に示すように、第 2 の接続電極 30 b は、TFT 半導体層 20 のチャネル領域 20 c の上方位置へ延びる延長部 36 を備えている。また、第 3 の接続電極 30 c も、上記チャネル領域 20 c の上方位置へ延びる延長部 37 を備えている。こうして、各接続電極 30 b、30 c の延長部 36、37 により、上方からチャネル領域 20 c へ向かう外光を遮るようにしている。 10

【0102】

- 製造方法 -

次に、本実施形態の液晶表示装置の製造方法について説明する。ここでは、上記実施形態 1 と異なる部分についてのみ説明する。

【0103】

本実施形態では、図 13 に示すように、第 1 のコンタクトホール形成工程において、まず、ゲート絶縁膜 21 の上に、第 4 の層間絶縁膜 35 である酸化シリコン膜を、CVD 法により 300 nm の膜厚に形成する。その後、ゲート絶縁膜 21 及び第 4 の層間絶縁膜 35 に対し、一般的なフォトリソグラフィと、ウェットエッチングやドライエッチングとを行うことにより、ソース領域 20 a の上方に第 1 のソースコンタクトホール 24 a を形成する一方、ドレイン領域 20 b の上方に第 1 のドレインコンタクトホール 24 b を形成する。さらに、上記ゲート絶縁膜 21、第 4 の層間絶縁膜 35 及び第 1 の層間絶縁膜 19 に対しても、一般的なフォトリソグラフィと、ウェットエッチングやドライエッチングとを行うことにより、第 1 のコンタクトホール 24 c を第 1 の補助容量電極 13 の上方に形成し、第 2 のコンタクトホール 24 d を上記切り欠き部 31 を介して第 2 の補助容量電極 15 の上方に形成し、さらに、第 3 のコンタクトホール 24 e を第 3 の補助容量電極 17 の上方に形成する。 20 30

【0104】

次に、第 1 の電極形成工程において、第 4 の層間絶縁膜 35 の上に、第 1 の接続電極 30 a、第 2 の接続電極 30 b、及び第 3 の接続電極 30 c をそれぞれ形成する。このとき、第 2 の接続電極 30 b の側部に延長部 36 を形成する一方、第 3 の接続電極 30 c の側部に延長部 37 を形成する。

【0105】

その後、上記実施形態 1 における第 1 の電極形成工程以降の各工程を順次行うことにより、TFT 基板 5 を形成し、該 TFT 基板 5 に対して、図示省略の液晶層や対向基板を接合することにより、液晶表示装置 1 を製造する。 40

【0106】

- 実施形態 2 の効果 -

したがって、この実施形態 2 によると、第 2 の接続電極 30 b の延長部 36 と、第 3 の接続電極 30 c の延長部 37 とによって、TFT 半導体層 20 のチャネル領域 20 c を覆うことができる。その結果、各延長部 36、37 によって、上方からチャネル領域 20 c へ向かって入射する周囲の外光を遮光することができるため、該 TFT 10 の特性を向上させることができる。言い換えれば、接続電極の一部を、TFT 10 の上部遮光膜として利用することができる。

【0107】

(実施形態 3)

図 1 4 は、本発明に係る液晶表示装置の実施形態 3 を示している。以下に説明する実施形態 3 ~ 6 は、ゲート配線 2 2 の層と、ソース配線 2 5 a の層との間に設けられた導電層の少なくとも一部により、T F T 半導体 2 0 のチャネル領域 2 0 c を覆う点で、上記実施形態 2 と同じである。これに対し、本実施形態 3 は、第 1 の接続電極 3 0 a の一部によりチャネル領域 2 0 c を覆うようにした点で実施形態 2 と異なっている。

【 0 1 0 8 】

すなわち、図 1 4 に示すように、第 1 の接続電極 3 0 a は、第 1 のソースコンタクトホールを迂回して、チャネル領域 2 0 c の上方位置へ延びる延長部 3 8 を備えている。延長部 3 8 は、第 1 の電極形成工程において第 1 の接続電極 3 0 a と共にパターン形成される。

【 0 1 0 9 】

したがって、この実施形態 3 によっても、上記延長部 3 8 により上方からチャネル領域 2 0 c へ向かって入射する周囲の外光を遮光することができるため、上記実施形態 2 と同様の効果を得ることができる。

【 0 1 1 0 】

(実施形態 4)

図 1 5 は、本発明に係る液晶表示装置の実施形態 4 を示している。上記実施形態 2 では、第 2 の接続電極 3 0 b と、第 3 の接続電極 3 0 c との双方により、チャネル領域 2 0 c を覆っていたのに対し、この実施形態 4 は、第 2 の接続電極 3 0 b の一部のみによりチャネル領域 2 0 c を覆うようにしている。

【 0 1 1 1 】

すなわち、図 1 5 に示すように、第 2 の接続電極 3 0 b は、チャネル領域 2 0 c の上方位置を越えて、第 3 の接続電極 3 0 c 側へ延びる延長部 3 6 を備えている。延長部 3 6 は、第 1 の電極形成工程において第 2 の接続電極 3 0 b と共にパターン形成される。

【 0 1 1 2 】

この実施形態 4 によっても、上記延長部 3 6 により上方からチャネル領域 2 0 c へ向かって入射する外光を遮ることができるため、上記実施形態 2 と同様の効果を得ることができる。

【 0 1 1 3 】

(実施形態 5)

図 1 6 は、本発明に係る液晶表示装置の実施形態 5 を示している。上記実施形態 2 では、第 2 の接続電極 3 0 b と、第 3 の接続電極 3 0 c との双方により、チャネル領域 2 0 c を覆っていたのに対し、この実施形態 5 は、第 3 の接続電極 3 0 c の一部のみによりチャネル領域 2 0 c を覆うようにしている。

【 0 1 1 4 】

すなわち、図 1 6 に示すように、第 3 の接続電極 3 0 c は、チャネル領域 2 0 c の上方位置を越えて、第 2 の接続電極 3 0 b 側へ延びる延長部 3 7 を備えている。延長部 3 7 は、第 1 の電極形成工程において第 3 の接続電極 3 0 c と共にパターン形成される。

【 0 1 1 5 】

この実施形態 5 によっても、上記延長部 3 7 により上方からチャネル領域 2 0 c へ向かって入射する周囲の外光を遮光することができるため、上記実施形態 2 と同様の効果を得ることができる。

【 0 1 1 6 】

(実施形態 6)

図 1 7 は、本発明に係る液晶表示装置の実施形態 6 を示している。この実施形態 6 は、チャネル領域 2 0 c 及びゲート配線 2 2 を覆う遮光膜 4 0 を設けるようにしたものである。

【 0 1 1 7 】

すなわち、遮光膜 4 0 は、第 4 の層間絶縁膜 3 5 の上に配線状に設けられ、ゲート配線 2 2 を上方から覆うように形成されている。そして、遮光膜 4 0 は、第 1 の接続電極 3 0 a 、第 2 の接続電極 3 0 b 、及び第 3 の接続電極 3 0 c とは独立して形成され、この T F T 1 0 を配置した液晶表示部の外部より独立して電位が印加できるように構成されている。

10

20

30

40

50

【0118】

したがって、この実施形態6によっても、上記遮蔽膜40により上方からチャネル領域20cへ向かって入射する外光を遮ることができるため、上記実施形態2と同様の効果を得ることができる。

【0119】

ところで、遮光膜40と他の導電膜との間の電位差が不安定になると、TFT10の特性や補助容量等に影響を与えて劣化させてしまう虞れがある。

【0120】

これに対し、本実施形態では、遮光膜40が、隣接する各画素間で接続されて配線状に形成されているため、該配線状の遮光膜40の端部を、TFT基板5における有効表示領域の外側まで延伸させ、該端部に所定の電圧を印加させることができる。その結果、遮光膜40と他の導電膜との間の電位差を所定の値に安定して保持できるため、TFT10の特性や補助容量等を良好に維持することができる。

10

【0121】

(実施形態7)

図18は、本発明に係る液晶表示装置の実施形態7を示している。この実施形態7は、上記実施形態2に対し、TFT半導体層20がLDD構造(Lightly Doped Drain)を有している点で異なっている。

【0122】

すなわち、図18に示すように、チャネル領域20cと、ソース領域20aとの間には、ソース領域20aよりも不純物の濃度が低い低濃度不純物領域20eが設けられている。一方、チャネル領域20cと、ドレイン領域20bとの間には、ドレイン領域20bよりも不純物の濃度が低い低濃度不純物領域20eが設けられている。言い換えれば、チャネル領域20cの左右両側には、低濃度不純物領域20eを介して高濃度不純物領域20a、20bがそれぞれ設けられている。さらに、上記低濃度不純物領域20eは、上記第2の接続電極30bの延長部36と、第3の接続電極30cの延長部37とにより覆われている。

20

【0123】

上記低濃度不純物領域20eを有するTFT半導体層20を形成する場合には、上記実施形態1の不純物注入工程において、まず、ゲート電極22を不純物注入マスクとし、不純物である燐元素を、結晶性シリコン層20dに対して、75keV、 2×10^{13} 原子/cm²程度で低濃度に注入する。その後、一般的なフォトリソグラフィ等により所定の形状にパターン形成したレジストを不純物注入マスクとして、上記結晶性シリコン層20dに対して、75keV、 2×10^{15} 原子/cm²程度で高濃度に注入する。このことにより、高濃度の燐が注入された領域がソース領域20a及びドレイン領域20bに形成されると共に、高濃度の燐が注入されなかった領域が低濃度不純物領域20eに形成される。

30

【0124】

したがって、この実施形態7によると、上記実施形態2と同様に、上記延長部36、37により、TFT半導体層20へ向かって入射する外光を遮ることができることに加え、TFT半導体層20がLDD構造を有しているため、TFT10のオフ電流を低減させることができる。その結果、装置全体としての信頼性をさらに向上させることができる。

40

【0125】

尚、上記各実施形態では、凹部12を、石英基板11の上面に直接に形成するようにしたが、請求項1及び14に係る発明の他の実施形態としては、凹部形成工程において、石英基板11の上に絶縁膜を設け、該絶縁膜の上に凹部を形成するようにしてもよい。つまり、本発明は、凹部12がTFT10の下方に配置される構成であればよく、このことにより、上記実施形態と同様の効果を得ることができる。

【0126】

また、上記各実施形態では、第1の補助容量電極13は、全ての隣接する画素の間で接続

50

されることにより、例えば格子状に形成するようにしたが、本発明の請求項 1 に係る発明の他の実施形態としては、第 1 の補助容量電極 13 は、必ずしも隣接する全ての画素の間で接続される必要はなく、少なくとも一部の隣接する画素の間で互いに接続されるようにすればよい。

【0127】

【発明の効果】

以上説明したように、本発明によると、補助容量素子を、薄膜トランジスタに対して上下方向に重ねて設け、少なくとも 3 つ以上の補助容量電極により構成するようにしたので、補助容量素子による遮光領域を低減して開口率を増大させると共に、補助容量を十分に確保することができる。

10

【0128】

さらに、補助容量素子の少なくとも一部を上記凹部の内側に形成するようにしたので、補助容量素子を形成するためのマスク等を不要として、パターンニング工程を大幅に簡略化することができる。すなわち、パターンニングに要するコストを低減させると共に、フォト合わせのためのマージンを不要とし、パターン成形される膜を全体として減少させることにより上層側で生じる段差を低減させることができる。その結果、液晶表示装置を安価で精度良く容易に製造することができる。

【0129】

そのことに加えて、補助容量電極の少なくとも 2 つを接続するコンタクトホールを、ソース配線に対して上下方向に重ねるようにしたので、多数のコンタクトホールが、ゲート配線が設けられる領域に集中するのを防止することができる。その結果、多数のコンタクトホールが基板上に設けられていても、画素領域を小型化させることができるため、表示の詳細化を好適に図ることができる。

20

【図面の簡単な説明】

【図 1】実施形態 1 の液晶表示装置における T F T 基板を示す断面図である。

【図 2】石英基板上に補助容量素子が形成された状態を示す平面図である。

【図 3】補助容量素子の上に T F T が形成された状態を示す平面図である。

【図 4】実施形態 1 の液晶表示装置における T F T 基板を示す平面図である。

【図 5】石英基板の凹部の上に形成された積層体を示す断面図である。

【図 6】研磨工程で研磨された積層体を示す断面図である。

30

【図 7】補助容量素子を示す断面図である。

【図 8】補助容量素子の上に形成された結晶性シリコン層及びゲート電極を示す断面図である。

【図 9】補助容量素子の上に形成された T F T を示す断面図である。

【図 10】実施形態 2 の液晶表示装置の T F T 基板を示す断面図である。

【図 11】補助容量素子の上に T F T が形成された状態を示す平面図である。

【図 12】実施形態 2 の液晶表示装置における T F T 基板を示す平面図である。

【図 13】補助容量素子の上に形成された T F T を示す断面図である。

【図 14】実施形態 3 の補助容量素子の上に T F T が形成された状態を示す平面図である。

40

【図 15】実施形態 4 の補助容量素子の上に T F T が形成された状態を示す平面図である。

【図 16】実施形態 5 の補助容量素子の上に T F T が形成された状態を示す平面図である。

【図 17】実施形態 6 の補助容量素子の上に T F T が形成された状態を示す平面図である。

【図 18】実施形態 7 の液晶表示装置における T F T 基板を示す断面図である。

【図 19】従来の補助容量素子を備える T F T 基板を示す断面図である。

【図 20】従来の T F T 基板を示す平面図である。

【図 21】従来の T F T の下方に設けられた補助容量素子を備える T F T 基板を示す断面

50

図である。

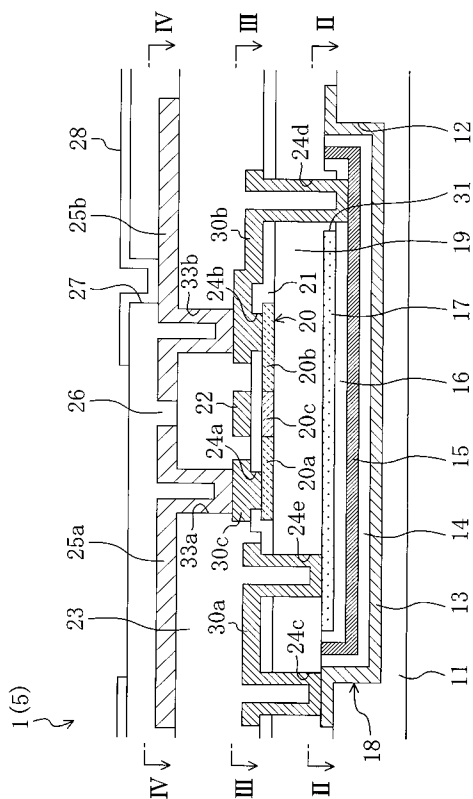
【符号の説明】

- 1 液晶表示装置
- 10 TFT（薄膜トランジスタ）
- 11 石英基板（絶縁性基板）
- 12 凹部
- 13 第1の補助容量電極
- 14 第1の補助容量絶縁膜（絶縁膜）
- 15 第2の補助容量電極
- 16 第2の補助容量絶縁膜（絶縁膜）
- 17 第3の補助容量電極
- 18 補助容量素子
- 20a ソース領域（高濃度不純物領域）
- 20b ドレイン領域（高濃度不純物領域）
- 20e 低濃度不純物領域
- 22 ゲート電極
- 24c 第1のコンタクトホール
- 24e 第3のコンタクトホール
- 25a ソース電極（ソース配線）
- 28 画素電極
- 30a 第1の接続電極
- 30b 第2の接続電極

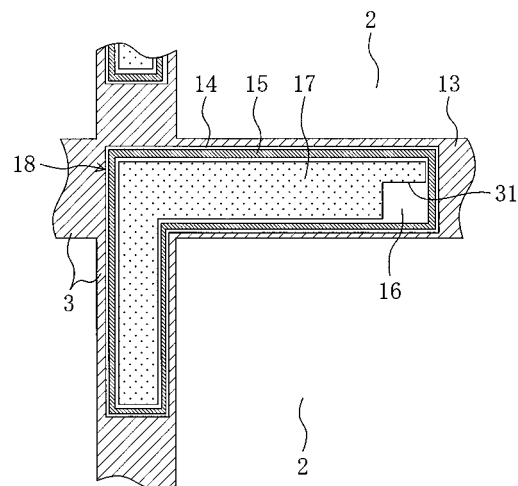
10

20

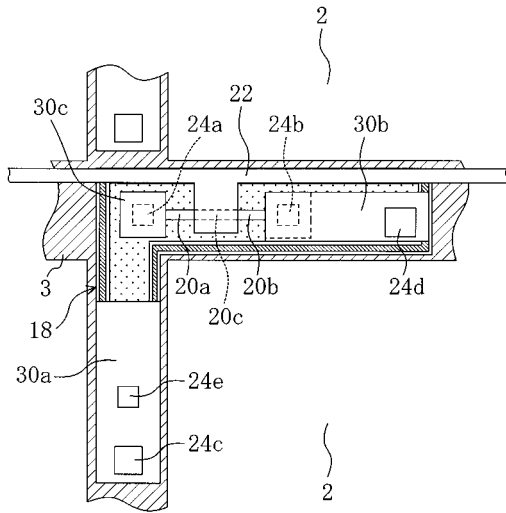
【図1】



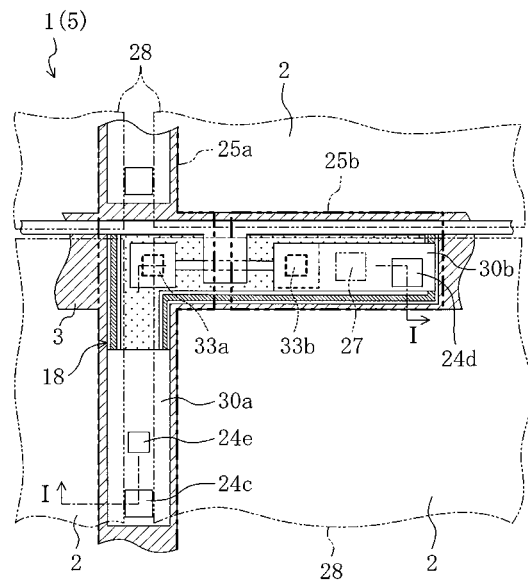
【図2】



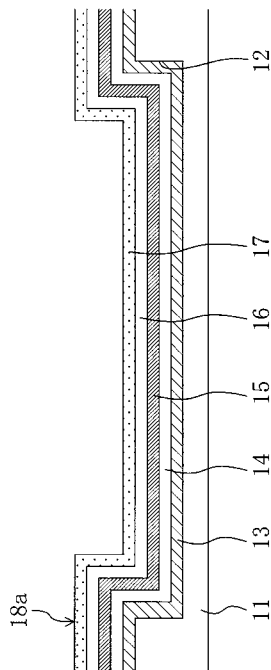
【図 3】



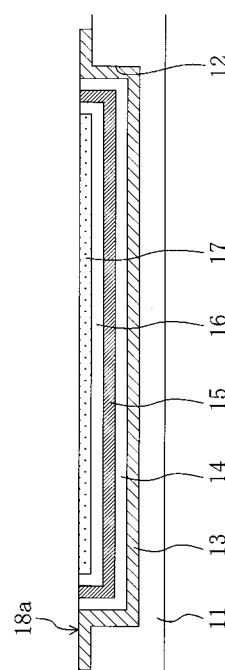
【図 4】



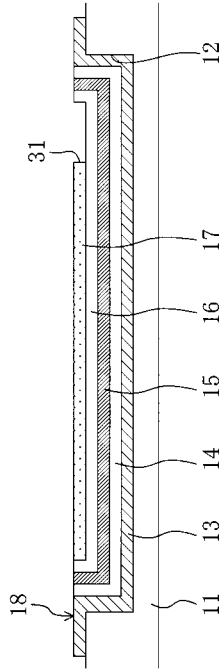
【図 5】



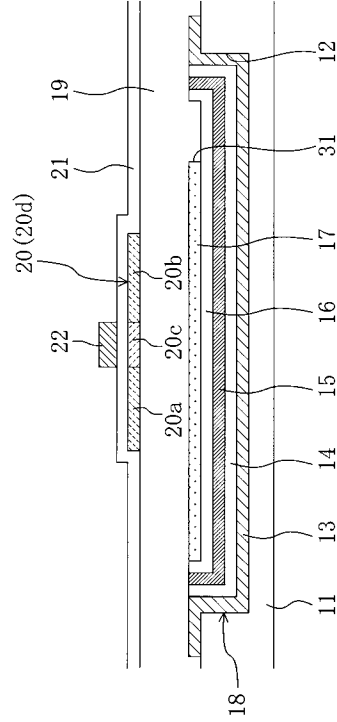
【図 6】



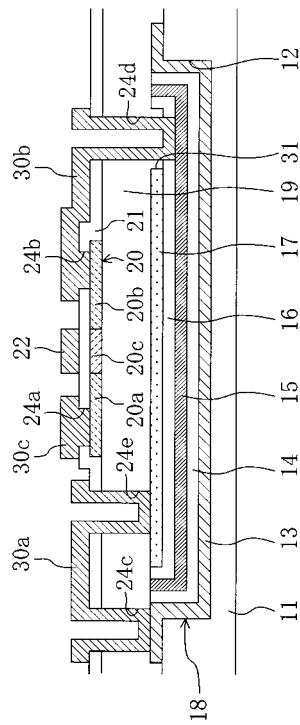
【 図 7 】



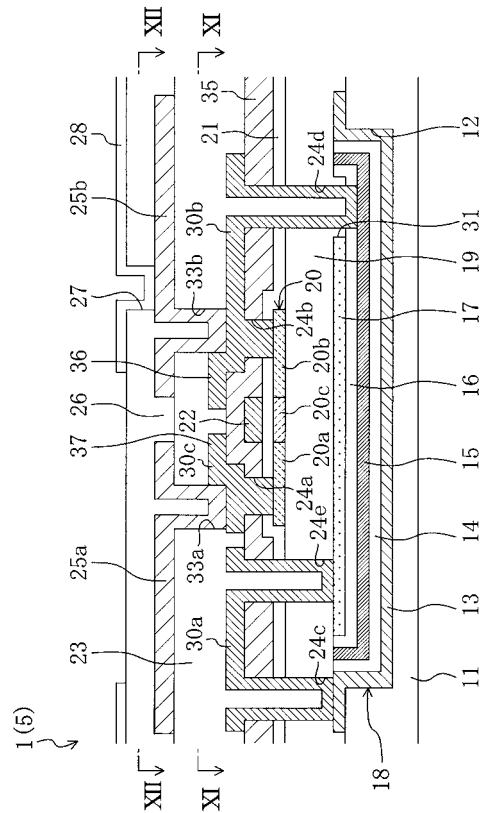
【 図 8 】



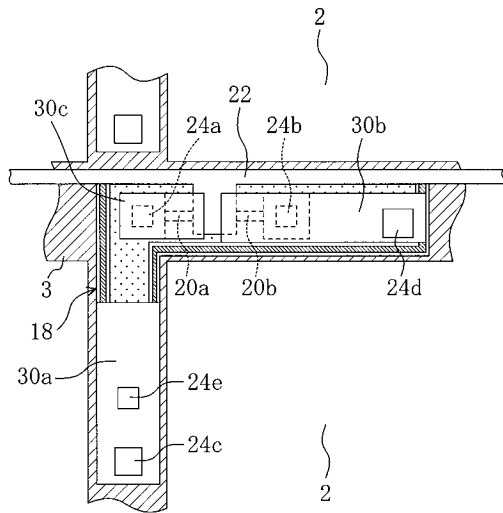
【 図 9 】



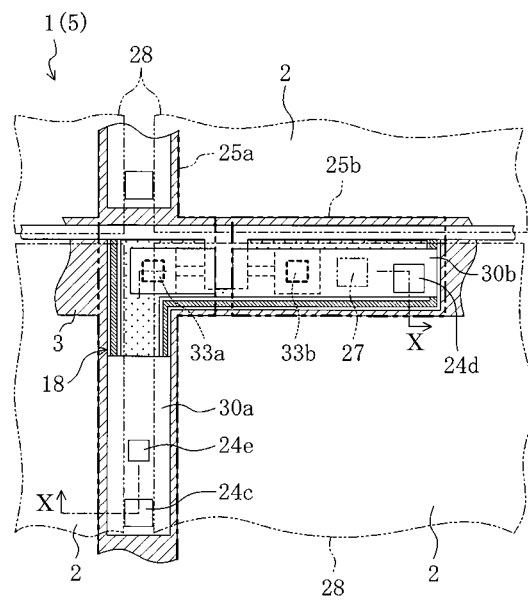
【 図 1 0 】



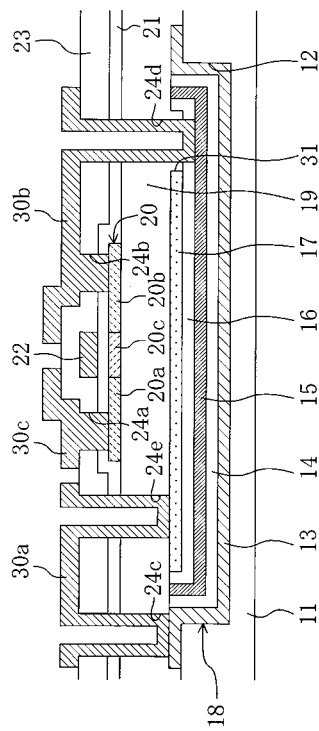
【図 1 1】



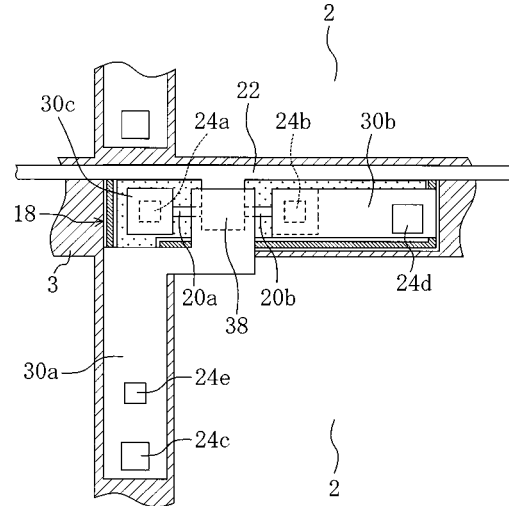
【図 1 2】



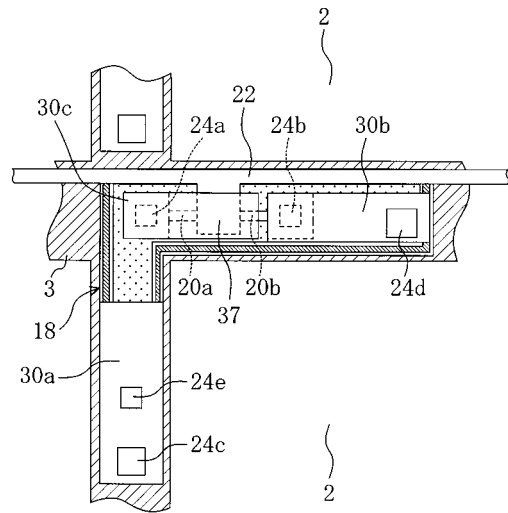
【図 1 3】



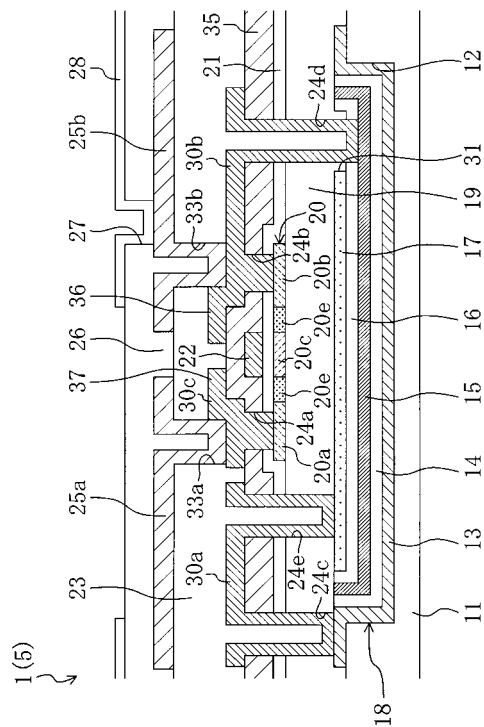
【図 1 4】



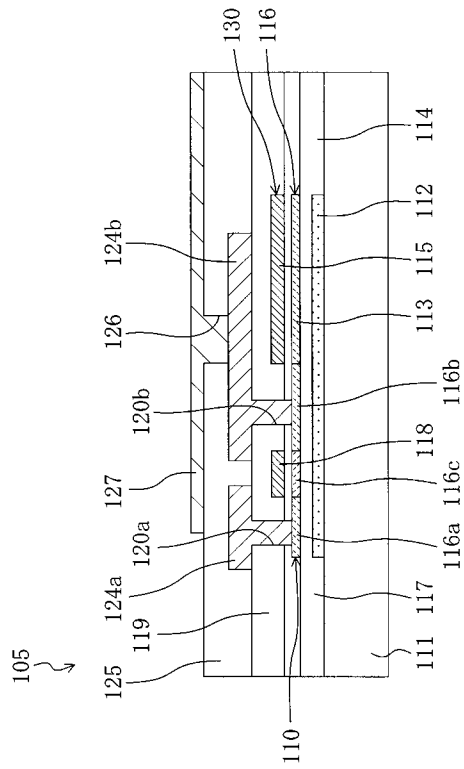
【 図 1 6 】



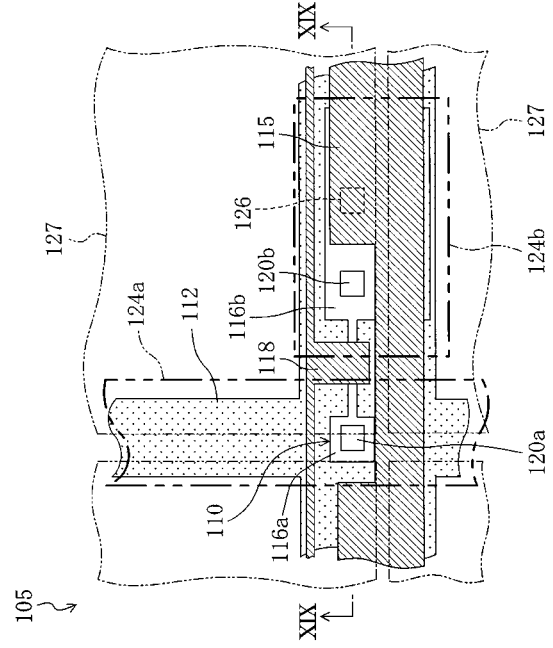
【 図 1 8 】



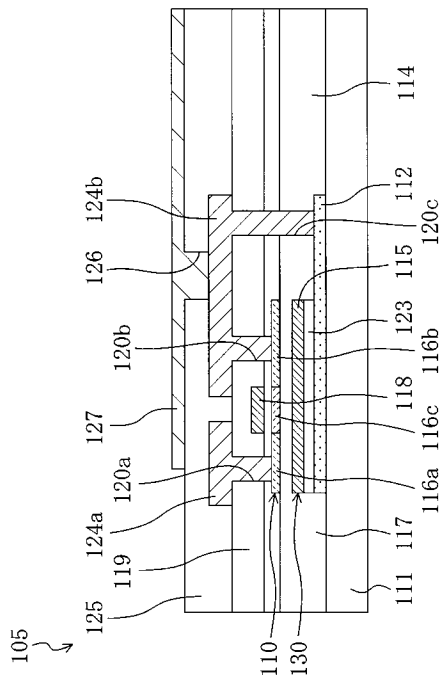
【図 19】



【図 20】



【図 21】



フロントページの続き

F ターム(参考) 2H092 GA29 JA24 JA46 JB63 KA04 KA05 KA22 KB13 KB25 MA07
MA13 MA27 NA21 NA27 NA29 PA09
5F110 AA30 BB01 CC02 DD03 DD13 DD21 EE09 EE48 FF02 GG02
GG13 GG25 HJ01 HJ04 HJ13 HJ23 HL05 HL06 HL08 HL12
HM15 HM17 NN03 NN23 NN35 NN41 NN44 NN72 NN73 PP03
PP10 QQ11 QQ19

专利名称(译)	液晶表示装置		
公开(公告)号	JP2004363300A	公开(公告)日	2004-12-24
申请号	JP2003159554	申请日	2003-06-04
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	後藤政仁		
发明人	後藤 政仁		
IPC分类号	G02F1/1368 H01L29/786		
FI分类号	H01L29/78.612.C G02F1/1368 H01L29/78.626.C		
F-TERM分类号	2H092/GA29 2H092/JA24 2H092/JA46 2H092/JB63 2H092/KA04 2H092/KA05 2H092/KA22 2H092/KB13 2H092/KB25 2H092/MA07 2H092/MA13 2H092/MA27 2H092/NA21 2H092/NA27 2H092/NA29 2H092/PA09 5F110/AA30 5F110/BB01 5F110/CC02 5F110/DD03 5F110/DD13 5F110/DD21 5F110/EE09 5F110/EE48 5F110/FF02 5F110/GG02 5F110/GG13 5F110/GG25 5F110/HJ01 5F110/HJ04 5F110/HJ13 5F110/HJ23 5F110/HL05 5F110/HL06 5F110/HL08 5F110/HL12 5F110/HM15 5F110/HM17 5F110/NN03 5F110/NN23 5F110/NN35 5F110/NN41 5F110/NN44 5F110/NN72 5F110/NN73 5F110/PP03 5F110/PP10 5F110/QQ11 5F110/QQ19 2H192/AA24 2H192/BC42 2H192/CB02 2H192/CB42 2H192/CB45 2H192/DA15 2H192/DA44 2H192/DA52 2H192/DA65 2H192/DA67 2H192/EA04 2H192/EA13 2H192/EA15 2H192/EA17 2H192/GD02 2H192/HA84 2H192/HA86 2H192/HA88		
代理人(译)	前田弘 竹内雄二		
外部链接	Espacenet		

摘要(译)

包括TFT (10) 和辅助电容元件 (18) 的液晶显示装置 (1) 既提高了开口率, 又确保了辅助电容的充分固定, 从而实现了低成本, 精确和容易的制造以及详细的显示。计划。 TFT和辅助电容元件设置在石英基板上。 辅助电容元件18设置在TFT 10下方, 并且由至少三个或更多个辅助电容电极13、15和17组成。 另一方面, 石英基板11在TFT 10的下方的位置处设有向上方开口的凹部12。 辅助电容元件18设置在凹部12内。 连接辅助电容电极的第一接触孔20c和第三接触孔20e形成在与源极线25a垂直重叠的位置。 [选型图]图1

