

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-258498

(P2004-258498A)

(43) 公開日 平成16年9月16日(2004.9.16)

(51) Int.Cl.⁷

G09G 3/36

G02F 1/133

G09G 3/20

F I

G09G 3/36

G02F 1/133 550

G09G 3/20 611J

G09G 3/20 622D

G09G 3/20 642A

テーマコード (参考)

2H093

5C006

5C080

審査請求 未請求 請求項の数 2 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2003-51224 (P2003-51224)

(22) 出願日 平成15年2月27日 (2003.2.27)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(74) 代理人 100085235

弁理士 松浦 兼行

(72) 発明者 古屋 正人

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

Fターム(参考) 2H093 NA16 NA31 NA43 NC16 NC22

NC27 NC33 NC35 ND10 ND12

NG02

最終頁に続く

(54) 【発明の名称】 液晶表示装置

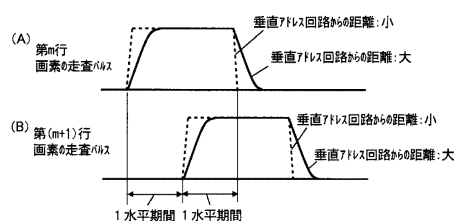
(57) 【要約】

【課題】 反射型液晶表示装置では、隣接画素電極間の寄生容量の影響が無視できない構造のため、垂直アドレス回路からの距離によるフィードスルー電圧の分布特性、すなわち場所による不均一がより一層大きい。

【解決手段】 第 m 行画素に供給される走査パルスの立ち下がりに対し、第 $(m+1)$ 行画素に供給される走査パルスの立ち上がりが1水平期間先行しているため、第 $(m+1)$ 行の画素が選択状態となり、この行に属する画素の画素電極電圧レベルが変化する期間には、第 m 行画素はいずれも選択状態となっており、隣接画素電極間の寄生容量結合によって第 $(m+1)$ 行画素から第 m 行画素に対しフィードスルーによる誤差電圧が生じて、オン状態にある第 m 行画素のスイッチングトランジスタによって再充電が行われ、その影響がキャンセルされ、その結果、フィードスルー電圧分布が軽減され、より均一性に優れた表示品質を得ることができる。

【選択図】

図3



【特許請求の範囲】

【請求項 1】

互いに直交する複数の信号線及び複数の走査線と、それら複数の信号線及び複数の走査線の各交差部に形成された、画素電極、電荷保持容量及びスイッチング素子からなる複数の画素とが搭載されており、各画素の前記スイッチング素子は制御端子が前記走査線に接続され、入力端子が前記信号線に接続され、出力端子が前記画素電極及び前記電荷保持容量の一方の端子に並列接続されている素子基板と、一方の面に共通電極が形成された透明基板と、前記素子基板の画素電極と前記透明基板の共通電極を離間対向配置した間隙に充填された液晶からなる液晶パネルと、

前記複数の信号線に表示信号を供給する水平アドレス回路と、

前記複数の走査線に走査パルスを用いて走査線単位で順次供給する垂直アドレス回路と、

前記垂直アドレス回路より隣接する 2 本の前記走査線に供給される連続した第 1 及び第 2 の走査パルスのうち、前記第 2 の走査パルスによる前記スイッチング素子のオフからオンへの遷移タイミングが、前記第 1 の走査パルスによる前記スイッチング素子のオンからオフへの遷移タイミングよりも時間的に先行するように、前記垂直アドレス回路から出力される前記走査パルスを制御する走査パルス制御手段と

を有することを特徴とする液晶表示装置。

【請求項 2】

互いに直交する複数の信号線及び複数の走査線と、それら複数の信号線及び複数の走査線の各交差部に形成された、画素電極、電荷保持容量及びスイッチング素子からなる複数の画素とが搭載されており、各画素の前記スイッチング素子は制御端子が前記走査線に接続され、入力端子が前記信号線に接続され、出力端子が前記画素電極及び前記電荷保持容量の一方の端子に並列接続されている素子基板と、一方の面に共通電極が形成された透明基板と、前記素子基板の画素電極と前記透明基板の共通電極を離間対向配置した間隙に充填された液晶からなる液晶パネルと、

前記複数の信号線に表示信号を供給する水平アドレス回路と、

前記複数の走査線に走査パルスを用いて走査線単位で順次供給する垂直アドレス回路と、

前記垂直アドレス回路より隣接する 2 本の前記走査線に供給される連続した第 1 及び第 2 の走査パルスのうち、前記第 1 の走査パルスによる前記スイッチング素子のオンからオフへの遷移タイミングが、前記第 2 の走査パルスによる前記スイッチング素子のオフからオンへの遷移タイミングよりも時間的に先行するように、前記垂直アドレス回路から出力される前記走査パルスを制御する走査パルス制御手段と

を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に係り、特に液晶パネルを用いて画像表示を行う液晶表示装置に関する。

【0002】

【従来の技術】

従来から、大画面映像表示用の表示装置として図 8 及び図 9 に示すような液晶表示装置が知られている。図 8 は従来の液晶表示装置の液晶パネルの一例の概略構成図、図 9 は従来の液晶表示装置の一例の回路構成図を示す。両図中、同一構成部分には同一符号を付してある。図 8 に示すように、従来の液晶表示装置の液晶パネル 13 は、シリコン (Si) 基板 10 上に複数の信号線 D1, D2, D3, ... (以下、総称して信号線 D という。) が一定間隔で平行に配置され、これら各信号線 D1, D2, D3, ... と直交する方向に複数の走査線 G1, G2, G3, ... (以下、総称して走査線 G という。) が一定間隔で配置されている。

10

20

30

40

50

【0003】

複数の信号線Dと複数の走査線Gの交差部のそれぞれには、スイッチングトランジスタTr、コンデンサCs等を含んだ表示画素PXが形成され、全体としてマトリクス状に表示画素PXが配置されている。スイッチングトランジスタTrは、ドレインが信号線Dに、ゲートが走査線Gに、ソースがコンデンサCsの一方の保持容量個別電極171及び画素電極18に並列にそれぞれ接続されている。これらの信号線D、走査線G、表示画素PX及び画素電極18で素子基板19を構成している。

【0004】

一方、所定の間隙を有して、Si基板10（素子基板19）の上方に、表面に光学的に透明な共通電極20が形成された透明基板21が配置されている。このとき、スイッチングトランジスタTr等と共通電極20とが対向するようにされている。そして、前記した素子基板19と透明基板21の間の所定の間隙には、液晶4が充填されている。また、外部接続線22がコンデンサCsの他方の保持容量共通電極172及び透明基板21に形成された共通電極20と並列接続されている。

【0005】

また、図9に示すように、液晶表示装置は、図8に示した構成の液晶パネル13と、液晶パネル13の走査線Gに走査信号を供給する垂直アドレス回路2と、信号線Dに画像信号を供給する水平アドレス回路3とからなる。垂直アドレス回路2は複数の走査線Gに接続され、水平アドレス回路3は複数の信号線Dに接続されている。なお、前述したように、同一列方向の複数のスイッチングトランジスタTrのドレイン14は、同一の信号線Dに接続され、同一行方向の複数のスイッチングトランジスタTrのゲート15が同一の走査線Gに接続され、ソース16が同じ表示画素PX内のコンデンサCsの一方の保持容量個別電極171及び画素電極18に並列にそれぞれ接続されている。

【0006】

次に、この従来の液晶表示装置の動作について説明する。図9に示す水平アドレス回路3は1水平期間のビデオ信号を順次信号線D1，D2，D3，・・・にサンプリングする。次に、図9に示す垂直アドレス回路2から走査線G1，G2，G3，・・・に対して1水平期間毎に順次選択パルスを出力する。

【0007】

その結果、走査線G1，G2，G3，・・・に接続された複数のスイッチングトランジスタTrが1行ずつ1水平期間毎に順次オンとなり、信号線D1，D2，D3，・・・にサンプリングされたビデオ信号がオンとされたスイッチングトランジスタTrのドレイン・ソース14、16を通して対応する画素のコンデンサCsに蓄積保持される。このコンデンサCsに蓄積された電荷による保持電圧により、各画素PXでは、画素電極18と共通電極20間の電圧が液晶4に印加され、その電圧に応じて液晶4の光変調度が変化することにより、画像が表示される。

【0008】

図10は従来の液晶表示装置における表示画素部分の断面構造の概略図を示す。同図中、図8及び図9と同一構成部分には同一符号を付してある。図10において、各画素のスイッチングトランジスタTrのソース16が信号線110を介して保持容量（コンデンサCs）の個別電極171に接続され、さらに、遮光金属層300に形成した開口部を介して最上層の金属層に形成した画素電極18に接続した構造となっている。

【0009】

この構造により、画素電極18をスイッチングトランジスタTrや保持容量Cs等の画素回路構成要素を構成する層の上部に位置する別の配線層を用いて、これらの構成要素を完全に覆うように形成できる。したがって、各画素電極18の面積を大きく画素電極間距離を微細にできるため、高い開口率／高光利用率の液晶表示装置が実現できる。

【0010】

また、遮光金属層300の開口部301と各画素電極18の間隙部181の位置を、Si基板10の表面に対して垂直方向上にずらして構成することにより、入射光源光が直接ス

10

20

30

40

50

スイッチングトランジスタTr部分に到達して誤動作することを防いでおり、強力な入射光に耐えることのできる高い耐光性を実現し、高輝度の液晶表示装置を実現できる。

【0011】

【発明が解決しようとする課題】

しかるに、上記の従来の液晶表示装置では、図11の等価回路図に示すように、各画素を構成する画素回路において、スイッチングトランジスタTrのゲート、ソース14、16間には配線レイアウトおよびトランジスタ構造に起因するゲート・ソース間寄生容量200が存在する。このため、走査線Gに選択パルス信号が供給されて、スイッチングトランジスタTrがオンからオフ状態に移る瞬間に、走査線Gの選択パルスの変化がこの寄生容量200による容量結合を介して画素電極18に現われ、コンデンサCsに保持する液晶駆動電圧に誤差電圧（以後、この誤差電圧をゲート・ソース間フィードスルー電圧と呼ぶものとする。）を発生させるという問題がある。

10

【0012】

更に、図10に示した従来の反射型液晶表示装置においては、画素電極18を各スイッチングトランジスタTrの上部を個別に覆うようにそれぞれ形成し、高い開口率を実現できるという特徴を活かすため、各画素電極18の間隙181は、例えば1ミクロン以下という微小寸法で形成される。これより、この反射型液晶表示装置に固有の特徴として、同一列方向の隣接する2つの画素（これを上下隣接画素というものとする）の画素電極18間には比較的大きな画素間寄生容量（図11に201で示す）が形成される。

【0013】

従来の反射型液晶表示装置においては、この画素間寄生容量の存在により、ゲート・ソース間フィードスルー電圧に加え、さらに上下隣接画素の画素電極電圧変化の影響が画素電極18に現われ、コンデンサCsに保持する液晶駆動電圧の誤差電圧をさらに増大させる、という問題がある。

20

【0014】

ところで、通常、スイッチングトランジスタTrのゲート15と走査線Gに用いられるポリシリコンは、金属配線に比較して抵抗が高い値をもつ。例えば、金属であるアルミニウム（A1）のシート抵抗は、略30mΩ/□であるのに対して、ポリシリコンのシート抵抗は、略30Ω/□である。このため、ポリシリコン上にタングステン、シリサイド等の金属材料を形成して走査線Gとすることが考えられるが、そのシート抵抗は、7Ω/□程度であり、A1と比較すると略200倍大きい。

30

【0015】

図12に示すように、走査線Gには、直列抵抗成分や寄生容量成分が分布しているため、垂直アドレス回路2から走査線Gに印加される選択パルス（以下、走査パルスともいう）の波形は、垂直アドレス回路2の出力近傍のA点では、ほとんどなまりがないが、垂直アドレス回路2から順次遠ざかったB点、C点では、なまりがだんだん大きくなる。ここで、図12は従来の液晶表示装置の寄生容量を説明するための図であり、同図中、分布容量とは、走査線Gに寄生している容量である。

【0016】

図13（A）、（B）は、図12の垂直アドレス回路2の近傍に位置する走査線G上のA点、および遠くに位置する走査線G上のC点の各々の画素において発生するフィードスルー電圧の概要を表した模式図である。ここで、フィードスルー電圧とは、▲1▼ゲート・ソース間寄生容量200を介して現れる、走査線G上の選択パルスの影響と、▲2▼隣接画素電極間寄生容量201を介して現れる、隣り合う画素信号変化の影響の2つの成分が複合されたものを対象としている。

40

【0017】

図13（A）に示したA点に対応する画素と、同図（B）に示したC点に対応する画素では、フィードスルー電圧の発生に以下のような差がある。

【0018】

（1）ゲート・ソース間フィードスルー電圧

50

A点においては、図13(A)に示すように第 m 行走査パルス a_m のなまりが小さいため、Iで示す第 m 行走査パルス a_m がハイレベルからローレベルに遷移する瞬間、すなわち、第 m 行走査線に接続された画素のスイッチングトランジスタ T_r がオンからオフレベルに遷移する瞬間に、ゲート・ソース間フィードスルーが急峻に現れる。この場合、スイッチングトランジスタ T_r がオフからオンに移行する途中で誤差電圧を再充電で埋め合わせる効果が小さく、ゲート・ソース間フィードスルー電圧は大きな値を示す。

【0019】

一方、C点においては図13(B)に示すように第 m 行走査パルス c_m のなまりが大きいため、Iで示す第 m 行走査パルス c_m がハイレベルからローレベルに遷移する瞬間、すなわち、第 m 行走査線に接続された画素のスイッチングトランジスタ T_r のオンからオフレベルへの遷移は急峻でなく、ゲート・ソース間フィードスルーによる誤差電圧をトランジスタによる再充電である程度緩和することができる結果、ゲート・ソース間フィードスルー電圧はA点より小さな値を示す。

10

【0020】

(2) 画素電極間フィードスルー電圧

画素電極間フィードスルーについては、第 m 行走査パルスの立ち下り、すなわち、第 m 行の画素のスイッチングトランジスタ T_r がオンからオフに移行する瞬間のタイミングと、第 $(m+1)$ 行走査パルスの立ち上がり、すなわち第 $(m+1)$ 行の画素のスイッチングトランジスタ T_r がオフからオンに移行し、第 $(m+1)$ 行画素の信号電圧が変化するタイミングとの相対関係により、その影響が変化する。

20

【0021】

図13の各部電圧波形の模式図では、A点においては、第 m 行走査パルス a_m のなまりが小さく、第 m 行走査線に接続された画素のスイッチングトランジスタ T_r のオフ時点Iより前のタイミングで第 $m+1$ 行走査線に接続された画素の信号変化(書き込み)がなされている。ここで、液晶を交流電圧駆動する必要から、画素への書き込み信号はフレーム毎に極性反転することが基本となっていることに注意されたい。

【0022】

A点のタイミングでは、隣接画素、すなわち第 $(m+1)$ 行の画素信号電圧が、第 m 行画素のオフ時点より前のタイミングで変化する傾向にあり、画素間寄生容量を介して第 $(m+1)$ 行画素から第 m 行画素に対してフィードスルーによる誤差電圧が生じて、オン状態にある第 m 行画素のトランジスタによる再充電が行われ、前記誤差電圧を打ち消す傾向がある。

30

【0023】

一方、C点においては、第 m 行走査パルス a_m のなまりが大きく、第 m 行走査線に接続された画素のスイッチングトランジスタのオフ時点Iより後ろのタイミングで第 $(m+1)$ 行走査線に接続された画素のスイッチングトランジスタのオン時点IIが生じて第 $(m+1)$ 行走査線に接続された画素の信号変化(書き込み)がなされており、この時点では第 m 行走査線に接続された画素のスイッチングトランジスタ T_r がすでにオフ状態に移行した後であるため、スイッチングトランジスタによる再充電は行われず、画素電極間フィードスルーによる誤差電圧は大きな値を示す。

40

【0024】

図13では、第 $(m+1)$ 行画素の信号電圧が負極性から正極性に変化しているため、第 m 行画素に現れる画素間フィードスルーによる誤差電圧はプラス側、すなわち(1)のゲート・ソース間フィードスルー電圧と逆向きの電圧となり、(1)のゲート・ソース間フィードスルー電圧と(2)の画素電極間フィードスルー電圧を合わせた実質的な誤差電圧は、A点では図13(A)に V_A で示され、C点では同図(B)に V_C で示され、両者には大きな差が生じる結果となる。

【0025】

図14は上述のフィードスルー量を、横軸を垂直アドレス回路からの距離としてプロットした図である。ゲート・ソース間寄生容量のみによって発生するフィードスルー電圧の分

50

布特性（特性ⅠⅠⅠ）と画素間フィードスルーを合わせた場合のフィードスルー電圧の分布特性（特性ⅠⅤ）の２つの特性を同一図上にプロットしている。

【 0 0 2 6 】

図 1 4 より明らかなように、図 1 0 の反射型液晶表示装置のように隣接画素電極間の寄生容量の影響が無視できない構造の場合、垂直アドレス回路からの距離によるフィードスルー電圧の分布特性、すなわち場所による不均一がより一層大きくなる、という問題がある。

【 0 0 2 7 】

このようなフィードスルー電圧分布（不均一）の増大は、画面の輝度ムラとして画像表示品位を著しく低下させると共に、本来理想的な交流電圧で駆動すべき液晶に直流電圧成分の分布が印加される結果、焼き付きや信頼性の低下につながる、という問題がある。 10

【 0 0 2 8 】

本発明は以上の点に鑑みなされたもので、構造上隣接画素電極間の寄生容量が大きい反射型液晶表示装置の表示均一性を改善し、画面の輝度ムラのない、焼き付きのない信頼性の高い液晶表示装置を提供することを目的とする。

【 0 0 2 9 】

【課題を解決するための手段】

本発明は上記の目的を達成するため、互いに直交する複数の信号線及び複数の走査線と、それら複数の信号線及び複数の走査線の各交差部に形成された、画素電極、電荷保持容量及びスイッチング素子からなる複数の画素とが搭載されており、各画素のスイッチング素子は制御端子が走査線に接続され、入力端子が信号線に接続され、出力端子が画素電極及び電荷保持容量の一方の端子に並列接続されている素子基板と、一方の面に共通電極が形成された透明基板と、素子基板の画素電極と透明基板の共通電極を離間対向配置した間隙に充填された液晶からなる液晶パネルと、複数の信号線に表示信号を供給する水平アドレス回路と、複数の走査線に走査パルスをもつ水平期間毎に走査線単位で順次供給する垂直アドレス回路と、垂直アドレス回路より隣接する２本の走査線に供給される連続した第１及び第２の走査パルスのうち、一方の走査線に供給される第１の走査パルスによるスイッチング素子のオフ時点と、続いて他方の走査線に供給される第２の走査パルスによるスイッチング素子のオン時点とが互いに一致しないように制御する走査パルス制御手段とを有する構成としたものである。 20 30

【 0 0 3 0 】

この発明では、隣接する第 m 行と第 $(m+1)$ 行の２本の走査線のうち、第 m 行の走査線に供給される第１の走査パルスによる第 m 行の各画素内のスイッチング素子のオフ時点と、第 $(m+1)$ 行の走査線に供給される第２の走査パルスによる第 $(m+1)$ 行の各画素内のスイッチング素子のオン時点とが互いに一致しないようにされているため、第 $(m+1)$ 行の各画素がスイッチング素子のオンにより選択状態となった時点では、隣接する第 m 行の各画素がスイッチング素子が直前の状態（オン又はオフ状態）を維持することができる。

【 0 0 3 1 】

また、上記の目的を達成するため、本発明は、上記の走査パルス制御手段を、第２の走査パルスによるスイッチング素子のオフからオンへの遷移タイミングが、第１の走査パルスによるスイッチング素子のオンからオフへの遷移タイミングよりも時間的に先行するように、垂直アドレス回路から出力される走査パルスを制御する構成としたことを特徴とする。 40

【 0 0 3 2 】

この発明では、隣接する第 m 行と第 $(m+1)$ 行の２本の走査線のうち、第 $(m+1)$ 行の走査線に接続された複数の画素が第２の走査パルスにより選択状態に切り替わり、この行に属する画素の画素電極電圧レベルが変化する時には、第 m 行の走査線に接続された複数の画素は第１の走査パルスによりいずれも選択状態となっているため、隣接画素電極間の寄生容量結合によって第 $(m+1)$ 行の走査線に接続された画素から第 m 行の走査線に 50

接続された画素に対しフィードスルーによる誤差電圧が生じて、選択状態にある第 m 行の走査線に接続された画素のスイッチング素子によって再充電が行われ、その影響がキャンセルされる。

【0033】

また、本発明は上記の目的を達成するため、上記の走査パルス制御手段を、第 1 の走査パルスによるスイッチング素子のオンからオフへの遷移タイミングが、第 2 の走査パルスによるスイッチング素子のオフからオンへの遷移タイミングよりも時間的に先行するように、垂直アドレス回路から出力される走査パルスを制御する構成としたことを特徴とする。

【0034】

この発明では、隣接する第 m 行と第 $(m+1)$ 行の 2 本の走査線のうち、第 $(m+1)$ 行の走査線に接続された複数の画素が第 2 の走査パルスにより選択状態に切り替わり、この行に属する画素の画素電極電圧レベルが変化する時には、第 m 行の走査線に接続された複数の画素は第 1 の走査パルスにより、いずれも既に非選択状態となっているため、隣接画素電極間の寄生容量結合によって第 $(m+1)$ 行画素から第 m 行画素に対しフィードスルーによる誤差電圧が生じて、オフ状態にある第 m 行画素のスイッチング素子によって再充電が行われることがない。

【0035】

【発明の実施の形態】

次に、本発明の各実施の形態について図面と共に説明する。図 1 は本発明になる液晶表示装置の第 1 の実施の形態の回路構成図を示す。同図に示す第 1 の実施の形態の液晶表示装置は、水平アドレス回路 101 及び垂直アドレス回路 103 を有すると共に、従来例の構成と同様に、互いに平行に一定間隔で配置された k 本の信号線 $D1$ 、 $D2$ 、 $\dots$ 、 Dk と、互いに平行に一定間隔で配置された n 本の走査線 $G1$ 、 $G2$ 、 $\dots$ 、 Gn とが互いに直交する方向に形成され、それらの各交差部にはそれぞれ表示画素 PIX が形成されている。すなわち、複数の表示画素 PIX が二次元マトリクス状に配列されている。

【0036】

水平アドレス回路 101 は、水平シフトレジスタ 102 及び k 個のスイッチ (SW) 回路より構成されている。水平シフトレジスタ 102 の k 個の各出力ビット端子は、 k 個の SW 回路のうち対応する 1 個の SW 回路の制御端子に接続されている。また、 k 個の SW 回路の入力側端子は表示信号入力端子 SIG に共通接続され、各 SW 回路の出力側端子は前記 k 本の信号線 $D1$ 、 $D2$ 、 $\dots$ 、 Dk のうち、対応する 1 本の信号線に別々に接続されている。

【0037】

また、水平シフトレジスタ 102 には、図示しない駆動タイミング生成回路より水平スタート信号 HST 及び水平クロック HCK が供給される。水平シフトレジスタ 102 の各出力ビット端子からは SW 回路群の各制御端子に対し順次オンパルスを送出し、各 SW 回路を順次オン状態とすることにより、表示信号入力端子からの表示信号 SIG を対応する信号線 $D1$ 、 $D2$ 、 $\dots$ 、 Dk に順次サンプリングする。

【0038】

垂直アドレス回路 103 は、垂直シフトレジスタ 104 で構成され、垂直シフトレジスタ 104 の n 個の各出力ビット端子は前記走査線 $G1$ 、 $G2$ 、 $\dots$ 、 Gn のうち、対応する一本の走査線に接続されている。垂直アドレス回路 103 を構成する垂直シフトレジスタ 104 は、図示しない駆動タイミング生成回路より垂直スタート信号 VST 及び垂直クロック VCK を入力信号として受け、対応する走査線 $G1$ 、 $G2$ 、 $\dots$ 、 Gn に順次行選択パルス（走査パルス）を送出する。

【0039】

次に、図 1 に示す本発明の液晶表示装置の第 1 の実施の形態の動作について、図 2 及び図 3 のタイミングチャートを併せ参照して説明する。本実施の形態は垂直アドレス回路 103 を構成する垂直シフトレジスタ (VSR) 104 が、入力される垂直スタート信号 (VST) のイネーブル期間中（図 2 で垂直スタート信号 VST がハイレベルとなっている期

間中)に、垂直クロック(VCK)によるトリガ(図2では立ち上がりエッジ)が2サイクル含まれるタイミングで供給する走査パルス制御手段を有することを特徴とする。

【0040】

すなわち、垂直シフトレジスタ104は、図2に示すように、垂直スタート信号VSTがハイレベルとなっている期間中の垂直クロックVCKの最初の立ち上がりエッジに同期して立ち上がり、垂直クロックVCKの最初から3番目の立ち上がりエッジに同期して立ち下がる、2水平期間の幅のパルスを走査線G1に出力すると共に、垂直クロックVCKの立ち上がりエッジに同期して順次、次のビットヘシフト動作する。その結果、各行の走査線G1、G2、・・・、Gnには、図2に示すように、各々表示信号SIGに対し、水平期間周期の2倍のオン期間を有するパルスが1水平期間毎に順次走査パルスとして送出される。

【0041】

各水平期間に選択されるゲート線との関係は表1のようになる。

【0042】

【表1】

表示信号	選択走査線
第1ライン	G1, G2
第2ライン	G2, G3
第3ライン	G3, G4
⋮	⋮
第(n-1)ライン	Gn-1, Gn
第nライン	Gn

この結果、任意の第m行の画素には第(m-1)ラインと第mラインの表示信号が繰り返して書き込まれることになるが、液晶駆動電圧として最終的に保持されるのは2回目に書き込んだ第mラインの表示信号の方であり、第(m-1)ラインの信号が書き込まれる1ライン期間の影響は無視して差し支えないレベルである。

【0043】

本実施の形態における液晶表示装置の駆動方法によれば、図3(A)に示す第m行画素(mは1~n-1のうちの任意の値)に供給される走査パルスの立ち下がり、すなわち第m行の画素内のスイッチングトランジスタのオンからオフへの遷移タイミングに対し、図3(B)に示す第(m+1)行画素に供給される走査パルスの立ち上がり、すなわち、第(m+1)行の画素内のスイッチングトランジスタのオフからオンへの遷移タイミングが1水平期間先行している。

【0044】

換言すれば、第(m+1)行の画素が選択状態となり、この行に属する画素の画素電極電圧レベルが変化する期間には、第m行画素はいずれも選択状態となっており、隣接画素電極間の寄生容量結合によって第(m+1)行画素から第m行画素に対しフィードスルーによる誤差電圧が生じて、オン状態にある第m行画素のスイッチングトランジスタによって再充電が行われ、その影響がキャンセルされる。

【0045】

ここで、垂直アドレス回路103からの距離が近い画素に供給される走査パルスは、第 m 行画素、第 $(m+1)$ 行画素では図3(A)、(B)に点線で示すように立ち上がり及び立ち下がりがそれぞれ急峻であるのに対し、垂直アドレス回路103からの距離が遠い画素に供給される走査パルスは、第 m 行画素、第 $(m+1)$ 行画素では図3(A)、(B)に実線で示すように立ち上がり及び立ち下がりがそれぞれなまり、傾斜を有するが、前述したキャンセル効果は走査パルス波形のなまりの程度に依存しないため、隣接画素電極間寄生容量起因のフィードスルー電圧分布が軽減され、より均一性に優れた表示品質を得ることができる。

【0046】

10

次に、本発明の液晶表示装置の第2の実施の形態について説明する。図4は本発明になる液晶表示装置の第2の実施の形態の回路構成図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明を省略する。図4において、垂直アドレス回路106は、垂直シフトレジスタ(VSR)105と、垂直シフトレジスタ105の n 個の各出力ビット端子 A_1 、 A_2 、 $\dots$ 、 A_n に一方の入力端子が個別に接続され、他方の入力端子が垂直スタート信号VSTに共通接続された n 個の2入力ANDゲート GA_1 、 GA_2 、 $\dots$ 、 GA_n とから構成されている。ANDゲート GA_1 、 GA_2 、 $\dots$ 、 GA_n の各出力端子は走査線 G_1 、 G_2 、 $\dots$ 、 G_n に別々に接続されている。

【0047】

次に、本実施の形態の垂直駆動動作について図5のタイミングチャートを併せ参照して説明する。垂直シフトレジスタ105は、垂直スタート信号VSTがハイレベルとなっている期間中の垂直クロックVCKの最初の立ち上がりエッジに同期して立ち上がり、垂直クロックVCKの次の立ち上がりエッジに同期して立ち下がる、1水平期間の幅のパルスを第1のビット端子 A_1 に出力すると共に、垂直クロックVCKの立ち上がりエッジに同期して順次、次のビットへシフト動作する。その結果、VCKの立ち上がりに同期して、垂直シフトレジスタ105の各ビット出力端子 A_1 、 A_2 、 A_3 、 $\dots$ 、 A_n から図5に A_1 、 A_2 、 A_3 、 $\dots$ 、 A_n で示す1水平期間幅のパルスが順次出力される。

20

【0048】

一方、入力垂直クロックVCKは、 n 個のANDゲート GA_1 、 GA_2 、 $\dots$ 、 GA_n の各入力端子に共通に供給されており、垂直クロックVCKのデューティーに応じて垂直シフトレジスタ105の各ビット出力端子 A_1 、 A_2 、 A_3 、 $\dots$ 、 A_n の各出力パルスがANDゲート GA_1 、 GA_2 、 $\dots$ 、 GA_n によりゲートされ、各走査線 G_1 、 G_2 、 G_3 、 $\dots$ 、 G_n には、図5に G_1 、 G_2 、 G_3 、 $\dots$ 、 G_n で示すように、ハイレベル期間が1水平期間より短くなるようにゲートされたパルス(垂直クロックVCKのハイレベル期間と同じ幅のパルス)が走査パルスとして出力される。

30

【0049】

従って、本実施の形態の構成および駆動方法によれば、ある走査線 G_m を介して第 m 行画素に供給される走査パルスの立ち下がりに対して、次の走査線 G_{m+1} を介して第 $(m+1)$ 行画素内の各スイッチングトランジスタに供給される走査パルスの立ち上がりが所定の時間遅れるため、第 m 行の画素内の各スイッチングトランジスタのオンからオフの遷移タイミングに対し、上記の所定の時間遅れて第 $(m+1)$ 行画素内の各スイッチングトランジスタがオフからオンに切り替わる。

40

【0050】

換言すれば、第 $(m+1)$ 行画素が選択状態となり、この行に属する画素の画素電極電圧レベルが変化する期間には、第 m 行画素はいずれも既に非選択状態となっており、隣接画素電極間の寄生容量結合によって第 $(m+1)$ 行画素から第 m 行画素に対しフィードスルーによる誤差電圧が生じて、オフ状態にある第 m 行画素のトランジスタによって再充電が行われることがない。

【0051】

この条件は、垂直アドレス回路106からの距離が近い画素と遠い画素に供給される走査

50

パルスの波形の変化、すなわち走査線を伝搬する走査パルスのなまりの程度に依存せず、隣接画素電極間寄生容量起因のフィードスルー電圧が全表示領域に渡って同じ量だけ発生することになる。その結果、フィードスルー電圧分布による不均一が軽減され、より均一性に優れた表示品質を得ることができる。

【 0 0 5 2 】

次に、本発明の第 3 の実施の形態について説明する。図 6 は本発明になる液晶表示装置の第 3 の実施の形態の回路構成図を示す。同図中、図 4 と同一構成部分には同一符号を付し、その説明を省略する。図 6 に示す第 3 の実施の形態は、上記第 2 の実施の形態において走査パルス出力をゲートするために用いるゲート信号を、別の手段で実現した、第 2 実施の形態の変形例である。

10

【 0 0 5 3 】

図 4 の第 2 の実施の形態では、AND ゲート $G A 1 \sim G A n$ による垂直シフトレジスタ 105 の出力パルスのゲートを、垂直クロック $V C K$ を用いて実現している。これに対し、図 6 の第 3 の実施の形態では、AND ゲート $G A 1 \sim G A n$ のゲート信号を生成する手段として、垂直クロック $V C K$ を 2 分周する 2 分周回路 110 と、この 2 分周回路 110 の出力信号を水平クロック周期の所定個数分遅延させる遅延回路 111 と、遅延回路 111 の出力信号を反転させるインバータ回路 112 と、排他的論理和ゲート ($E X - O R$) 113 の組み合わせからなるタイミング回路を含んで構成した点に特徴がある。

【 0 0 5 4 】

次に、本実施の形態の垂直駆動動作について図 7 のタイミングチャートを併せ参照して説明する。垂直クロック $V C K$ が垂直シフトレジスタ 105 に入力されると、その $V C K$ の立ち上がり同期して、垂直シフトレジスタ 105 の各ビット出力端子 $A 1$ 、 $A 2$ 、 $A 3$ 、 $\dots$ 、 $A n$ から図 7 に $A 1$ 、 $A 2$ 、 $A 3$ 、 $\dots$ 、 $A n$ で示す 1 水平期間幅のパルスが順次出力される。

20

【 0 0 5 5 】

一方、入力垂直クロック $V C K$ は、図 6 の 2 分周回路 110 にも供給され、ここでその立ち上がり同期して 1 水平期間毎に反転する、繰り返し周波数が 2 倍の図 7 に P で示す矩形波とされる。この矩形波は、遅延回路 111 により水平クロック周期の所定倍の期間、遅延された後インバータ回路 112 で極性が反転されて図 7 に Q で示す波形とされた後、排他的論理和ゲート ($E X - O R$) 113 に供給される一方、直接に排他的論理和ゲート ($E X - O R$) 113 に供給される。

30

【 0 0 5 6 】

これにより、排他的論理和ゲート ($E X - O R$) 113 からは図 7 に ($G A T E$) で示す波形の 1 水平期間周期のパルスが取り出され、内部ゲート信号として垂直アドレス回路 106 内の AND ゲート $G A 1 \sim G A n$ に共通に入力される。AND ゲート $G A 1 \sim G A n$ は、この内部ゲート信号がハイレベルの期間のみ、対応する垂直アドレス回路 105 の出力ビット端子 $A 1 \sim A n$ からの出力パルスをゲート出力するため、AND ゲート $G A 1 \sim G A n$ からは、図 7 に $G 1 \sim G n$ で示す 1 水平期間周期のパルスが取り出され、走査パルスとして図 6 の走査線 $G 1 \sim G n$ に供給される。

【 0 0 5 7 】

このように、本実施の形態によれば、第 2 の実施の形態と異なり、垂直クロック $V C K$ の立ち上がり位相と、水平クロック周期の所定倍の遅延でゲート信号を生成するため、垂直クロック $V C K$ のデューティをゲート用に加工することが不要となる。また、第 2 の実施の形態と同様に、本実施の形態によれば、隣接画素電極間寄生容量起因のフィードスルー電圧が全表示領域に渡って同じ量だけ発生し、その結果、フィードスルー電圧分布による不均一が軽減され、より均一性に優れた表示品質を得ることができる。

40

【 0 0 5 8 】

【 発明の効果 】

以上説明したように、本発明によれば、隣接する第 m 行と第 $(m + 1)$ 行の 2 本の走査線のうち、第 $(m + 1)$ 行の走査線に接続された各画素がスイッチング素子のオンにより選

50

択状態となった時点では、隣接する第 m 行の走査線に接続された各画素のスイッチング素子が直前の状態（オン又はオフ状態）を維持するようにしたため、走査線を伝搬する走査パルスのなまりの程度に依存せず、隣接画素電極間寄生容量起因のフィードスルー電圧が全表示領域に渡って同じ量だけ軽減又は同じ量だけ発生するようにでき、これにより全表示領域にわたってフィードスルー電圧分布による不均一が軽減され、より均一性に優れた表示品質を得ることができ、特に、構造上隣接画素間の寄生容量が大きい反射型液晶表示装置の表示均一性を改善することができる。

【図面の簡単な説明】

【図 1】本発明の液晶表示装置の第 1 の実施の形態の回路構成図である。

【図 2】図 1 の液晶表示装置の各部のタイミングチャートである。

10

【図 3】図 1 の液晶表示装置の隣接する行の画素へ供給される走査パルスの波形図である。

【図 4】本発明の液晶表示装置の第 2 実施の形態の回路構成図である。

【図 5】図 4 の液晶表示装置の各部のタイミングチャートである。

【図 6】本発明の液晶表示装置の第 3 の実施の形態の回路構成図である。

【図 7】図 6 の液晶表示装置の各部のタイミングチャートである。

【図 8】従来の液晶表示装置の液晶パネルの一例の概略構成図である。

【図 9】従来の液晶表示装置の一例の回路構成図である。

【図 10】従来の液晶表示装置における表示画素部分の断面構造の概略図である。

【図 11】従来の液晶表示装置の寄生容量を含む等価回路図である。

20

【図 12】従来の液晶表示装置の走査線上の各部における走査パルスの波形図である。

【図 13】図 12 の垂直アドレス回路の近傍に位置する走査線 G 上の A 点、および遠くに位置する走査線 G 上の C 点の各々の画素において発生するフィードスルー電圧の概要を表した模式図である。

【図 14】従来の液晶表示装置のフィードスルー量を、横軸を垂直アドレス回路からの距離としてプロットした図である。

【符号の説明】

101 水平アドレス回路

102 水平シフトレジスタ

103、106 垂直アドレス回路

30

104、105 垂直シフトレジスタ

110 2 分周回路

111 遅延回路

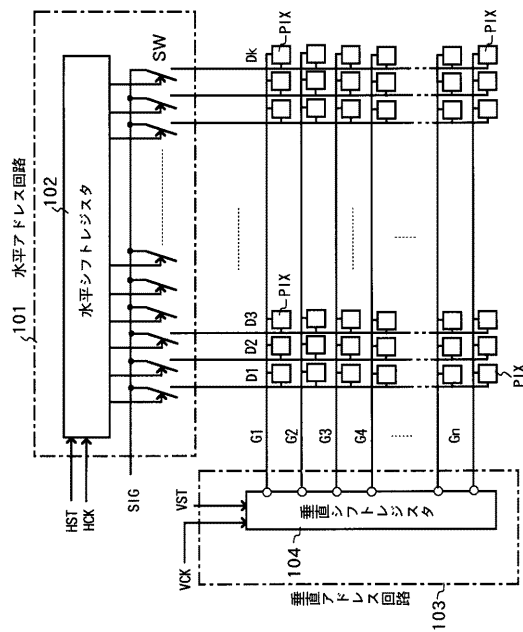
112 インバータ回路

113 排他的論理和ゲート (EX-OR)

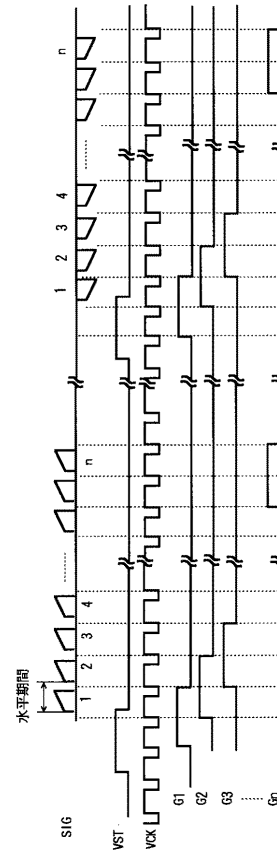
SW スイッチ回路

GA1 ~ GAn AND ゲート

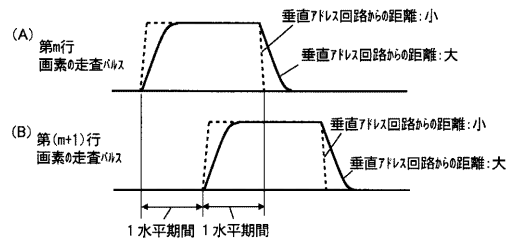
【図 1】



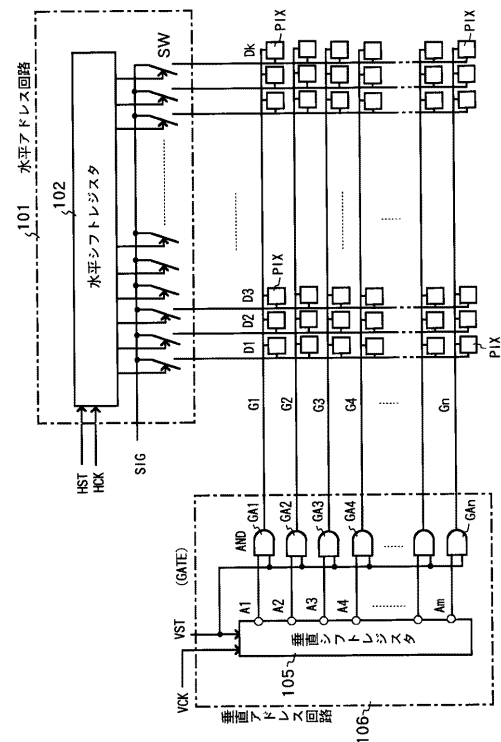
【図 2】



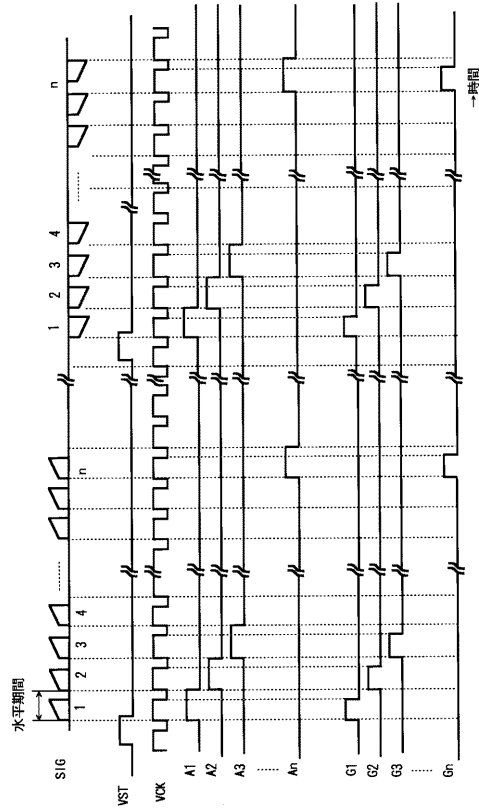
【図 3】



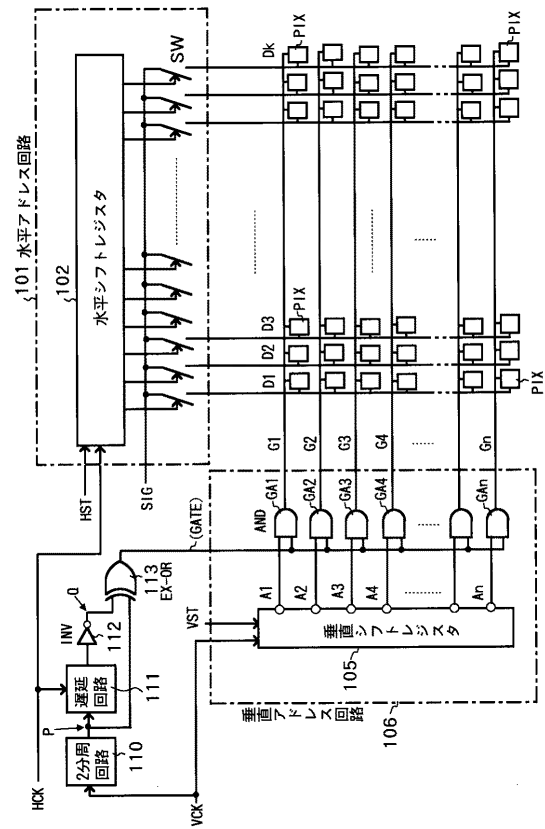
【図 4】



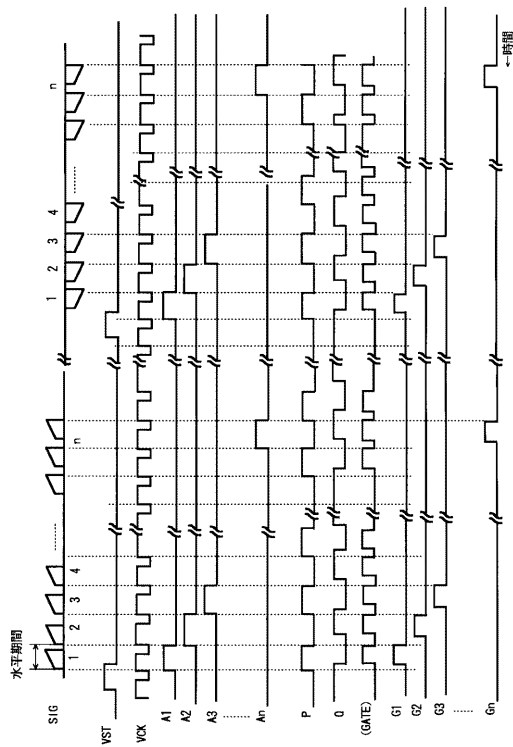
【図 5】



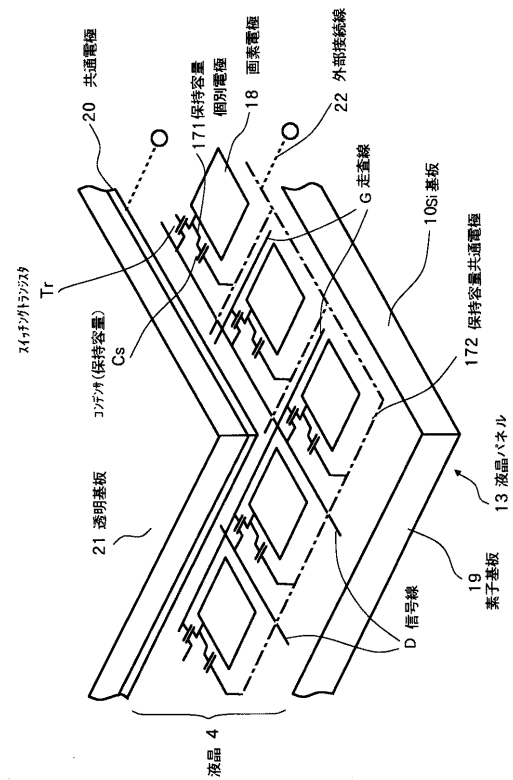
【図 6】



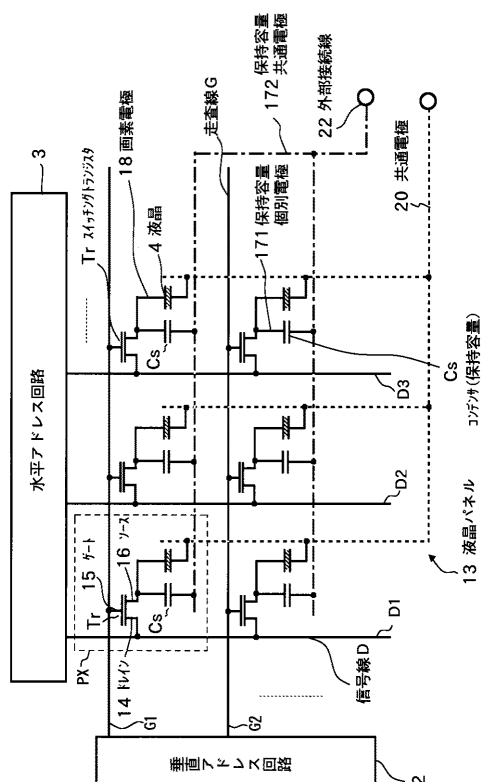
【図 7】



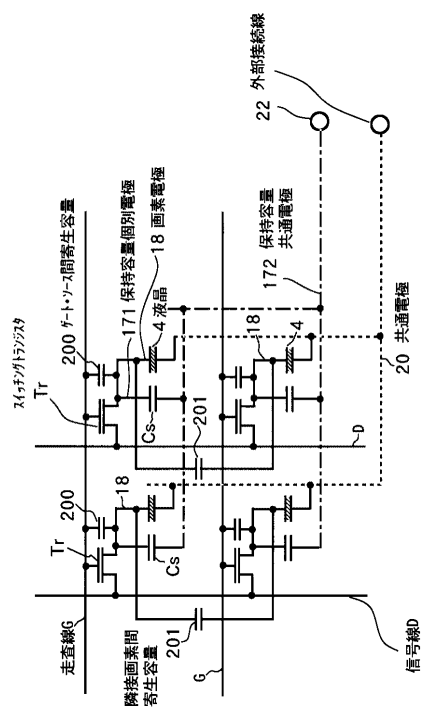
【図 8】



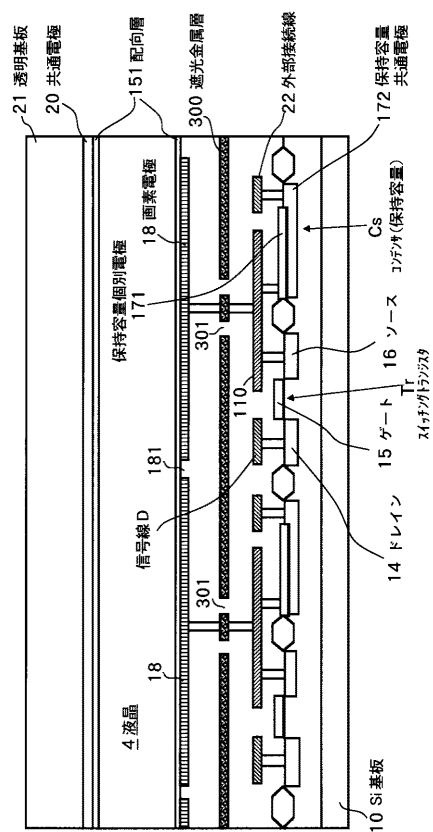
【图 9】



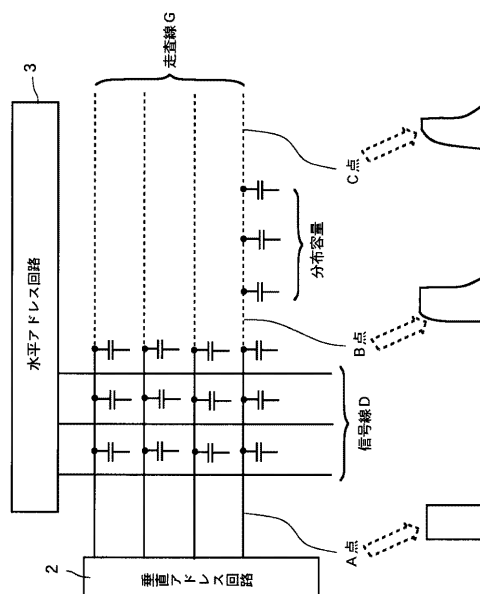
【 図 1 1 】



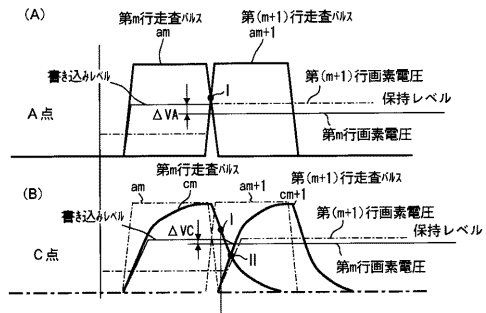
【 ㄨ 1 0 】



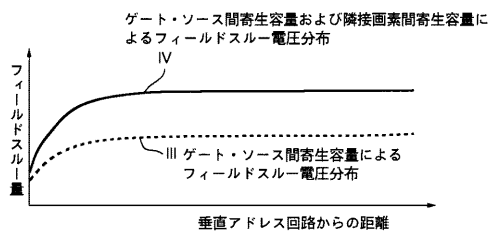
【 図 1 2 】



【図 1 3】



【図 1 4】



フロントページの続き(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 7 0 K

F ターム(参考) 5C006 AA16 AC11 AC22 AC28 AF42 AF50 AF52 AF71 BB16 BB28
BC03 BC08 BF03 BF07 BF23 BF26 BF27 FA22 FA26 FA34
FA37 FA38
5C080 AA10 BB05 DD05 DD29 FF11 JJ02 JJ03 JJ04 JJ05 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2004258498A	公开(公告)日	2004-09-16
申请号	JP2003051224	申请日	2003-02-27
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	古屋正人		
发明人	古屋 正人		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.J G09G3/20.622.D G09G3/20.642.A G09G3/20.670.K		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA43 2H093/NC16 2H093/NC22 2H093/NC27 2H093/NC33 2H093/NC35 2H093/ND10 2H093/ND12 2H093/NG02 5C006/AA16 5C006/AC11 5C006/AC22 5C006/AC28 5C006/AF42 5C006/AF50 5C006/AF52 5C006/AF71 5C006/BB16 5C006/BB28 5C006/BC03 5C006/BC08 5C006/BF03 5C006/BF07 5C006/BF23 5C006/BF26 5C006/BF27 5C006/FA22 5C006/FA26 5C006/FA34 5C006/FA37 5C006/FA38 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H193/ZA03 2H193/ZC34 2H193/ZC36 2H193/ZR02		
外部链接	Espacenet		

摘要(译)

反射型液晶显示装置具有不能忽略相邻像素电极之间的寄生电容的影响的结构，从而取决于与垂直寻址电路的距离的馈通电压的分布特性，即由于位置引起的不均匀性甚至更大。 解决方案：由于提供给第 (m + 1) 行像素的扫描脉冲的上升沿比提供给第m行像素的扫描脉冲的下降沿早一个水平周期， 1) 在属于该行的像素的像素电极电压电平变化的期间内，该行的像素处于选择状态，第m行的所有像素处于选择状态，相邻的像素电极之间的寄生电容耦合引起 即使从第 (m + 1) 行像素到第m行像素发生由于馈通引起的误差电压，第m行像素的开关晶体管也会在ON状态下进行再充电，效果会消失，并且 结果，减小了馈通电压分布，并且可以获得具有更均匀显示的显示质量。 [选择图]图3

