

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-37956
(P2004-37956A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int.Cl. ⁷		F I	テーマコード (参考)	
GO2F	1/1368	GO2F	1/1368	2H092
GO2F	1/133	GO2F	1/133 550	2H093
GO2F	1/1345	GO2F	1/1345	5C006
GO9G	3/20	GO9G	3/20 611J	5C080
GO9G	3/36	GO9G	3/20 621M	
審査請求 未請求 請求項の数 12 O L (全 16 頁) 最終頁に続く				
(21) 出願番号 特願2002-196667 (P2002-196667)		(71) 出願人 595059056		
(22) 出願日 平成14年7月5日 (2002.7.5)		株式会社アドバンスト・ディスプレイ		
		熊本県菊池郡西合志町御代志997番地		
		(74) 代理人 100103894		
		弁理士 家入 健		
		(72) 発明者 北村 幸男		
		熊本県菊池郡西合志町御代志997番地		
		株式会社アドバンスト・ディスプレイ内		
		(72) 発明者 池本 哲也		
		熊本県菊池郡西合志町御代志997番地		
		株式会社アドバンスト・ディスプレイ内		
		Fターム(参考) 2H092 JA24 JA46 NA16 NA27 NA28		
		NA29		
		最終頁に続く		

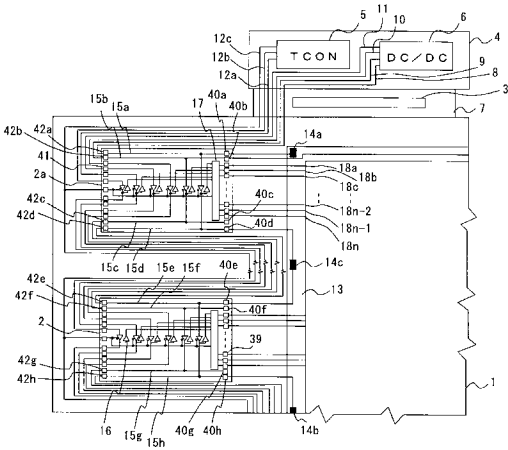
(54) 【発明の名称】 液晶表示装置及びその駆動回路

(57) 【要約】

【課題】 ガラス基板上の配線を単層構造にして、製造工程を簡略化することができる駆動回路及び液晶表示装置を提供すること。

【解決手段】 本発明にかかる液晶表示装置は対向電極13を備えたCF基板及びTF Tアレイ基板38を備えている。TF Tアレイ基板38は直交するゲート配線18及びソース配線20と、対向電極38に接続されたトランスファー電極14を備えている。またVCOM電圧及びVEEG電圧を生成するDC / DC部6と、VEEG電圧をゲート配線18に供給するゲートドライバIC2と、VEEG電圧を入出力するLCD用入出力端子41、39を備えている。そしてゲートドライバIC2上にVCOM電圧を入出力するドライバIC用ダミー入出力端子42、44を備え、これらがダミースルー配線15により接続されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

液晶層を挟持して対向する第 1 の基板と第 2 の基板のうち、
前記第 1 の基板は透明性導電膜からなる対向電極を備え、
前記第 2 の基板は直交して設けられたゲート配線及びソース配線と、
前記ゲート配線及び前記ソース配線の交差点に設けられたスイッチング素子と、
前記スイッチング素子に接続され、前記対向電極に対向する画素電極と、
前記対向電極と電氣的に接続されたトランスファ電極を備える液晶表示装置であって、
共通電圧及び走査電圧を生成する電圧生成手段と、
前記走査電圧を前記ゲート配線に供給する複数の駆動回路をさらに備えるとともに、
当該駆動回路の表示領域と反対側には前記走査電圧を入力する第 1 の入力端子と、
前記第 1 の入力端子の端に設けられ、前記共通電圧を入力する第 2 の入力端子と、
異なる駆動回路に走査電圧を出力する第 1 の駆動回路用出力端子と、
前記第 1 の駆動回路用出力端子の端に設けられ、当該第 1 の駆動回路用出力端子と電氣的
に接続された第 2 の駆動回路用出力端子を備え、
当該駆動回路の表示領域側には各々のゲート配線に対応し、前記走査電圧を出力する第 1
の LCD 用出力端子と、
前記第 1 の LCD 用出力端子の両端に設けられ、前記トランスファ電極に共通電圧を出
力する第 2 の LCD 用出力端子を備え、
前記第 2 の入力端子と前記第 2 の LCD 用出力端子及び第 2 の駆動回路用出力端子と第 2
の LCD 用出力端子を電氣的に接続することにより前記トランスファ電極に共通電圧を
供給する液晶表示装置。

10

20

【請求項 2】

前記駆動回路上には前記第 1 の入力端子と前記第 2 の入力端子の間に設けられた第 3 の入
力端子と、
前記第 1 の駆動回路用出力端子と前記第 2 の駆動回路用出力端子の間に設けられた第 3 の
駆動回路用出力端子と、
前記第 1 の LCD 用出力端子と前記第 2 の LCD 用出力端子の間に第 3 の LCD 用出力端
子を備え、
前記第 3 の LCD 用出力端子が前記第 3 の入力端子及び第 1 の基板上に設けられたダミー
画素に対応するダミー配線に接続されている請求項 1 記載の液晶表示装置。

30

【請求項 3】

前記第 1 の入力端子に電氣的に接続された第 1 の駆動回路用出力端子と、
前記第 2 の入力端子に電氣的に接続された第 2 の駆動回路用出力端子を備え、接続された
各々の入力端子及び出力端子が駆動回路の中心に対してそれぞれ対称に設けられている請
求項 1 又は 2 いずれかに記載の液晶表示装置。

【請求項 4】

前記第 1 の入力端子が双方向バッファと接続し、前記走査信号が当該双方向バッファを介
して前記第 1 の駆動回路用出力端子及び第 1 の LCD 用出力端子に供給される請求項 1 乃
至 3 いずれかに記載の液晶表示装置。

40

【請求項 5】

前記第 2 の入力端子が双方向バッファと接続し、前記走査信号が当該双方向バッファを介
して前記第 2 の駆動回路用出力端子及び第 2 の LCD 用出力端子に供給される請求項 1 乃
至 4 いずれかに記載の液晶表示装置。

【請求項 6】

前記第 3 の入力端子が双方向バッファと接続し、前記走査信号が当該双方向バッファを介
して前記第 3 の駆動回路用出力端子及び第 3 の LCD 用出力端子に供給される請求項 1 乃
至 5 いずれかに記載の液晶表示装置。

【請求項 7】

請求項 1 乃至 6 いずれかに記載の液晶表示装置であって前記駆動回路が第 2 の基板上に設

50

けられているCOG (Chip On Glass) 方式の液晶表示装置。

【請求項 8】

請求項 1 乃至 6 いずれかに記載の液晶表示装置であって前記駆動回路がフィルム上に設けられているCOF (Chip On Film) 方式の液晶表示装置。

【請求項 9】

液晶パネルに平行に配置された複数のゲート配線の各々に走査信号を供給する駆動回路であって、

前記走査信号を生成するための信号を入力する複数の走査信号用入力端子と、

前記走査信号用入力端子に入力された信号に基づき走査信号を生成する走査信号生成手段と、

前記走査信号生成手段により生成された走査信号をゲート配線に出力する走査信号用出力端子と、

前記走査信号を異なる駆動回路に出力する駆動回路用出力端子と、

前記走査信号とは異なる信号を入力する独立のダミースルー配線用入力端子と、

前記ダミースルー配線用入力端子より入力された信号を伝達するダミースルー配線と、

前記ダミースルー配線により伝達された出力するダミー配線用出力端子を備えた駆動回路。

10

【請求項 10】

前記走査信号用入力端子が双方向バッファに接続され、前記走査信号が当該双方向バッファを介し前記駆動回路出力端子及び前記走査信号用出力端子に供給される請求項 9 記載の駆動回路。

20

【請求項 11】

液晶パネルに平行に配置された複数のソース配線の各々に駆動信号を供給する駆動回路であって、

前記駆動信号を生成するための信号を入力する複数の駆動信号用入力端子と、

前記駆動信号用入力端子に入力された信号に基づき駆動信号を生成する駆動信号生成手段と、

前記駆動信号生成手段により生成された駆動信号をソース配線に出力する駆動信号用出力端子と、

前記駆動信号を異なる駆動回路に出力する駆動回路用出力端子と、

前記駆動信号とは異なる信号を入力する独立のダミースルー配線用入力端子と、

前記ダミースルー配線用入力端子より入力された信号を伝達するダミースルー配線と、

前記ダミースルー配線により伝達された出力するダミー配線用出力端子を備えた駆動回路。

30

【請求項 12】

前記駆動信号用入力端子が双方向バッファに接続され、前記駆動信号が当該双方向バッファを介し前記駆動回路出力端子及び前記駆動信号用出力端子に供給される請求項 11 記載の駆動回路。

【発明の詳細な説明】

【0001】

40

【発明の属する技術分野】

本発明は、アクティブマトリクス型の液晶表示装置に関し、さらに薄膜トランジスタの駆動回路に関する。

【0002】

【従来の技術】

通常、液晶表示装置は液晶層を挟持する対向する 2 枚の基板からなる液晶パネルを備えている。その一方の基板はマトリクス状にスイッチング素子として薄膜トランジスタ (TFT) を備え、その TFT に画素電極が接続された TFT アレイ基板であり、もう一方の基板は RGB の着色層及びITO等の透明性導電膜からなる対向電極 (透明電極) を有するカラーフィルタ基板 (CF 基板) である。この画素電極と対向電極の電位差によって液晶

50

層が配向され、各色を表示する。

【0003】

従来の液晶表示装置の駆動電圧供給方法について図5を用いて説明する。図5に一般的なTFTを用いた液晶表示装置(LCD)の構成を示す。1は液晶パネル、2はゲートドライバIC、3はソースドライバIC、5はタイミングコントローラ(以下、TCONと称す)、6はDC/DC部、18はゲート配線、19はゲートダミー配線、20はソース配線、21はソースダミー配線、22はゲート第一ラインTFT、23はゲート第二ラインTFT、24はゲート第一ラインTFTの画素電極、25はゲート第二ラインTFTの画素電極、26は液晶層、27は共通電極、28はゲート電極、29はソース電極、30はドレイン電極、31は保持容量を示している。ここで数字の後ろに付したa~nまでの符号は複数ある配線、電極等の個々の配線、電極等を示している。

【0004】

液晶パネル1は略垂直に配置された複数のゲート配線18a~nと複数のソース配線20a~nを備えている。またゲート配線18とソース配線20の本数は同じa~nで示しているが、同一の本数に限られるものではない。互いにマトリクス状に交差するゲート配線18とソース配線20の交点にTFT22、23が形成されている。このTFT22、23のうち一番上のゲート配線18aに対応して形成されたTFTをゲート第一ラインTFT22、二番目のゲート配線に対応して形成されたTFTをゲート第二ラインTFT23とする。そしてさらにそれぞれのソース配線20a~nに対応してそれぞれゲート第一ラインTFT22a~n、ゲート第二ラインTFT23a~nとする。さらにゲート第一ラインTFT22a~nに対応してゲート第一ラインTFTの画素電極24a~n、ゲート第二ラインTFT23a~nに対応してゲート第二ラインTFTの画素電極25a~nが形成される。各画素はこれらの各画素電極24、25と共通電極27(COM)とその間に挟まれた液晶層26とから構成される。

【0005】

各TFT22a~n、23a~nのゲート電極28は対応するゲート配線18に、ソース電極29はソース配線20に、ドレイン電極31は画素電極24、25にそれぞれ接続されている。

【0006】

さらにゲート配線18には垂直走査に従ってTFTのゲートをONさせるゲートドライバIC2が、ソース配線には表示画素データを液晶駆動電圧に変換するソースドライバIC3が設けられている。そしてゲートドライバIC2及びソースドライバIC3はタイミングを制御するTCON5によって制御される。

【0007】

次に図6を用いて図5に示した液晶表示装置の信号の動作の概略について説明をする。図6は液晶表示装置の駆動タイミングチャートである。

【0008】

まずソースドライバIC3はTCON5から供給される表示データを1ゲート配線分(例えば、18a)サンプリングし保持する。この表示データは1ゲート配線分の各々のTFT素子に供給されるため、図6に示すように1~n個分保持される。

【0009】

ゲート配線18aの表示データがソースドライバIC3に保持された後、TCON5によってシフト開始信号が出力され、そしてVDDG電圧が供給される。これによりゲート配線18aに接続されている全てのゲート第一ラインTFT22a~nのゲート電極にOFFレベル(以下、VEEG電圧とする)からONレベル(以下、VDDG電圧とする)へ電圧が印加されゲートがONされる。

【0010】

その後、ゲートがONされることでソースドライバIC3に保持されている表示データが出力され、全てのソース配線20a~nに先ほどサンプリングした表示データに応じた液晶駆動電圧を供給する。ゲート電極28がONされているゲート第一ラインTFT22a

～nのソース電極29を介してドレイン電極30及びゲート第一ラインTFTの画素電極24に電圧が供給され、液晶層26に電圧を印加する。

【0011】

上記動作の中でソースドライバIC3がサンプリングした表示データを液晶駆動電圧に変換した後、ソースドライバIC3はTCON5からのサンプリング開始信号によって、次のゲート配線分（例えば、18b）の表示データのサンプリングを開始する。上記の動作を各ゲート配線について繰り返すことにより、コンピュータ等の信号源からの表示データを良好に表示することができる。

【0012】

図7を用いて従来のTFT液晶パネルでのダミー配線への電圧供給方法を説明する。図7は液晶パネルのTFTアレイ基板側の構成を示す平面図である。図5で付した符号と同一の符号は同じ構成を示すので説明を省略する。33はFPC(Flexible Printed Circuit)、4はソースバス基板、7はTCP(Tape Carrier Package)、8はVCOM、9はVEEG、19はゲートダミー配線、21はソースダミー配線、32はゲートバス基板である。ここでTFTの構成は図5と同一なので省略している。 10

【0013】

液晶パネル1の表示領域周辺端部にはパターンの繰り返しの特異性により、表示が不均一になるのを防ぐためにダミー画素（図示せず）を備えている。該ダミー画素の表示を行うために表示領域周辺端部にはゲートダミー配線19及びソースダミー配線21が設けられている。DC/DC部6で生成されたVCOM電圧がソースバス基板4及びTCP7に設けられたVCOM8からソースダミー配線21に供給される。 20

【0014】

同様にDC/DC部6で生成されたVEEG電圧がソースバス基板4、FPC33、TCP7、ゲートバス基板に設けられたVEEG9からゲートダミー配線19に供給される。これによりダミー画素に信号が供給される。

【0015】

次に図8、図9を用いて従来の液晶パネルの構成を説明する。図8は液晶パネルのCF基板側の構成を示す平面図である。図9は液晶パネルの断面図である。図5で付した符号と同一の符号は同じ構成を示すので説明を省略する。13は対向電極、14はトランスファ電極、34はカラーフィルタ、35はカラーフィルタ基板、36はガラス基板、37は導体パターン、38はTFTアレイ基板である。 30

【0016】

RGBの着色層及びブラックマトリクス(BM)からなるカラーフィルタ34とITOなどの透明性導電膜からなる対向電極13で構成されるカラーフィルタ基板35にVCOM電圧を供給するために、ガラス基板36上に導体パターン37が配置されたTFTアレイ基板38上に導電性ペースト等からなるトランスファ電極14を塗布する。これにより対向電極13とTFTアレイ基板38の導体パターン37が電氣的に接続される。

【0017】

DC/DC部6により生成されたVCOM電圧はTFTアレイ基板38のTCP及びトランスファ電極14を介して対向電極13に供給される。これによりTFTアレイ基板38の導体パターン37中に設けられている画素電極と対向電極13に電位差が生じ液晶層が配向されることになる。 40

【0018】

上述の液晶表示装置の構成部品点数を少なくするために、FPCに設けられている配線をガラス基板上に配置することも可能である。この液晶パネルの構成について図10を用いて説明する。ここで図5、図7、図8、図9で付した符号と同一の符号は同じ構成を示すため説明を省略する。またTFTアレイ基板内のTFTの構成は図5と同一なので図示を省略する。12は走査信号（ゲート信号ともいう）を供給する走査信号配線、10はVD DG、11はVDDD、17やドライバIC内部回路、39はLCD用出力端子、41は 50

ドライバＩＣ用入力端子、４３はドライバＩＣ用出力端子である。ここでは信号供給用の配線、端子等を詳細に説明するために拡大して図示している。

【００１９】

ゲートドライバＩＣ２へ入力する走査信号配線１２、走査電圧（ＶＣＯＭ電圧、ＶＥＥＧ電圧、ＶＤＤＧ電圧、ＶＤＤＤ電圧）のドライバＩＣ用入力端子４１とドライバＩＣ用出力端子４３がそれぞれゲートドライバＩＣ上の中心に対して対称に設けており鏡像配置（ミラー状配置）をしている。ＬＣＤ用出力端子３９はそれぞれのゲート配線１８ａ～ｎに対応しており、一列に設けられている。またＶＣＯＭ８は基板上に設けられたトランスファ－電極１４に接続されている。このＤＣ／ＤＣ部６で生成されたＶＣＯＭ電圧はトランスファ－電極１４を介して対向電極１３に供給される。またその他の走査電圧、走査信号もＴＦＴアレイ基板上に設けられた信号配線（走査信号配線１２、ＶＥＥＧ９、ＶＤＤＧ１０、ＶＤＤＤ１１）を経由してゲートドライバＩＣ２に供給される。これによりＦＰＣを用いることなく液晶パネルを製造することができる。

【００２０】

さらに部品点数を減らすために信号供給用のゲートバス基板３２を無くし、ゲートドライバＩＣ２、信号配線、入出力端子をＴＦＴアレイ基板上に設けるＣＯＧ方式（Ｃｈｉｐ Ｏｎ Ｇｌａｓｓ）の液晶表示装置が用いられるようになっている。さらに液晶パネルの大画面化、高精細化のために対向電極１３のインピーダンスを下げる必要がある。しかし従来の液晶表示装置においては対向電極１３のインピーダンスを抑制する方法がなかった。

【００２１】

このＣＯＧ方式の液晶表示装置の構成について図１１を用いて説明する。ここで図５、図７、図８、図１０で付した符号と同じ符号は同じ構成を示すので説明を省略する。基本的な構成は図１０の液晶パネルと相違なく、ドライバＩＣ用入力端子４１とドライバＩＣ用出力端子４３がミラー状に配置されている。この配線、端子等の構成を詳細に説明するために拡大して図示している。ＬＣＤ用出力端子３９はそれぞれのゲート配線１８に対応して設けられている。しかしゲートドライバＩＣ２、ドライバＩＣ内部回路１７、各種配線８～１２及びドライバＩＣ用入力端子４１、ＬＣＤ用出力端子３９等が全てＴＦＴアレイ基板上に設けられている点で異なる。

【００２２】

図１１に示す構成の液晶パネル１ではトランスファ－電極１４ｃに配線（ＶＣＯＭ８）を接続しようとするると他の配線と交差してしまいガラス基板上の配線が単層で引き回せない。またトランスファ－電極１４ａに配線を接続する際も、他の配線と交差してしまい単層で配線が引き回せなかった。従ってガラス基板上の信号配線等を積層で形成する必要があり、製造工程が増えてしまうという問題点があった。さらには積層した箇所配線の断線が生じやすくなるという問題点もあった。

【００２３】

また大画面の液晶パネルにおいてはガラス基板上の配線長が長くなってしまふ。配線自体の抵抗値を下げることは困難であり、電圧供給側からより遠くなるに従って、インピーダンスの影響により電圧、信号に歪みが生じる。これにより表示特性が劣化や表示不良が発生するといった問題点が生じていた。上記の対策としてはパターン幅を広くする等の方法があるが表示領域周辺の額縁部が大きくなるという問題点があった。

【００２４】

【発明が解決しようとする課題】

このように、従来のＣＯＧ方式やバス基板を無くしガラス基板上面にて走査電圧、信号を供給するような構造をとる液晶パネル１においてはガラス基板上の配線が積層構造になるという問題点があった。また配線が長くなった場合に表示不良が発生するといった問題点があった。

【００２５】

本発明は、このような問題点を解決するためになされたもので、ガラス基板上の配線を単

層構造にして、製造工程を簡略化することができる駆動回路及び液晶表示装置を提供することを第１の目的とする。また配線長が長くなることによる表示特性の劣化を抑制することができる駆動回路及び液晶表示装置を提供することを第２の目的とする。

【００２６】

【課題を解決するための手段】

本発明にかかる液晶表示装置は液晶層を挟持して対向する第１の基板（例えば、本実施の形態におけるカラーフィルタ基板３５）と第２の基板（例えば、本実施の形態におけるＴＦＴアレイ基板３８）のうち、前記第１の基板は透明性導電膜からなる対向電極（例えば、本実施の形態における対向電極１３）を備え、前記第２の基板は直交して設けられたゲート配線（例えば、本実施の形態におけるゲート配線１８）及びソース配線（例えば、本実施の形態におけるソース配線２０）と、前記ゲート配線及び前記ソース配線の交差点に設けられたスイッチング素子例えば、本実施の形態におけるゲート第一ラインＴＦＴ２２、ゲート第二ラインＴＦＴ２３）と、前記スイッチング素子に接続され、前記対向電極に対向する画素電極例えば、本実施の形態におけるゲート第一ラインＴＦＴの画素電極２４、ゲート第二ラインＴＦＴの画素電極２５）と、前記対向電極と電氣的に接続されたトランスファ電極（例えば、本実施の形態におけるトランスファ電極１４）を備える液晶表示装置であって、共通電圧（例えば、本実施の形態におけるＶＣＯＭ電圧）及び走査電圧（例えば、本実施の形態におけるＶＤＤＧ電圧）を生成する電圧生成手段（例えば、本実施の形態におけるＤＣ／ＤＣ部６）と、前記走査電圧を前記ゲート配線に供給する複数の駆動回路（例えば、本実施の形態におけるゲートドライバＩＣ２、２ａ）をさらに備えるとともに、当該駆動回路の表示領域と反対側には前記走査電圧を入力する第１の入力端子（例えば、本実施の形態におけるドライバＩＣ用入力端子４１）と、前記第１の入力端子の端に設けられ、前記共通電圧を入力する第２の入力端子（例えば、本実施の形態におけるドライバＩＣ用ダミー入力端子４２ａ）と、異なる駆動回路に走査電圧を出力する第１の駆動回路用出力端子（例えば、本実施の形態におけるドライバＩＣ用出力端子４３）と、前記第１の駆動回路用出力端子の端に設けられ、当該第１の駆動回路用出力端子と電氣的に接続された第２の駆動回路用出力端子（例えば、本実施の形態におけるドライバＩＣ用ダミー出力端子４４ａ）を備え、当該駆動回路の表示領域側には各々のゲート配線に対応し、前記走査電圧を出力する第１のＬＣＤ用出力端子（例えば、本実施の形態におけるＬＣＤ用出力端子３９）と、前記第１のＬＣＤ用出力端子の両端に設けられ、前記トランスファ電極に共通電圧を出力する第２のＬＣＤ用出力端子（例えば、本実施の形態におけるＬＣＤ用ダミー出力端子４０ａ、４０ｄ）を備え、前記第２の入力端子と前記第２のＬＣＤ用出力端子及び第２の駆動回路用出力端子と第２のＬＣＤ用出力端子を電氣的に接続することにより前記トランスファ電極に共通電圧を供給するものである。これによりトランスファ電極を増設してもガラス基板上の配線を単層構造にすることができる。

【００２７】

上述の液晶表示装置において、前記駆動回路上には前記第１の入力端子と前記第２の入力端子の間に設けられた第３の入力端子（例えば、本実施の形態におけるドライバＩＣ用入力端子４２ｂ）と、前記第１の駆動回路用出力端子と前記第２の駆動回路用出力端子の間に設けられた第３の駆動回路用出力端子（例えば、本実施の形態におけるドライバＩＣ用ダミー出力端子４４ｂ）と、前記第１のＬＣＤ用出力端子と前記第２のＬＣＤ用出力端子の間に第３のＬＣＤ用出力端子（例えば、本実施の形態におけるＬＣＤ用ダミー出力端子４０ｂ）を備え、前記第３のＬＣＤ用出力端子が前記第３の入力端子及び第１の基板上に設けられたダミー画素に対応するダミー配線（例えば、本実施の形態におけるゲートダミー配線１９）に接続されていることが望ましい。これによりダミー配線が他の配線と交差することなく、ガラス上の駆動回路用配線を単層構造にすることができる。

【００２８】

上述の液晶表示装置において、前記第１の入力端子に電氣的に接続された第１の駆動回路用出力端子（例えば、本実施の形態におけるドライバＩＣ用出力端子４３）と、前記第２の入力端子に電氣的に接続された第２の駆動回路用出力端子（例えば、本実施の形態にお

けるドライバＩＣ用ダミー出力端子４４）を備え、接続された各々の入力端子及び出力端子が駆動回路の中心に対してそれぞれ対称に設けられていることが望ましい。これによりガラス上の液晶駆動用の配線を単層構造にすることができる。

【００２９】

また上述の液晶表示装置において前記第１の入力端子が双方向バッファと接続し、前記走査信号が当該双方向バッファを介して前記第１の駆動回路用出力端子及び第１のＬＣＤ用出力端子に供給されていてもよい。これにより配線長が長くなることによる表示特性の劣化を抑制することができる。

【００３０】

さらに上述の液晶表示装置において、前記第２の入力端子が双方向バッファと接続し、前記走査信号が当該双方向バッファを介して前記第２の駆動回路用出力端子及び第２のＬＣＤ用出力端子に供給されていてもよい。これにより配線長が長くなることによる表示特性の劣化を抑制することができる。

【００３１】

また前記第３の入力端子が双方向バッファと接続し、前記走査信号が当該双方向バッファを介して前記第３の駆動回路用出力端子及び第３のＬＣＤ用出力端子に供給されていてもよい。これにより配線長が長くなることによる表示特性の劣化を抑制することができる。

【００３２】

上述の液晶表示装置は前記駆動回路が第２の基板上に設けられているＣＯＧ（Ｃｈｉｐ Ｏｎ Ｇｌａｓｓ）方式の液晶表示装置に対して用いることができる。

【００３３】

上述の液晶表示装置であって前記駆動回路がフィルム上に設けられているＣＯＦ（Ｃｈｉｐ Ｏｎ Ｆｉｌｍ）方式の液晶表示装置に対して用いることも可能である。

【００３４】

本発明にかかる駆動回路は、液晶パネルに平行に配置された複数のゲート配線（例えば、本実施の形態におけるゲート配線１８）の各々に走査信号（例えば、本実施の形態におけるＶＤＤＧ）を供給する駆動回路（例えば、本実施の形態におけるゲートドライバＩＣ）であって、前記走査信号を生成するための信号を入力する複数の走査信号用入力端子（例えば、本実施の形態におけるドライバＩＣ用入力端子４１）と、前記走査信号用入力端子に入力された信号に基づき走査信号を生成する走査信号生成手段（例えば、本実施の形態におけるドライバＩＣ内部回路１７）と、前記走査信号生成手段により生成された走査信号をゲート配線に出力する走査信号用出力端子（例えば、本実施の形態におけるＬＣＤ用出力端子３９）と、駆動回路用出力端子（例えば、本実施の形態におけるドライバＩＣ用出力端子４３）と、前記走査信号とは異なる信号を入力する独立のダミースルー配線用入力端子（例えば、本実施の形態におけるドライバＩＣ用ダミー入力端子４２）と、前記ダミースルー配線用入力端子より入力された信号を伝達するダミースルー配線（例えば、本実施の形態における端子ダミー配線１５）と、前記ダミースルー配線により伝達された出力するダミー配線用出力端子（例えば、本実施の形態におけるＬＣＤ用ダミー出力端子４０）と、前記走査信号を異なる駆動回路に出力する駆動回路用ダミー出力端子（例えば、本実施の形態におけるドライバＩＣ用ダミー出力端子４４）を備えたものである。これによりガラス基板上の配線を単層構造にすることができる。

【００３５】

上述の駆動回路において、前記走査信号用入力端子が双方向バッファ（例えば、本実施の形態における双方向バッファ１６）に接続され、前記走査信号が当該双方向バッファを介し前記駆動回路用出力端子及び前記走査信号用出力端子に供給されることが望ましい。これにより配線長が長くなることによる表示特性の劣化を抑制することができる。

【００３６】

上述の駆動回路は液晶パネルに平行に配置された複数のソース配線（例えば、本実施の形態におけるソース配線２０）の各々に駆動信号（ソース信号）を供給する駆動回路に対しても用いることができる。すなわち、本発明にかかる駆動回路は液晶パネルに平行に配置

10

20

30

40

50

された複数のソース配線の各々に駆動信号を供給する駆動回路であって、前記駆動信号を生成するための信号を入力する複数の駆動信号用入力端子と、前記駆動信号用入力端子に入力された信号に基づき駆動信号を生成する駆動信号生成手段と、前記駆動信号生成手段により生成された駆動信号を出力する駆動信号用出力端子と、前記駆動信号を異なる駆動回路に出力する駆動回路用出力端子と、前記駆動信号とは異なる信号を入力する独立のダミーソース配線用入力端子と、前記ダミーソース配線用入力端子より入力された信号を伝達するダミーソース配線と、前記ダミーソース配線により伝達された出力するダミー配線用出力端子を備えるものである。これによりガラス基板上の配線を単層構造にすることができる。

【0037】

10

さらに上述の駆動回路において、前記駆動信号用入力端子が双方向バッファに接続され、前記駆動信号が当該双方向バッファを介し前記駆動回路出力端子及び前記駆動信号用出力端子に供給されることが望ましい。これにより配線長が長くなることによる表示特性の劣化を抑制することができる。

【0038】

【発明の実施の形態】

本発明の実施の形態 1 .

本発明にかかる液晶パネルの構造について図 1、図 2 を用いて説明する。図 1 は液晶表示装置の概略を示す外觀図である。図 2 は液晶パネルの構成を示す平面図であり、特にゲートドライバ IC の配線、端子の周辺を拡大し詳細に図示している。ここで 1 は液晶パネル、2 はゲートドライバ IC、3 はソースドライバ IC、4 はソースドライバ IC、5 はタイミングコントローラ（以下、TC ON と称す）、6 は DC / DC 部、7 は T C P (T a p p e C a r r i e r P a c k a g e)、8 は V C O M、9 は V E E G、10 は V D D G、11 は V D D D、12 は走査信号配線、13 は対向電極、14 はトランスファ電極、15 は端子ダミー配線、16 は双方向バッファ、17 はドライバ IC 内部回路、18 はゲート配線、19 はゲートダミー配線、39 は LCD 用出力端子、40 は LCD 用ダミー出力端子、41 はドライバ IC 用入力端子、42 はドライバ IC 用ダミー入力端子、43 はドライバ IC 用出力端子、44 はドライバ IC 用ダミー出力端子である。数字の後ろの a ~ n は複数ある構成物（配線、端子等）の個々の構成物を示している。

20

【0039】

30

図 1 はゲートドライバ IC 2 が液晶パネル 1 上に設けられた COG 方式の液晶表示装置を示している。ここで TFT アレイ基板の構成は図 5 と同一なので省略する。また走査信号等を供給するタイミングも図 6 と同様なので説明を省略する。

【0040】

図 2 に示すようにソースバス基板 4 上に設けられた TC ON 5、DC / DC 部 6 とゲートドライバ IC 2 a に設けられたドライバ IC 用入力端子 41 が配線 10、11、12 によって接続されている。走査信号配線 12 はソースバス基板 4、T C P 7、T F T アレイ基板を通してゲートドライバ IC 2 a 上のドライバ IC 用入力端子 41 に接続される。そしてドライバ IC 用入力端子 41 は双方向バッファ 16 と接続されている。双方向バッファ 16 からの配線の一方はドライバ IC 用出力端子 43 と電氣的に接続されている。もう一方の配線はドライバ IC 内部回路 17 と接続される。そして表示領域側に設けられた LCD 用出力端子 39 を介してゲート配線 18 にゲート電圧等が供給される。このドライバ IC 用入力端子 41 とドライバ IC 用出力端子 43 はゲートドライバ IC 2 a 上の表示領域の反対側に一列に設けられている。

40

【0041】

さらにこのドライバ IC 用入力端子 41 とドライバ IC 用出力端子 43 は対称に設けられており、ゲートドライバ IC 2 a 上でドライバ IC 用入力端子 41 とドライバ IC 用出力端子 43 がミラー状の配置となっている。すなわちドライバ IC 用入力端子 41 a 及びドライバ IC 用出力端子 43 a が外側に設けられており、ドライバ IC 用入力端子 41 及びドライバ IC 用出力端子 43 のアルファベットが外側から順に入出力端子とも b、c、d の

50

順になっている。そして、ドライバＩＣ用出力端子４３は隣接するゲートドライバＩＣ２のドライバＩＣ用入力端子４１と接続されている。また同様にドライバＩＣ用ダミー出力端子４４ａ、４４ｂは隣接するゲートドライバＩＣ２のドライバＩＣ用ダミー入力端子４２ｅ、４２ｆと接続されている。さらにドライバＩＣ用入力端子４１とドライバＩＣ用出力端子４３で同一のアルファベットの入出力端子が双方向バッファ１６を介して接続される。このような構成を繰り返し、全ゲート配線１８に対応するようにＬＣＤ用出力端子３９を設ける。これにより、各配線を重ねることなく、各ゲート配線１８に走査信号を供給することができる。

【００４２】

本実施の形態１にかかる液晶表示装置の配線等の配置は図１１で示した従来のＣＯＧ方式の液晶表示装置と異なる点について図２を用いて説明する。ゲートドライバＩＣ２の表示領域と反対側にドライバＩＣ用ダミー入力端子４２及びドライバＩＣ用ダミー出力端子４４がＬＣＤ用入力端子４１及びＬＣＤ用出力端子４１の外側にそれぞれ２個ずつ設けられている。またドライバＩＣ２の表示領域側にＬＣＤ用ダミー出力端子４０がＬＣＤ用出力端子３９の両端に２個ずつ設けられている。ＶＣＯＭ８及びＶＥＥＧ９はゲートドライバＩＣ２上のドライバＩＣ用ダミー入力端子４２に接続される。その同一のアルファベットのドライバＩＣ用ダミー入力端子４２ａ、４２ｂとＬＣＤ用ダミー出力端子４０ａ、４０ｂが同じアルファベットの端子ダミー配線１５ａ、１５ｂによりそれぞれ電氣的に接続されている。その端子ダミー配線１５ａは途中で二つに分かれておりゲートドライバＩＣ２上に設けられている端子ダミー配線１５ｄと双方向バッファ１６を介して接続されている。そしてこの端子ダミー配線１５ｄはドライバＩＣ用ダミー出力端子４３ａとＬＣＤ用ダミー出力端子４０ｄを電氣的に接続している。同様に端子ダミー配線１５ｂは双方向バッファ１６を介して端子ダミー配線１５ｃと接続されている。そしてこの端子ダミー配線１５ｃはドライバＩＣ用ダミー出力端子４３ｂとＬＣＤ用ダミー出力端子４０ｃを接続している。

【００４３】

また端子ダミー配線１５ａ、１５ｄに対応するＬＣＤ用ダミー出力端子４０ａ、４０ｄからの配線はそれぞれトランスファ電極１４ａ、１４ｃに接続している。これによりＶＣＯＭ電圧がドライバＩＣ用ダミー入力端子４２ａ及びＬＣＤ用ダミー出力端子４４ａをスルーしトランスファ電極１４ａに供給される。端子ダミー配線１５ｂに対応するＬＣＤ用ダミー出力端子４０ｂはゲートダミー配線１９と接続されている。これによりＶＥＥＧ電圧がドライバＩＣ用ダミー入力端子４２ｂ及びＬＣＤ用ダミー出力端子４４ｂをスルーしゲートダミー配線１９に供給される。ＬＣＤ用ダミー出力端子４０及びドライバＩＣ用ダミー入力端子４２をＬＣＤ用出力端子３９及びダミー出力端子４１の外側にそれぞれ２個ずつ設けることによりガラス基板上でそれぞれの配線が交差することなく、単層構造でＬＣＤ用駆動配線を製造することができる。これにより製造工程を簡略化することができる、製造コストを低減することができる。

【００４４】

さらにゲートドライバＩＣ２上のドライバＩＣ用入力端子４１とＬＣＤ用出力端子３９の間に双方向バッファ１６が設けられている。このため、ゲートドライバＩＣ間のガラス上配線のインピーダンスのみの影響を考慮して、ガラス上配線を設計することができる。これにより大画面化によって長くなった配線のインピーダンスの影響を低減することができる、表示特性の劣化や表示不良の発生を抑制することが可能となる。

【００４５】

本発明の実施の形態２．

本発明の実施の形態２にかかる液晶表示装置の構成について図３を用いて説明する。図３は液晶表示パネルの構成を示す平面図であり、特にゲートドライバＩＣ２の配線、端子を拡大し詳細に図示している。図１、図２で付した符号と同一の符号は同じ構成を示すため説明を省略する。

【００４６】

10

20

30

40

50

本実施の形態 2 では配線、端子等の配置は図 1 に示した実施の形態 1 と同一である。しかし本実施の形態 2 ではゲートドライバ IC 2 がガラス基板上ではなく FPC 上に設けられている点が図 2 で示した実施の形態 1 と異なる。従って FPC 上にゲートバス基板 3 2、配線、ドライバ IC 用入力端子 4 1、LCD 用出力端子 3 9 が設けられている COF (Chip On Film) 方式となる。

【0047】

実施の形態 1 と同様にドライバ IC 用ダミー入力端子 4 2、LCD 用ダミー出力端子 4 0 がそれぞれドライバ IC 用入力端子 4 1、LCD 用出力端子 3 9 の外側に 2 個ずつ設けられている。これにより COF 方式のガラス基板上でも配線が交差することなく、単層構造で LCD 駆動用配線を製造することができる。

10

【0048】

またドライバ IC 用ダミー入力端子 4 2 と LCD 用ダミー出力端子 4 0 が双方向バッファを介して電氣的に接続されている。これにより大画面化によって長くなった配線のインピーダンスの影響を低減することができ、表示特性の劣化や表示不良の発生を抑制することが可能となる。

【0049】

またこの構成は COF 方式に限らず、ゲートバス基板 3 2 をなくしガラス基板上に配線を設けて走査電圧、走査信号を供給する液晶パネルに対して用いることが可能である。

【0050】

その他の実施の形態

20

本発明のその他の実施の形態にかかる液晶表示装置の構成の一例について図 3 を用いて説明する。図 4 は液晶表示パネルの構成を示す平面図であり、特にゲートドライバ IC の配線、端子等を拡大し詳細に図示している。図 1、図 2 で付した符号と同一の符号は同じ構成を示すため説明を省略する。

【0051】

本実施の形態ではゲートドライバ IC 上の配線、端子等の配置は図 1 に示した実施の形態 1 と同一である。しかし本実施の形態ではソースドライバ IC がガラス基板上に設けられている点が図 1 で示した実施の形態 1 と異なる。

【0052】

このような TCP を用いていない構成の COG 方式の液晶表示装置においても、ゲートドライバ IC 上の配線、入出力端子、ドライバ IC 内部回路及び双方向バッファ等を図 2 で示した配置と同様の配置にすれば、ガラス基板上でも配線が交差することなく、単層構造で LCD 用駆動配線を製造することができる。さらに大画面化によって長くなった配線のインピーダンスの影響を低減することができ、表示特性の劣化や表示不良の発生を抑制することが可能となる。

30

【0053】

また同様に実施の形態 2 で示した COF 方式の液晶表示装置においても同様にソースドライバ IC をガラス基板上に設けてもよい。このような構成でも同様の効果を得ることができる。

【0054】

40

本発明はゲートドライバ IC 上にトランスファ電極及び端子ダミー配線用のダミー入出力端子を設けるものであり、上述の実施の形態で図示した構成に限られるではない。さらにゲートドライバ IC 上の入出力端子間に双方向バッファを設けることにより表示特性の劣化や表示不良の発生を抑制することが可能となる。

例えば COP (Chip On Plastic) 方式や COB (Chip On Board) 方式の液晶表示装置に対しても用いることができる。

【0055】

また本発明にかかる駆動回路の配置はゲートドライバ IC のみではなく、ソースドライバ IC に適用しても、同様の効果を得ることができる。

【0056】

50

【発明の効果】

本発明によれば、ガラス基板上の配線を単層構造にして、製造工程が簡略化された駆動回路及び液晶表示装置を提供することができる。さらに配線長が長くなることによる表示特性の劣化が抑制された駆動回路及び液晶表示装置を提供することができる。

【図面の簡単な説明】

【図１】本発明にかかる液晶表示装置の液晶パネルの外観を示した平面図である。

【図２】本発明の実施の形態１にかかる液晶パネルの構成を示す平面図である。

【図３】本発明の実施の形態２にかかる液晶パネルの構成を示す平面図である。

【図４】本発明のその他の実施の形態にかかる液晶パネルの構成を示す平面図である。

【図５】液晶パネルの液晶パネルの構成を示す平面図である。

10

【図６】液晶表示装置の動作を説明するタイミングチャートである。

【図７】従来の液晶パネルのＴＦＴアレイ基板側の構成を示す平面図である。

【図８】従来の液晶パネルのカラーフィルタ基板側の構成を示す平面図である。

【図９】従来の液晶パネルの構成を示す断面図である。

【図１０】従来の液晶パネルの構成を示す平面図である。

【図１１】従来の液晶パネルの構成を示す平面図である。

【符号の説明】

- １ 液晶パネル
- ２ ゲートドライバＩＣ
- ３ ソースドライバＩＣ
- ４ ソースバスキ板
- ５ タイミングコントローラ（ＴＣＯＮ）
- ６ ＤＣ／ＤＣ部
- ７ ＴＣＰ
- ８ ＶＣＯＭ
- ９ ＶＥＥＧ
- １０ ＶＤＤＧ
- １１ ＶＤＤＤ
- １２ 走査信号配線
- １３ 対向電極
- １４ トランスファ－電極
- １５ 端子ダミー配線
- １６ 双方向バッファ
- １７ ドライバＩＣ内部回路
- １８ ゲート配線
- １９ ゲートダミー配線
- ２０ ソース配線
- ２１ ソースダミー配線
- ２２ ゲート第一ラインＴＦＴ
- ２３ ゲート第二ラインＴＦＴ
- ２４ ゲート第一ラインＴＦＴの画素電極
- ２５ ゲート第二ラインＴＦＴの画素電極
- ２６ 液晶層
- ２７ 共通電極
- ２８ ゲート電極
- ２９ ソース電極
- ３０ ドレイン電極
- ３１ 保持容量
- ３２ ゲートバスキ板
- ３３ ＦＰＣ

20

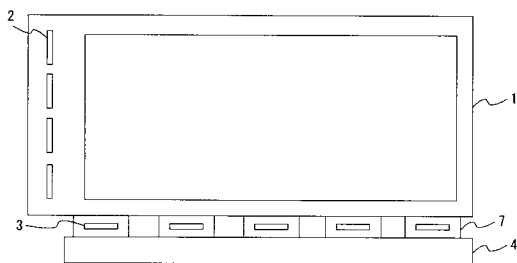
30

40

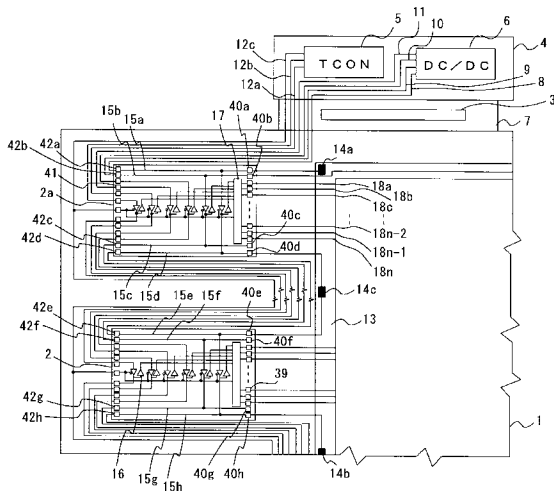
50

- 3 4 カラーフィルタ
- 3 5 カラーフィルタ基板 (C F 基板)
- 3 6 ガラス基板
- 3 7 導体パターン
- 3 8 T F T アレイ基板
- 3 9 L C D 用出力端子
- 4 0 L C D 用ダミー出力端子
- 4 1 ドライバ I C 用入力端子
- 4 2 ドライバ I C 用ダミー入力端子
- 4 3 ドライバ I C 用出力端子
- 4 4 ドライバ I C 用ダミー出力端子

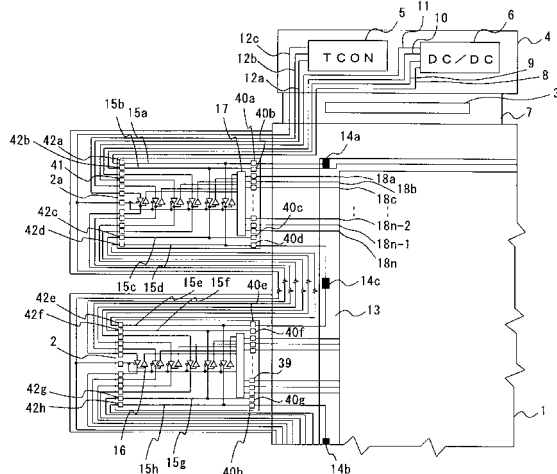
【 図 1 】



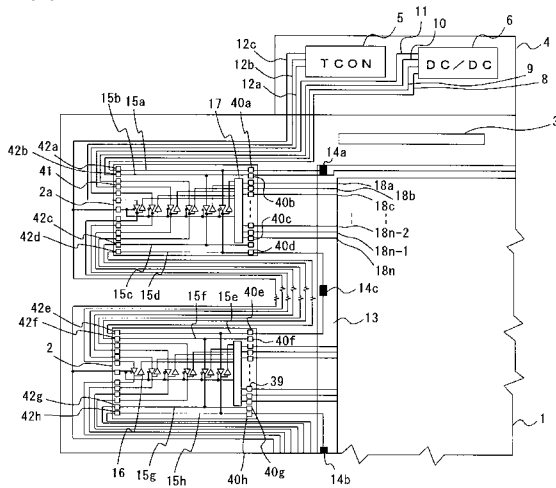
【 図 2 】



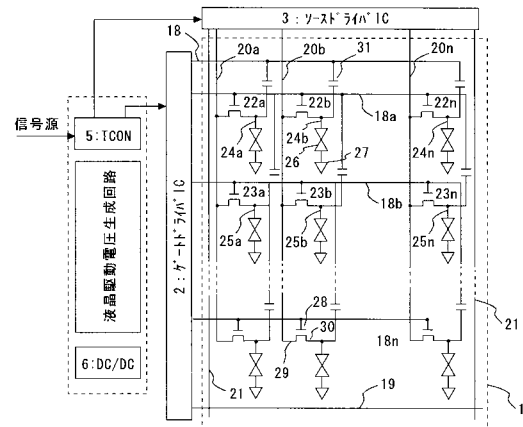
【 図 3 】



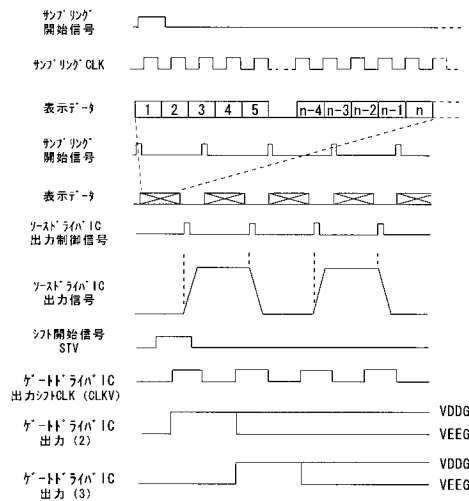
【図 4】



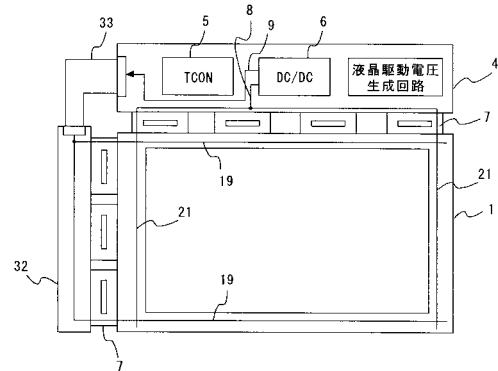
【図 5】



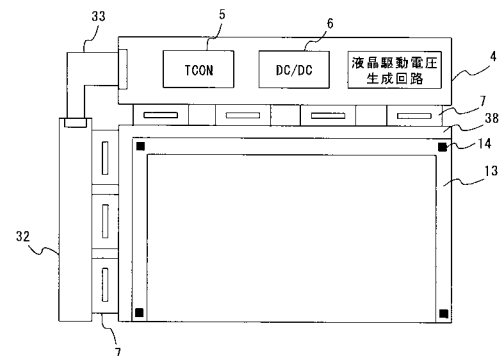
【図 6】



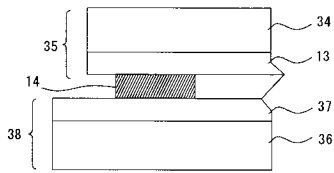
【図 7】



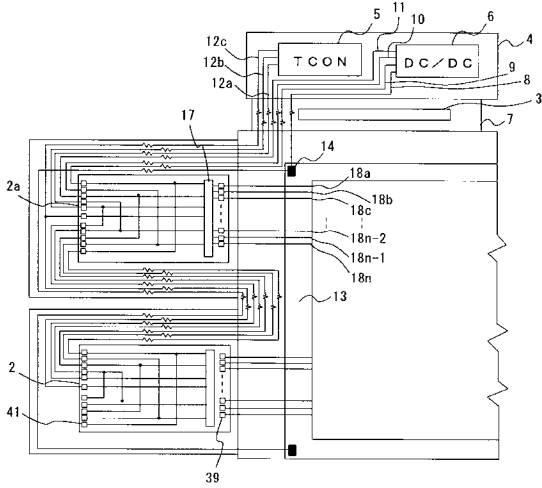
【図 8】



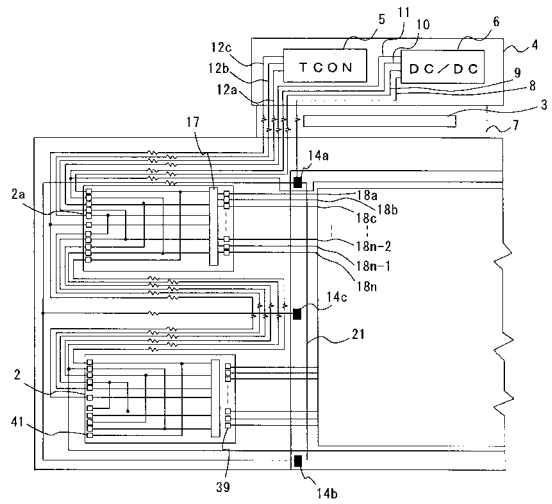
【図 9】



【図 10】



【図 11】



 フロントページの続き
(51) Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 2 A
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/36	

F ターム(参考)	2H093	NA16	NC03	NC10	NC13	NC22	NC23	NC28	NC34	ND42	ND50
		ND53	ND54								
	5C006	AA16	AA22	AC25	AF35	AF50	AF59	BB16	BB27	BC02	BC03
		BC20	BC24	BF24	BF25	BF42	BF46	BF49	EB04	EB05	FA22
		FA25	FA37	FA42							
	5C080	AA10	BB05	CC03	DD05	DD07	DD23	DD25	DD28	FF03	FF11
		JJ02	JJ03	JJ04	JJ06						

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2004037956A5	公开(公告)日	2007-08-02
申请号	JP2002196667	申请日	2002-07-05
申请(专利权)人(译)	有限公司高级显示		
[标]发明人	北村幸男 池本哲也		
发明人	北村 幸男 池本 哲也		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1345 G09G3/20 G09G3/36		
FI分类号	G02F1/1368 G02F1/133.550 G02F1/1345 G09G3/20.611.J G09G3/20.621.M G09G3/20.622.A G09G3/20.622.G G09G3/20.623.B G09G3/20.624.C G09G3/20.680.G G09G3/36		
F-TERM分类号	2H092/JA24 2H092/JA46 2H092/NA16 2H092/NA27 2H092/NA28 2H092/NA29 2H093/NA16 2H093/NC03 2H093/NC10 2H093/NC13 2H093/NC22 2H093/NC23 2H093/NC28 2H093/NC34 2H093/ND42 2H093/ND50 2H093/ND53 2H093/ND54 5C006/AA16 5C006/AA22 5C006/AC25 5C006/AF35 5C006/AF50 5C006/AF59 5C006/BB16 5C006/BB27 5C006/BC02 5C006/BC03 5C006/BC20 5C006/BC24 5C006/BF24 5C006/BF25 5C006/BF42 5C006/BF46 5C006/BF49 5C006/EB04 5C006/EB05 5C006/FA22 5C006/FA25 5C006/FA37 5C006/FA42 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD07 5C080/DD23 5C080/DD25 5C080/DD28 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/EA43 2H192/FA01 2H192/FA11 2H192/FA48 2H192/FA52 2H192/FA54 2H192/FB22 2H192/FB46 2H193/ZA04 2H193/ZF03 2H193/ZF22 2H193/ZF51		
其他公开文献	JP4024604B2 JP2004037956A		

摘要(译)

要解决的问题：提供一种驱动电路和液晶显示器，通过在玻璃基板上形成单层结构的布线，简化了制造工艺。解决方案：液晶显示器设置有具有对电极13和TFT阵列基板38的CF基板。TFT阵列基板38具有彼此正交的栅极线18和源极线20，以及连接的传输电极14。基板还具有产生VCOM电压和VEEG电压的DC / DC部分6，向栅极线18提供VEEG电压的栅极驱动器IC2，以及用于LCD的输入/输出端子41,39。输入和输出VEEG电压。衬底具有虚设输入/输出端子42,44，用于驱动器IC在栅极驱动器IC2上输入和输出VCOM电压，这些元件通过虚线直通线15连接。