

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-37956
(P2004-37956A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int.Cl.⁷

F I

テーマコード (参考)

GO2F 1/1368
GO2F 1/133
GO2F 1/1345
GO9G 3/20
GO9G 3/36

GO2F 1/1368
GO2F 1/133 550
GO2F 1/1345
GO9G 3/20 611J
GO9G 3/20 621M

2H092
2H093
5C006
5C080

審査請求 未請求 請求項の数 12 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2002-196667 (P2002-196667)
(22) 出願日 平成14年7月5日(2002.7.5)

(71) 出願人 595059056
株式会社アドバンスト・ディスプレイ
熊本県菊池郡西合志町御代志997番地
(74) 代理人 100103894
弁理士 家入 健
(72) 発明者 北村 幸男
熊本県菊池郡西合志町御代志997番地
株式会社アドバンスト・ディスプレイ内
(72) 発明者 池本 哲也
熊本県菊池郡西合志町御代志997番地
株式会社アドバンスト・ディスプレイ内
Fターム(参考) 2H092 JA24 JA46 NA16 NA27 NA28
NA29

最終頁に続く

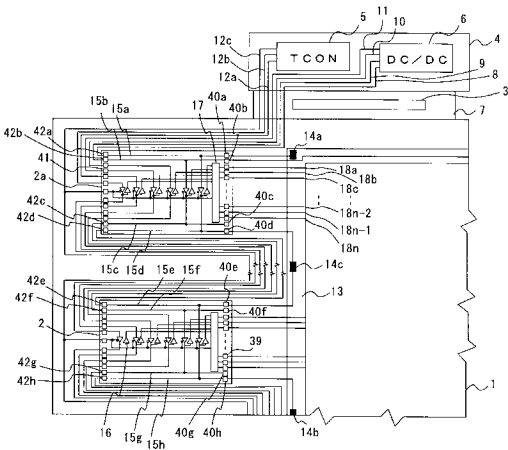
(54) 【発明の名称】 液晶表示装置及びその駆動回路

(57) 【要約】

【課題】 ガラス基板上の配線を単層構造にして、製造工程を簡略化することができる駆動回路及び液晶表示装置を提供すること。

【解決手段】 本発明にかかる液晶表示装置は対向電極13を備えたCF基板及びTFTアレイ基板38を備えている。TFTアレイ基板38は直交するゲート配線18及びソース配線20と、対向電極38に接続されたトランスファー電極14を備えている。またVCOM電圧及びVEEG電圧を生成するDC/DC部6と、VEEG電圧をゲート配線18に供給するゲートドライバIC2と、VEEG電圧を入出力するLCD用入出力端子41、39を備えている。そしてゲートドライバIC2上にVCOM電圧を入出力するドライバIC用ダミー入出力端子42、44を備え、これらがダミースルー配線15により接続されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

液晶層を挟持して対向する第 1 の基板と第 2 の基板のうち、
前記第 1 の基板は透明性導電膜からなる対向電極を備え、
前記第 2 の基板は直交して設けられたゲート配線及びソース配線と、
前記ゲート配線及び前記ソース配線の交差点に設けられたスイッチング素子と、
前記スイッチング素子に接続され、前記対向電極に対向する画素電極と、
前記対向電極と電氣的に接続されたトランスファー電極を備える液晶表示装置であって、
共通電圧及び走査電圧を生成する電圧生成手段と、
前記走査電圧を前記ゲート配線に供給する複数の駆動回路をさらに備えるとともに、 10
当該駆動回路の表示領域と反対側には前記走査電圧を入力する第 1 の入力端子と、
前記第 1 の入力端子の端に設けられ、前記共通電圧を入力する第 2 の入力端子と、
異なる駆動回路に走査電圧を出力する第 1 の駆動回路用出力端子と、
前記第 1 の駆動回路用出力端子の端に設けられ、当該第 1 の駆動回路用出力端子と電氣的
に接続された第 2 の駆動回路用出力端子を備え、
当該駆動回路の表示領域側には各々のゲート配線に対応し、前記走査電圧を出力する第 1
の L C D 用出力端子と、
前記第 1 の L C D 用出力端子の両端に設けられ、前記トランスファー電極に共通電圧を出
力する第 2 の L C D 用出力端子を備え、
前記第 2 の入力端子と前記第 2 の L C D 用出力端子及び第 2 の駆動回路用出力端子と第 2 20
の L C D 用出力端子を電氣的に接続することにより前記トランスファー電極に共通電圧を
供給する液晶表示装置。

【請求項 2】

前記駆動回路上には前記第 1 の入力端子と前記第 2 の入力端子の間に設けられた第 3 の入
力端子と、
前記第 1 の駆動回路用出力端子と前記第 2 の駆動回路用出力端子の間に設けられた第 3 の
駆動回路用出力端子と、
前記第 1 の L C D 用出力端子と前記第 2 の L C D 用出力端子の間に第 3 の L C D 用出力端
子を備え、
前記第 3 の L C D 用出力端子が前記第 3 の入力端子及び第 1 の基板上に設けられたダミー 30
画素に対応するダミー配線に接続されている請求項 1 記載の液晶表示装置。

【請求項 3】

前記第 1 の入力端子に電氣的に接続された第 1 の駆動回路用出力端子と、
前記第 2 の入力端子に電氣的に接続された第 2 の駆動回路用出力端子を備え、接続された
各々の入力端子及び出力端子が駆動回路の中心に対してそれぞれ対称に設けられている請
求項 1 又は 2 いずれかに記載の液晶表示装置。

【請求項 4】

前記第 1 の入力端子が双方向バッファと接続し、前記走査信号が当該双方向バッファを介
して前記第 1 の駆動回路用出力端子及び第 1 の L C D 用出力端子に供給される請求項 1 乃
至 3 いずれかに記載の液晶表示装置。 40

【請求項 5】

前記第 2 の入力端子が双方向バッファと接続し、前記走査信号が当該双方向バッファを介
して前記第 2 の駆動回路用出力端子及び第 2 の L C D 用出力端子に供給される請求項 1 乃
至 4 いずれかに記載の液晶表示装置。

【請求項 6】

前記第 3 の入力端子が双方向バッファと接続し、前記走査信号が当該双方向バッファを介
して前記第 3 の駆動回路用出力端子及び第 3 の L C D 用出力端子に供給される請求項 1 乃
至 5 いずれかに記載の液晶表示装置。

【請求項 7】

請求項 1 乃至 6 いずれかに記載の液晶表示装置であって前記駆動回路が第 2 の基板上に設 50

けられているCOG (Chip On Glass) 方式の液晶表示装置。

【請求項 8】

請求項 1 乃至 6 いずれかに記載の液晶表示装置であって前記駆動回路がフィルム上に設けられているCOF (Chip On Film) 方式の液晶表示装置。

【請求項 9】

液晶パネルに平行に配置された複数のゲート配線の各々に走査信号を供給する駆動回路であって、

前記走査信号を生成するための信号を入力する複数の走査信号用入力端子と、

前記走査信号用入力端子に入力された信号に基づき走査信号を生成する走査信号生成手段と、

前記走査信号生成手段により生成された走査信号をゲート配線に出力する走査信号用出力端子と、

前記走査信号を異なる駆動回路に出力する駆動回路用出力端子と、

前記走査信号とは異なる信号を入力する独立のダミースルー配線用入力端子と、

前記ダミースルー配線用入力端子より入力された信号を伝達するダミースルー配線と、

前記ダミースルー配線により伝達された出力するダミー配線用出力端子を備えた駆動回路。

10

【請求項 10】

前記走査信号用入力端子が双方向バッファに接続され、前記走査信号が当該双方向バッファを介し前記駆動回路出力端子及び前記走査信号用出力端子に供給される請求項 9 記載の駆動回路。

20

【請求項 11】

液晶パネルに平行に配置された複数のソース配線の各々に駆動信号を供給する駆動回路であって、

前記駆動信号を生成するための信号を入力する複数の駆動信号用入力端子と、

前記駆動信号用入力端子に入力された信号に基づき駆動信号を生成する駆動信号生成手段と、

前記駆動信号生成手段により生成された駆動信号をソース配線に出力する駆動信号用出力端子と、

前記駆動信号を異なる駆動回路に出力する駆動回路用出力端子と、

前記駆動信号とは異なる信号を入力する独立のダミースルー配線用入力端子と、

前記ダミースルー配線用入力端子より入力された信号を伝達するダミースルー配線と、

前記ダミースルー配線により伝達された出力するダミー配線用出力端子を備えた駆動回路。

30

【請求項 12】

前記駆動信号用入力端子が双方向バッファに接続され、前記駆動信号が当該双方向バッファを介し前記駆動回路出力端子及び前記駆動信号用出力端子に供給される請求項 11 記載の駆動回路。

【発明の詳細な説明】

【0001】

40

【発明の属する技術分野】

本発明は、アクティブマトリクス型の液晶表示装置に関し、さらに薄膜トランジスタの駆動回路に関する。

【0002】

【従来の技術】

通常、液晶表示装置は液晶層を挟持する対向する 2 枚の基板からなる液晶パネルを備えている。その一方の基板はマトリクス状にスイッチング素子として薄膜トランジスタ (TFT) を備え、その TFT に画素電極が接続された TFT アレイ基板であり、もう一方の基板は RGB の着色層及び ITO 等の透明性導電膜からなる対向電極 (透明電極) を有するカラーフィルタ基板 (CF 基板) である。この画素電極と対向電極の電位差によって液晶

50

層が配向され、各色を表示する。

【0003】

従来の液晶表示装置の駆動電圧供給方法について図5を用いて説明する。図5に一般的なTFTを用いた液晶表示装置(LCD)の構成を示す。1は液晶パネル、2はゲートドライバIC、3はソースドライバIC、5はタイミングコントローラ(以下、TCONと称す)、6はDC/DC部、18はゲート配線、19はゲートダミー配線、20はソース配線、21はソースダミー配線、22はゲート第一ラインTFT、23はゲート第二ラインTFT、24はゲート第一ラインTFTの画素電極、25はゲート第二ラインTFTの画素電極、26は液晶層、27は共通電極、28はゲート電極、29はソース電極、30はドレイン電極、31は保持容量を示している。ここで数字の後ろに付したa~nまでの符号は複数ある配線、電極等の個々の配線、電極等を示している。

【0004】

液晶パネル1は略垂直に配置された複数のゲート配線18a~nと複数のソース配線20a~nを備えている。またゲート配線18とソース配線20の本数は同じa~nで示しているが、同一の本数に限られるものではない。互いにマトリクス状に交差するゲート配線18とソース配線20の交点にTFT22、23が形成されている。このTFT22、23のうち一番上のゲート配線18aに対応して形成されたTFTをゲート第一ラインTFT22、二番目のゲート配線に対応して形成されたTFTをゲート第二ラインTFT23とする。そしてさらにそれぞれのソース配線20a~nに対応してそれぞれゲート第一ラインTFT22a~n、ゲート第二ラインTFT23a~nとする。さらにゲート第一ラインTFT22a~nに対応してゲート第一ラインTFTの画素電極24a~n、ゲート第二ラインTFT23a~nに対応してゲート第二ラインTFTの画素電極25a~nが形成される。各画素はこれらの各画素電極24、25と共通電極27(COM)とその間に挟まれた液晶層26とから構成される。

【0005】

各TFT22a~n、23a~nのゲート電極28は対応するゲート配線18に、ソース電極29はソース配線20に、ドレイン電極31は画素電極24、25にそれぞれ接続されている。

【0006】

さらにゲート配線18には垂直走査に従ってTFTのゲートをONさせるゲートドライバIC2が、ソース配線には表示画素データを液晶駆動電圧に変換するソースドライバIC3が設けられている。そしてゲートドライバIC2及びソースドライバIC3はタイミングを制御するTCON5によって制御される。

【0007】

次に図6を用いて図5に示した液晶表示装置の信号の動作の概略について説明をする。図6は液晶表示装置の駆動タイミングチャートである。

【0008】

まずソースドライバIC3はTCON5から供給される表示データを1ゲート配線分(例えば、18a)サンプリングし保持する。この表示データは1ゲート配線分の各々のTFT素子に供給されるため、図6に示すように1~n個分保持される。

【0009】

ゲート配線18aの表示データがソースドライバICに保持された後、TCON5によってシフト開始信号が出力され、そしてVDDG電圧が供給される。これによりゲート配線18aに接続されている全てのゲート第一ラインTFT22a~nのゲート電極にOFFレベル(以下、VEEG電圧とする)からONレベル(以下、VDDG電圧とする)へ電圧が印加されゲートがONされる。

【0010】

その後、ゲートがONされることでソースドライバIC3に保持されている表示データが出力され、全てのソース配線20a~nに先ほどサンプリングした表示データに応じた液晶駆動電圧を供給する。ゲート電極28がONされているゲート第一ラインTFT22a

～nのソース電極29を介してドレイン電極30及びゲート第一ラインTFTの画素電極24に電圧が供給され、液晶層26に電圧を印加する。

【0011】

上記動作の中でソースドライバIC3がサンプリングした表示データを液晶駆動電圧に変換した後、ソースドライバIC3はTCN5からのサンプリング開始信号によって、次のゲート配線分（例えば、18b）の表示データのサンプリングを開始する。上記の動作を各ゲート配線について繰り返すことにより、コンピュータ等の信号源からの表示データを良好に表示することができる。

【0012】

図7を用いて従来のTFT液晶パネルでのダミー配線への電圧供給方法を説明する。図7は液晶パネルのTFTアレイ基板側の構成を示す平面図である。図5で付した符号と同一の符号は同じ構成を示すので説明を省略する。33はFPC(Flexible Printed Circuit)、4はソースバス基板、7はTCP(Tape Carrier Package)、8はVCOM、9はVEEG、19はゲートダミー配線、21はソースダミー配線、32はゲートバス基板である。ここでTFTの構成は図5と同一なので省略している。 10

【0013】

液晶パネル1の表示領域周辺端部にはパターンの繰り返しの特異性により、表示が不均一になるのを防ぐためにダミー画素（図示せず）を備えている。該ダミー画素の表示を行うために表示領域周辺端部にはゲートダミー配線19及びソースダミー配線21が設けられている。DC/DC部6で生成されたVCOM電圧がソースバス基板4及びTCP7に設けられたVCOM8からソースダミー配線21に供給される。 20

【0014】

同様にDC/DC部6で生成されたVEEG電圧がソースバス基板4、FPC33、TCP7、ゲートバス基板に設けられたVEEG9からゲートダミー配線19に供給される。これによりダミー画素に信号が供給される。

【0015】

次に図8、図9を用いて従来の液晶パネルの構成を説明する。図8は液晶パネルのCF基板側の構成を示す平面図である。図9は液晶パネルの断面図である。図5で付した符号と同一の符号は同じ構成を示すので説明を省略する。13は対向電極、14はトランスファー電極、34はカラーフィルタ、35はカラーフィルタ基板、36はガラス基板、37は導体パターン、38はTFTアレイ基板である。 30

【0016】

RGBの着色層及びブラックマトリクス(BM)からなるカラーフィルタ34とITOなどの透明性導電膜からなる対向電極13で構成されるカラーフィルタ基板35にVCOM電圧を供給するために、ガラス基板36上に導体パターン37が配置されたTFTアレイ基板38上に導電性ペースト等からなるトランスファー電極14を塗布する。これにより対向電極13とTFTアレイ基板38の導体パターン37が電氣的に接続される。

【0017】

DC/DC部6により生成されたVCOM電圧はTFTアレイ基板38のTCP及びトランスファー電極14を介して対向電極13に供給される。これによりTFTアレイ基板38の導体パターン37中に設けられている画素電極と対向電極13に電位差が生じ液晶層が配向されることになる。 40

【0018】

上述の液晶表示装置の構成部品点数を少なくするために、FPCに設けられている配線をガラス基板上に配置することも可能である。この液晶パネルの構成について図10を用いて説明する。ここで図5、図7、図8、図9で付した符号と同一の符号は同じ構成を示すため説明を省略する。またTFTアレイ基板内のTFTの構成は図5と同一なので図示を省略する。12は走査信号（ゲート信号ともいう）を供給する走査信号配線、10はVD DG、11はVDD、17やドライバIC内部回路、39はLCD用出力端子、41は 50

ドライバ I C 用入力端子、43 はドライバ I C 用出力端子である。ここでは信号供給用の配線、端子等を詳細に説明するために拡大して図示している。

【0019】

ゲートドライバ I C 2 へ入力する走査信号配線 12、走査電圧 (VCOM 電圧、VEEG 電圧、VDDG 電圧、VDDD 電圧) のドライバ I C 用入力端子 41 とドライバ I C 用出力端子 43 がそれぞれゲートドライバ I C 上の中心に対して対称に設けており鏡像配置 (ミラー状配置) をしている。LCD 用出力端子 39 はそれぞれのゲート配線 18a ~ n に対応しており、一列に設けられている。また VCOM8 は基板上に設けられたトランスファー電極 14 に接続されている。この DC / DC 部 6 で生成された VCOM 電圧はトランスファー電極 14 を介して対向電極 13 に供給される。またその他の走査電圧、走査信号も TFT アレイ基板上に設けられた信号配線 (走査信号配線 12、VEEG9、VDDG10、VDDD11) を経由してゲートドライバ I C 2 に供給される。これにより FPC を用いることなく液晶パネルを製造することができる。

【0020】

さらに部品点数を減らすために信号供給用のゲートバス基板 32 を無くし、ゲートドライバ I C 2、信号配線、入出力端子を TFT アレイ基板上に設ける COG 方式 (Chip On Glass) の液晶表示装置が用いられるようになっている。さらに液晶パネルの大画面化、高精細化のために対向電極 13 のインピーダンスを下げる必要がある。しかし従来の液晶表示装置においては対向電極 13 のインピーダンスを抑制する方法がなかった。

【0021】

この COG 方式の液晶表示装置の構成について図 11 を用いて説明する。ここで図 5、図 7、図 8、図 10 で付した符号と同じ符号は同じ構成を示すので説明を省略する。基本的な構成は図 10 の液晶パネルと相違なく、ドライバ I C 用入力端子 41 とドライバ I C 用出力端子 43 がミラー状に配置されている。この配線、端子等の構成を詳細に説明するために拡大して図示している。LCD 用出力端子 39 はそれぞれのゲート配線 18 に対応して設けられている。しかしゲートドライバ I C 2、ドライバ I C 内部回路 17、各種配線 8 ~ 12 及びドライバ I C 用入力端子 41、LCD 用出力端子 39 等が全て TFT アレイ基板上に設けられている点で異なる。

【0022】

図 11 に示す構成の液晶パネル 1 ではトランスファー電極 14c に配線 (VCOM8) を接続しようとする他配線と交差してしまいガラス基板上の配線が単層で引き回せない。またトランスファー電極 14a に配線を接続する際も、他の配線と交差してしまい単層で配線が引き回せなかった。従ってガラス基板上の信号配線等を積層で形成する必要があり、製造工程が増えてしまうという問題点があった。さらには積層した箇所で配線の断線が生じやすくなるという問題点もあった。

【0023】

また大画面の液晶パネルにおいてはガラス基板上の配線長が長くなってしまう。配線自体の抵抗値を下げることは困難であり、電圧供給側からより遠くなるに従って、インピーダンスの影響により電圧、信号に歪みが生じる。これにより表示特性が劣化や表示不良が発生するといった問題点が生じていた。上記の対策としてはパターン幅を広くする等の方法があるが表示領域周辺の額縁部が大きくなるという問題点があった。

【0024】

【発明が解決しようとする課題】

このように、従来の COG 方式やバス基板を無くしガラス基板上にて走査電圧、信号を供給するような構造をとる液晶パネル 1 においてはガラス基板上の配線が積層構造になるという問題点があった。また配線が長くなった場合に表示不良が発生するといった問題点があった。

【0025】

本発明は、このような問題点を解決するためになされたもので、ガラス基板上の配線を単

層構造にして、製造工程を簡略化することができる駆動回路及び液晶表示装置を提供することを第1の目的とする。また配線長が長くなることによる表示特性の劣化を抑制することができる駆動回路及び液晶表示装置を提供することを第2の目的とする。

【0026】

【課題を解決するための手段】

本発明にかかる液晶表示装置は液晶層を挟持して対向する第1の基板（例えば、本実施の形態におけるカラーフィルタ基板35）と第2の基板（例えば、本実施の形態におけるTFTアレイ基板38）のうち、前記第1の基板は透明性導電膜からなる対向電極（例えば、本実施の形態における対向電極13）を備え、前記第2の基板は直交して設けられたゲート配線（例えば、本実施の形態におけるゲート配線18）及びソース配線（例えば、本実施の形態におけるソース配線20）と、前記ゲート配線及び前記ソース配線の交差点に設けられたスイッチング素子例えば、本実施の形態におけるゲート第一ラインTFT22、ゲート第二ラインTFT23）と、前記スイッチング素子に接続され、前記対向電極に対向する画素電極例えば、本実施の形態におけるゲート第一ラインTFTの画素電極24、ゲート第二ラインTFTの画素電極25）と、前記対向電極と電氣的に接続されたトランスファー電極（例えば、本実施の形態におけるトランスファー電極14）を備える液晶表示装置であって、共通電圧（例えば、本実施の形態におけるVCOM電圧）及び走査電圧（例えば、本実施の形態におけるVDDG電圧）を生成する電圧生成手段（例えば、本実施の形態におけるDC/DC部6）と、前記走査電圧を前記ゲート配線に供給する複数の駆動回路（例えば、本実施の形態におけるゲートドライバIC2、2a）をさらに備えるとともに、当該駆動回路の表示領域と反対側には前記走査電圧を入力する第1の入力端子（例えば、本実施の形態におけるドライバIC用入力端子41）と、前記第1の入力端子の端に設けられ、前記共通電圧を入力する第2の入力端子（例えば、本実施の形態におけるドライバIC用ダミー入力端子42a）と、異なる駆動回路に走査電圧を出力する第1の駆動回路用出力端子（例えば、本実施の形態におけるドライバIC用出力端子43）と、前記第1の駆動回路用出力端子の端に設けられ、当該第1の駆動回路用出力端子と電氣的に接続された第2の駆動回路用出力端子（例えば、本実施の形態におけるドライバIC用ダミー出力端子44a）を備え、当該駆動回路の表示領域側には各々のゲート配線に対応し、前記走査電圧を出力する第1のLCD用出力端子（例えば、本実施の形態におけるLCD用出力端子39）と、前記第1のLCD用出力端子の両端に設けられ、前記トランスファー電極に共通電圧を出力する第2のLCD用出力端子（例えば、本実施の形態におけるLCD用ダミー出力端子40a、40d）を備え、前記第2の入力端子と前記第2のLCD用出力端子及び第2の駆動回路用出力端子と第2のLCD用出力端子を電氣的に接続することにより前記トランスファー電極に共通電圧を供給するものである。これによりトランスファー電極を増設してもガラス基板上の配線を単層構造にすることができる。

【0027】

上述の液晶表示装置において、前記駆動回路上には前記第1の入力端子と前記第2の入力端子の間に設けられた第3の入力端子（例えば、本実施の形態におけるドライバIC用入力端子42b）と、前記第1の駆動回路用出力端子と前記第2の駆動回路用出力端子の間に設けられた第3の駆動回路用出力端子（例えば、本実施の形態におけるドライバIC用ダミー出力端子44b）と、前記第1のLCD用出力端子と前記第2のLCD用出力端子の間に第3のLCD用出力端子（例えば、本実施の形態におけるLCD用ダミー出力端子40b）を備え、前記第3のLCD用出力端子が前記第3の入力端子及び第1の基板上に設けられたダミー画素に対応するダミー配線（例えば、本実施の形態におけるゲートダミー配線19）に接続されていることが望ましい。これによりダミー配線が他の配線と交差することなく、ガラス上の駆動回路用配線を単層構造にすることができる。

【0028】

上述の液晶表示装置において、前記第1の入力端子に電氣的に接続された第1の駆動回路用出力端子（例えば、本実施の形態におけるドライバIC用出力端子43）と、前記第2の入力端子に電氣的に接続された第2の駆動回路用出力端子（例えば、本実施の形態にお

けるドライバ I C 用ダミー出力端子 4 4) を備え、接続された各々の入力端子及び出力端子が駆動回路の中心に対してそれぞれ対称に設けられていることが望ましい。これによりガラス上の液晶駆動用の配線を単層構造にすることができる。

【0029】

また上述の液晶表示装置において前記第 1 の入力端子が双方向バッファと接続し、前記走査信号が当該双方向バッファを介して前記第 1 の駆動回路用出力端子及び第 1 の L C D 用出力端子に供給されていてもよい。これにより配線長が長くなることによる表示特性の劣化を抑制することができる。

【0030】

さらに上述の液晶表示装置において、前記第 2 の入力端子が双方向バッファと接続し、前記走査信号が当該双方向バッファを介して前記第 2 の駆動回路用出力端子及び第 2 の L C D 用出力端子に供給されていてもよい。これにより配線長が長くなることによる表示特性の劣化を抑制することができる。

【0031】

また前記第 3 の入力端子が双方向バッファと接続し、前記走査信号が当該双方向バッファを介して前記第 3 の駆動回路用出力端子及び第 3 の L C D 用出力端子に供給されていてもよい。これにより配線長が長くなることによる表示特性の劣化を抑制することができる。

【0032】

上述の液晶表示装置は前記駆動回路が第 2 の基板上に設けられている C O G (C h i p O n G l a s s) 方式の液晶表示装置に対して用いることができる。

【0033】

上述の液晶表示装置であって前記駆動回路がフィルム上に設けられている C O F (C h i p O n F i l m) 方式の液晶表示装置に対して用いることも可能である。

【0034】

本発明にかかる駆動回路は、液晶パネルに平行に配置された複数のゲート配線（例えば、本実施の形態におけるゲート配線 1 8）の各々に走査信号（例えば、本実施の形態における V D D G）を供給する駆動回路（例えば、本実施の形態におけるゲートドライバ I C）であって、前記走査信号を生成するための信号を入力する複数の走査信号用入力端子（例えば、本実施の形態におけるドライバ I C 用入力端子 4 1）と、前記走査信号用入力端子に入力された信号に基づき走査信号を生成する走査信号生成手段（例えば、本実施の形態におけるドライバ I C 内部回路 1 7）と、前記走査信号生成手段により生成された走査信号をゲート配線に出力する走査信号用出力端子（例えば、本実施の形態における L C D 用出力端子 3 9）と、駆動回路用出力端子（例えば、本実施の形態におけるドライバ I C 用出力端子 4 3）と、前記走査信号とは異なる信号を入力する独立のダミースルー配線用入力端子（例えば、本実施の形態におけるドライバ I C 用ダミー入力端子 4 2）と、前記ダミースルー配線用入力端子より入力された信号を伝達するダミースルー配線（例えば、本実施の形態における端子ダミー配線 1 5）と、前記ダミースルー配線により伝達された出力するダミー配線用出力端子（例えば、本実施の形態における L C D 用ダミー出力端子 4 0）と、前記走査信号を異なる駆動回路に出力する駆動回路用ダミー出力端子（例えば、本実施の形態におけるドライバ I C 用ダミー出力端子 4 4）を備えたものである。これによりガラス基板上の配線を単層構造にすることができる。

【0035】

上述の駆動回路において、前記走査信号用入力端子が双方向バッファ（例えば、本実施の形態における双方向バッファ 1 6）に接続され、前記走査信号が当該双方向バッファを介し前記駆動回路用出力端子及び前記走査信号用出力端子に供給されることが望ましい。これにより配線長が長くなることによる表示特性の劣化を抑制することができる。

【0036】

上述の駆動回路は液晶パネルに平行に配置された複数のソース配線（例えば、本実施の形態におけるソース配線 2 0）の各々に駆動信号（ソース信号）を供給する駆動回路に対しても用いることができる。すなわち、本発明にかかる駆動回路は液晶パネルに平行に配置

10

20

30

40

50

された複数のソース配線の各々に駆動信号を供給する駆動回路であって、前記駆動信号を生成するための信号を入力する複数の駆動信号用入力端子と、前記駆動信号用入力端子に入力された信号に基づき駆動信号を生成する駆動信号生成手段と、前記駆動信号生成手段により生成された駆動信号を出力する駆動信号用出力端子と、前記駆動信号を異なる駆動回路に出力する駆動回路用出力端子と、前記駆動信号とは異なる信号を入力する独立のダミーソース配線用入力端子と、前記ダミーソース配線用入力端子より入力された信号を伝達するダミーソース配線と、前記ダミーソース配線により伝達された出力するダミー配線用出力端子を備えるものである。これによりガラス基板上の配線を単層構造にすることができる。

【0037】

10

さらに上述の駆動回路において、前記駆動信号用入力端子が双方向バッファに接続され、前記駆動信号が当該双方向バッファを介し前記駆動回路出力端子及び前記駆動信号用出力端子に供給されることが望ましい。これにより配線長が長くなることによる表示特性の劣化を抑制することができる。

【0038】

【発明の実施の形態】

本発明の実施の形態1.

本発明にかかる液晶パネルの構造について図1、図2を用いて説明する。図1は液晶表示装置の概略を示す外観図である。図2は液晶パネルの構成を示す平面図であり、特にゲートドライバICの配線、端子の周辺を拡大し詳細に図示している。ここで1は液晶パネル、2はゲートドライバIC、3はソースドライバIC、4はソースドライバIC、5はタイミングコントローラ（以下、TCONと称す）、6はDC/DC部、7はTCP（Tape Carrier Package）、8はVCOM、9はVEEG、10はVDDG、11はVDDD、12は走査信号配線、13は対向電極、14はトランスファー電極、15は端子ダミー配線、16は双方向バッファ、17はドライバIC内部回路、18はゲート配線、19はゲートダミー配線、39はLCD用出力端子、40はLCD用ダミー出力端子、41はドライバIC用入力端子、42はドライバIC用ダミー入力端子、43はドライバIC用出力端子、44はドライバIC用ダミー出力端子である。数字の後ろのa～nは複数ある構成物（配線、端子等）の個々の構成物を示している。

20

【0039】

30

図1はゲートドライバIC2が液晶パネル1上に設けられたCOG方式の液晶表示装置を示している。ここで TFT アレイ基板の構成は図5と同一なので省略する。また走査信号等を供給するタイミングも図6と同様なので説明を省略する。

【0040】

図2に示すようにソースバス基板4上に設けられたTCON5、DC/DC部6とゲートドライバIC2aに設けられたドライバIC用入力端子41が配線10、11、12によって接続されている。走査信号配線12はソースバス基板4、TCP7、TFTアレイ基板を通してゲートドライバIC2a上のドライバIC用入力端子41に接続される。そしてドライバIC用入力端子41は双方向バッファ16と接続されている。双方向バッファ16からの配線の一方はドライバIC用出力端子43と電氣的に接続されている。もう一方の配線はドライバIC内部回路17と接続される。そして表示領域側に設けられたLCD用出力端子39を介してゲート配線18にゲート電圧等が供給される。このドライバIC用入力端子41とドライバIC用出力端子43はゲートドライバIC2a上の表示領域の反対側に一列に設けられている。

40

【0041】

さらにこのドライバIC用入力端子41とドライバIC用出力端子43は対称に設けられており、ゲートドライバIC2a上でドライバIC用入力端子41とドライバIC用出力端子43がミラー状の配置となっている。すなわちドライバIC用入力端子41a及びドライバIC用出力端子43aが外側に設けられており、ドライバIC用入力端子41及びドライバIC用出力端子43のアルファベットが外側から順に入出力端子ともb、c、dの

50

順になっている。そして、ドライバ I C 用出力端子 4 3 は隣接するゲートドライバ I C 2 のドライバ I C 用入力端子 4 1 と接続されている。また同様にドライバ I C 用ダミー出力端子 4 4 a、4 4 b は隣接するゲートドライバ I C 2 のドライバ I C 用ダミー入力端子 4 2 e、4 2 f と接続されている。さらにドライバ I C 用入力端子 4 1 とドライバ I C 用出力端子 4 3 で同一のアルファベットの入出力端子が双方向バッファ 1 6 を介して接続される。このような構成を繰り返し、全ゲート配線 1 8 に対応するように L C D 用出力端子 3 9 を設ける。これにより、各配線を重ねることなく、各ゲート配線 1 8 に走査信号を供給することができる。

【0042】

本実施の形態 1 にかかる液晶表示装置の配線等の配置は図 1 1 で示した従来の C O G 方式の液晶表示装置と異なる点について図 2 を用いて説明する。ゲートドライバ I C 2 の表示領域と反対側にドライバ I C 用ダミー入力端子 4 2 及びドライバ I C 用ダミー出力端子 4 4 が L C D 用入力端子 4 1 及び L C D 用出力端子 4 1 の外側にそれぞれ 2 個ずつ設けられている。またドライバ I C 2 の表示領域側に L C D 用ダミー出力端子 4 0 が L C D 用出力端子 3 9 の両端に 2 個ずつ設けられている。V C O M 8 及び V E E G 9 はゲートドライバ I C 2 上のドライバ I C 用ダミー入力端子 4 2 に接続される。その同一のアルファベットのドライバ I C 用ダミー入力端子 4 2 a、4 2 b と L C D 用ダミー出力端子 4 0 a、4 0 b が同じアルファベットの端子ダミー配線 1 5 a、1 5 b によりそれぞれ電氣的に接続されている。その端子ダミー配線 1 5 a は途中で二つに分かれておりゲートドライバ I C 2 上に設けられている端子ダミー配線 1 5 d と双方向バッファ 1 6 を介して接続されている。そしてこの端子ダミー配線 1 5 d はドライバ I C 用ダミー出力端子 4 3 a と L C D 用ダミー出力端子 4 0 d を電氣的に接続している。同様に端子ダミー配線 1 5 b は双方向バッファ 1 6 を介して端子ダミー配線 1 5 c と接続されている。そしてこの端子ダミー配線 1 5 c はドライバ I C 用ダミー出力端子 4 3 b と L C D 用ダミー出力端子 4 0 c を接続している。

【0043】

また端子ダミー配線 1 5 a、1 5 d に対応する L C D 用ダミー出力端子 4 0 a、4 0 d からの配線はそれぞれトランスファ電極 1 4 a、1 4 c に接続している。これにより V C O M 電圧がドライバ I C 用ダミー入力端子 4 2 a 及び L C D 用ダミー出力端子 4 4 a をスルーしトランスファ電極 1 4 a に供給される。端子ダミー配線 1 5 b に対応する L C D 用ダミー出力端子 4 0 b はゲートダミー配線 1 9 と接続されている。これにより V E E G 電圧がドライバ I C 用ダミー入力端子 4 2 b 及び L C D 用ダミー出力端子 4 4 b をスルーしゲートダミー配線 1 9 に供給される。L C D 用ダミー出力端子 4 0 及びドライバ I C 用ダミー入力端子 4 2 を L C D 用出力端子 3 9 及びダミー出力端子 4 1 の外側にそれぞれ 2 個ずつ設けることによりガラス基板上でそれぞれの配線が交差することなく、単層構造で L C D 用駆動配線を製造することができる。これにより製造工程を簡略化することができる、製造コストを低減することができる。

【0044】

さらにゲートドライバ I C 2 上のドライバ I C 用入力端子 4 1 と L C D 用出力端子 3 9 の間に双方向バッファ 1 6 が設けられている。このため、ゲートドライバ I C 間のガラス上配線のインピーダンスのみの影響を考慮して、ガラス上配線を設計することができる。これにより大画面化によって長くなった配線のインピーダンスの影響を低減することができ、表示特性の劣化や表示不良の発生を抑制することが可能となる。

【0045】

本発明の実施の形態 2 .

本発明の実施の形態 2 にかかる液晶表示装置の構成について図 3 を用いて説明する。図 3 は液晶表示パネルの構成を示す平面図であり、特にゲートドライバ I C 2 の配線、端子を拡大し詳細に図示している。図 1、図 2 で付した符号と同一の符号は同じ構成を示すため説明を省略する。

【0046】

本実施の形態 2 では配線、端子等の配置は図 1 に示した実施の形態 1 と同一である。しかし本実施の形態 2 ではゲートドライバ IC 2 がガラス基板上ではなく FPC 上に設けられている点が図 2 で示した実施の形態 1 と異なる。従って FPC 上にゲートバス基板 3 2、配線、ドライバ IC 用入力端子 4 1、LCD 用出力端子 3 9 が設けられている COF (Chip On Film) 方式となる。

【0047】

実施の形態 1 と同様にドライバ IC 用ダミー入力端子 4 2、LCD 用ダミー出力端子 4 0 がそれぞれドライバ IC 用入力端子 4 1、LCD 用出力端子 3 9 の外側に 2 個ずつ設けられている。これにより COF 方式のガラス基板上でも配線が交差することなく、単層構造で LCD 駆動用配線を製造することができる。

10

【0048】

またドライバ IC 用ダミー入力端子 4 2 と LCD 用ダミー出力端子 4 0 が双方向バッファを介して電氣的に接続されている。これにより大画面化によって長くなった配線のインピーダンスの影響を低減することができ、表示特性の劣化や表示不良の発生を抑制することが可能となる。

【0049】

またこの構成は COF 方式に限らず、ゲートバス基板 3 2 をなくしガラス基板上に配線を設けて走査電圧、走査信号を供給する液晶パネルに対して用いることが可能である。

【0050】

その他の実施の形態。

20

本発明のその他の実施の形態にかかる液晶表示装置の構成の一例について図 3 を用いて説明する。図 4 は液晶表示パネルの構成を示す平面図であり、特にゲートドライバ IC の配線、端子等を拡大し詳細に図示している。図 1、図 2 で付した符号と同一の符号は同じ構成を示すため説明を省略する。

【0051】

本実施の形態ではゲートドライバ IC 上の配線、端子等の配置は図 1 に示した実施の形態 1 と同一である。しかし本実施の形態ではソースドライバ IC がガラス基板上に設けられている点が図 1 で示した実施の形態 1 と異なる。

【0052】

このような TCP を用いていない構成の COG 方式の液晶表示装置においても、ゲートドライバ IC 上の配線、入出力端子、ドライバ IC 内部回路及び双方向バッファ等を図 2 で示した配置と同様の配置にすれば、ガラス基板上でも配線が交差することなく、単層構造で LCD 用駆動配線を製造することができる。さらに大画面化によって長くなった配線のインピーダンスの影響を低減することができ、表示特性の劣化や表示不良の発生を抑制することが可能となる。

30

【0053】

また同様に実施の形態 2 で示した COF 方式の液晶表示装置においても同様にソースドライバ IC をガラス基板上に設けてもよい。このような構成でも同様の効果を得ることができる。

【0054】

40

本発明はゲートドライバ IC 上にトランスファ電極及び端子ダミー配線用のダミー入出力端子を設けるものであり、上述の実施の形態で図示した構成に限られるではない。さらにゲートドライバ IC 上の入出力端子間に双方向バッファを設けることにより表示特性の劣化や表示不良の発生を抑制することが可能となる。

例えば COP (Chip On Plastic) 方式や COB (Chip On Board) 方式の液晶表示装置に対しても用いることができる。

【0055】

また本発明にかかる駆動回路の配置はゲートドライバ IC のみではなく、ソースドライバ IC に適用しても、同様の効果を得ることができる。

【0056】

50

【発明の効果】

本発明によれば、ガラス基板上の配線を単層構造にして、製造工程が簡略化された駆動回路及び液晶表示装置を提供することができる。さらに配線長が長くなることによる表示特性の劣化が抑制された駆動回路及び液晶表示装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明にかかる液晶表示装置の液晶パネルの外観を示した平面図である。

【図 2】本発明の実施の形態 1 にかかる液晶パネルの構成を示す平面図である。

【図 3】本発明の実施の形態 2 にかかる液晶パネルの構成を示す平面図である。

【図 4】本発明のその他の実施の形態にかかる液晶パネルの構成を示す平面図である。

【図 5】液晶パネルの液晶パネルの構成を示す平面図である。

10

【図 6】液晶表示装置の動作を説明するタイミングチャートである。

【図 7】従来の液晶パネルの T F T アレイ基板側の構成を示す平面図である。

【図 8】従来の液晶パネルのカラーフィルタ基板側の構成を示す平面図である。

【図 9】従来の液晶パネルの構成を示す断面図である。

【図 10】従来の液晶パネルの構成を示す平面図である。

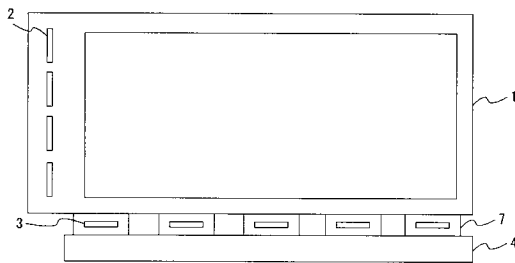
【図 11】従来の液晶パネルの構成を示す平面図である。

【符号の説明】

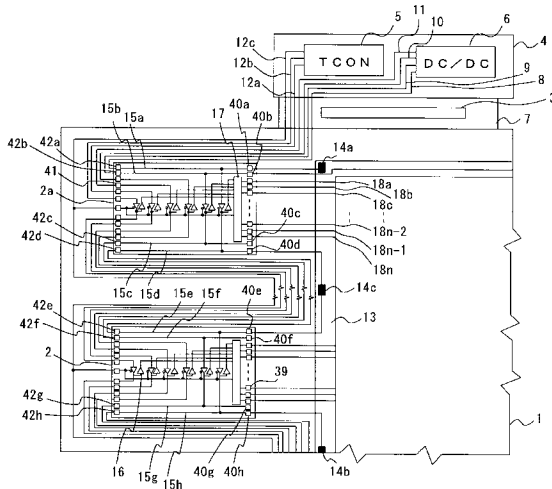
- | | | |
|----|-------------------------|----|
| 1 | 液晶パネル | |
| 2 | ゲートドライバ I C | |
| 3 | ソースドライバ I C | 20 |
| 4 | ソースバス基板 | |
| 5 | タイミングコントローラ (T C O N) | |
| 6 | D C / D C 部 | |
| 7 | T C P | |
| 8 | V C O M | |
| 9 | V E E G | |
| 10 | V D D G | |
| 11 | V D D D | |
| 12 | 走査信号配線 | |
| 13 | 対向電極 | 30 |
| 14 | トランスファー電極 | |
| 15 | 端子ダミー配線 | |
| 16 | 双方向バッファ | |
| 17 | ドライバ I C 内部回路 | |
| 18 | ゲート配線 | |
| 19 | ゲートダミー配線 | |
| 20 | ソース配線 | |
| 21 | ソースダミー配線 | |
| 22 | ゲート第一ライン T F T | |
| 23 | ゲート第二ライン T F T | 40 |
| 24 | ゲート第一ライン T F T の画素電極 | |
| 25 | ゲート第二ライン T F T の画素電極 | |
| 26 | 液晶層 | |
| 27 | 共通電極 | |
| 28 | ゲート電極 | |
| 29 | ソース電極 | |
| 30 | ドレイン電極 | |
| 31 | 保持容量 | |
| 32 | ゲートバス基板 | |
| 33 | F P C | 50 |

- 3 4 カラーフィルタ
- 3 5 カラーフィルタ基板 (C F 基板)
- 3 6 ガラス基板
- 3 7 導体パターン
- 3 8 TFTアレイ基板
- 3 9 LCD用出力端子
- 4 0 LCD用ダミー出力端子
- 4 1 ドライバIC用入力端子
- 4 2 ドライバIC用ダミー入力端子
- 4 3 ドライバIC用出力端子
- 4 4 ドライバIC用ダミー出力端子

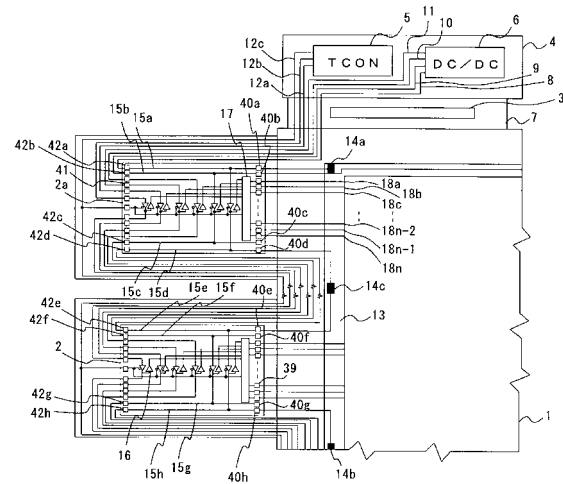
【図 1】



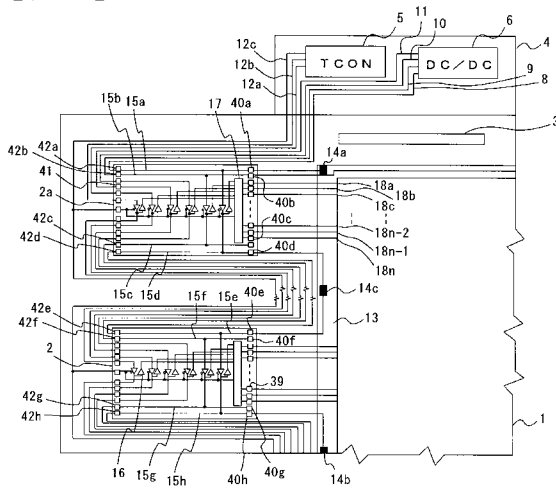
【図 2】



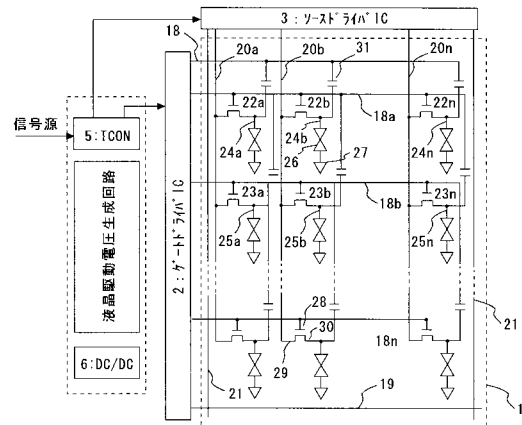
【図 3】



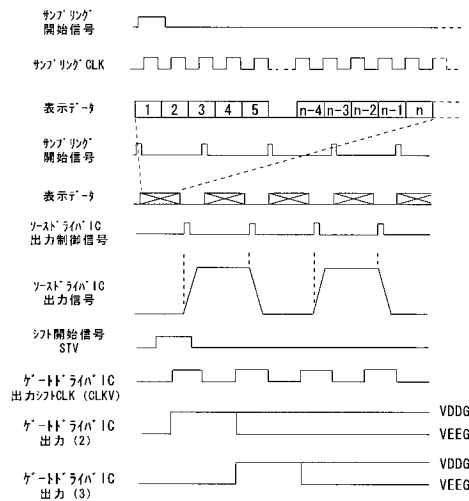
【図 4】



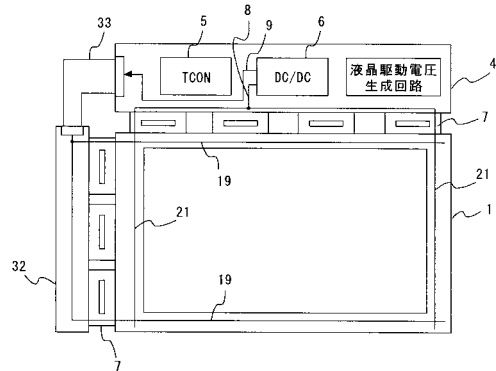
【図 5】



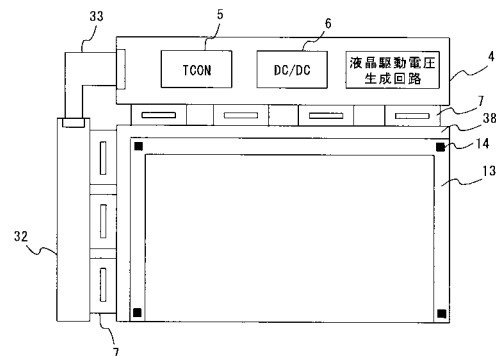
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 2 A
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/36	

F ターム(参考)	2H093	NA16	NC03	NC10	NC13	NC22	NC23	NC28	NC34	ND42	ND50
		ND53	ND54								
	5C006	AA16	AA22	AC25	AF35	AF50	AF59	BB16	BB27	BC02	BC03
		BC20	BC24	BF24	BF25	BF42	BF46	BF49	EB04	EB05	FA22
		FA25	FA37	FA42							
	5C080	AA10	BB05	CC03	DD05	DD07	DD23	DD25	DD28	FF03	FF11
		JJ02	JJ03	JJ04	JJ06						

专利名称(译)	液晶显示装置及其驱动电路		
公开(公告)号	JP2004037956A	公开(公告)日	2004-02-05
申请号	JP2002196667	申请日	2002-07-05
申请(专利权)人(译)	有限公司高级显示		
[标]发明人	北村幸男 池本哲也		
发明人	北村 幸男 池本 哲也		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1345 G09G3/20 G09G3/36		
FI分类号	G02F1/1368 G02F1/133.550 G02F1/1345 G09G3/20.611.J G09G3/20.621.M G09G3/20.622.A G09G3/20.622.G G09G3/20.623.B G09G3/20.624.C G09G3/20.680.G G09G3/36		
F-TERM分类号	2H092/JA24 2H092/JA46 2H092/NA16 2H092/NA27 2H092/NA28 2H092/NA29 2H093/NA16 2H093/NC03 2H093/NC10 2H093/NC13 2H093/NC22 2H093/NC23 2H093/NC28 2H093/NC34 2H093/ND42 2H093/ND50 2H093/ND53 2H093/ND54 5C006/AA16 5C006/AA22 5C006/AC25 5C006/AF35 5C006/AF50 5C006/AF59 5C006/BB16 5C006/BB27 5C006/BC02 5C006/BC03 5C006/BC20 5C006/BC24 5C006/BF24 5C006/BF25 5C006/BF42 5C006/BF46 5C006/BF49 5C006/EB04 5C006/EB05 5C006/FA22 5C006/FA25 5C006/FA37 5C006/FA42 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD07 5C080/DD23 5C080/DD25 5C080/DD28 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/EA43 2H192/FA01 2H192/FA11 2H192/FA48 2H192/FA52 2H192/FA54 2H192/FB22 2H192/FB46 2H193/ZA04 2H193/ZF03 2H193/ZF22 2H193/ZF51		
其他公开文献	JP4024604B2 JP2004037956A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种驱动电路和液晶显示器，通过在玻璃基板上形成单层结构的布线，简化了制造工艺。解决方案：液晶显示器设置有具有对电极13和TFT阵列基板38的CF基板。TFT阵列基板38具有彼此正交的栅极线18和源极线20，以及连接的传输电极14基板还具有产生VCOM电压和VEEG电压的DC / DC部分6，向栅极线18提供VEEG电压的栅极驱动器IC2，以及用于LCD的输入/输出端子41,39。输入和输出VEEG电压。衬底具有虚设输入/输出端子42,44，用于驱动器IC在栅极驱动器IC2上输入和输出VCOM电压，这些元件通过虚线直通线15连接。

