

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002 - 300026

(P2002 - 300026A)

(43)公開日 平成14年10月11日(2002.10.11)

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-コード (参考)
H 0 3 K 19/0185		G 0 9 G 3/20	612 D 5 C 0 0 6
G 0 9 G 3/20	612		621 M 5 C 0 8 0
	621	3/36	5 J 0 5 6
3/36		H 0 3 K 19/00	101 B

審査請求 有 請求項の数 4 O L (全 8 数)

(21)出願番号 特願2001 - 197899(P2001 - 197899)

(22)出願日 平成13年6月29日(2001.6.29)

(31)優先権主張番号 90106690

(32)優先日 平成13年3月21日(2001.3.21)

(33)優先権主張国 台湾(TW)

(71)出願人 500351561

世紀半導体股 ぶん 有限公司

台湾新竹科学園區工業東四路24 - 2号2F

(72)発明者 楊 存孝

台湾新竹科学園區工業東四路24 - 2号2F 世

紀半導体股 ぶん 有限公司内

(72)発明者 趙 晉傑

台湾新竹県 きゅう 林郷上山村7鄰三民路

73巷6号

(74)代理人 100092897

弁理士 大西 正悟

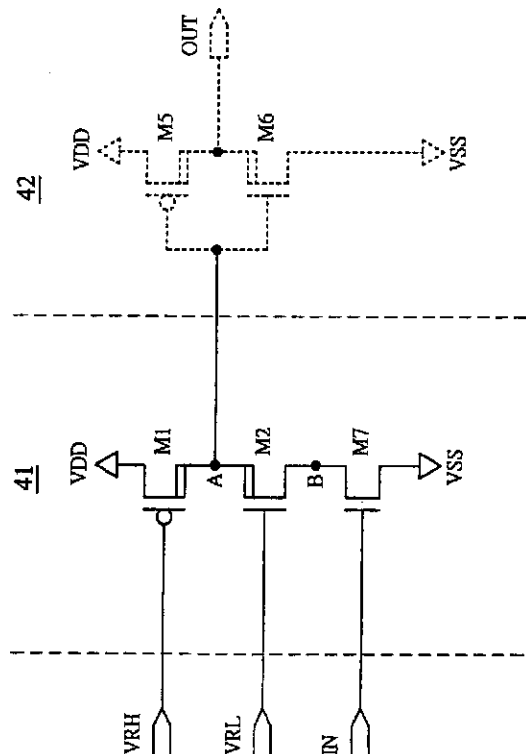
最終頁に続く

(54)【発明の名称】 薄膜トランジスタ液晶表示装置のゲートドライバに用いられるシングルエンド型高電圧レベルシフタ

(57)【要約】 (修正有)

【課題】 ゲートドライバのチップ面積を更に減らし、ゲートドライバICの製造コストを大幅に削減できる薄膜トランジスタ液晶表示装置のゲートドライバに用いられるシングルエンド型高電圧レベルシフタを提供する。

【解決手段】 高電源電圧VDDと低電源電圧VSSと、第1低電圧NMOSトランジスタM7と、高電圧NMOSトランジスタM2と、第1高電圧PMOSトランジスタM1と、を備えている。第1低電圧NMOSトランジスタM7は、ゲートが入力信号を受け、ソースが低電源電圧VSSに接続され、高電圧NMOSトランジスタM2のゲートは第1基準電圧を受け、ソースが第1低電圧NMOSトランジスタのドレインに接続されている。第1高電圧PMOSトランジスタM1は、ゲートがこの第1高電圧PMOSトランジスタM1のオン状態を保持し、第2基準電圧を受け、ソースが高電源電圧VDDに接続され、ドレインが前記高電圧NMOSトランジスタM2のドレインに接続される。



【特許請求の範囲】

【請求項1】 高電源電圧及び低電源電圧と、ゲートが入力信号を受け、ソースが前記低電源電圧に接続されている第1低電圧NMOSトランジスタと、ゲートが前記入力信号と前記高電源電圧との間のレベルを有する第1基準電圧を受け、ソースが前記第1低電圧NMOSトランジスタのドレインに接続されている高電圧NMOSトランジスタと、ゲートがこの第1高電圧PMOSトランジスタのオン状態を保持し前記第1基準電圧より高いレベルを有する第2基準電圧を受け、ソースが前記高電源電圧に接続され、ドレインが、前記高電圧NMOSトランジスタのドレインに接続され、レベルシフターの出力端子として次段の出力ドライバに接続されている第1高電圧PMOSトランジスタと、を備えていることを特徴とする、薄膜トランジスタ液晶表示装置のゲートドライバに用いられるシングルエンド型高電圧レベルシフタ。

【請求項2】 高電源電圧及び低電源電圧と、ゲートが入力信号を受け、ソースが前記低電源電圧に接続されている第1低電圧NMOSトランジスタと、ゲートが前記入力信号と前記高電源電圧との間のレベルを有する第1基準電圧を受け、ソースが前記第1低電圧NMOSトランジスタのドレインに接続されている高電圧NMOSトランジスタと、ソースが前記高電源電圧に接続され、ドレインが前記高電圧NMOSトランジスタのドレインに接続され、レベルシフターの出力端子として次段の出力ドライバに接続されている第1高電圧PMOSトランジスタと、ゲートが第1グローバル・オン・コントロール信号を受け、ソースが前記低電源電圧に接続され、ドレインが前記第1低電圧NMOSトランジスタのドレインに接続されている第2低電圧NMOSトランジスタと、ゲートが第2グローバル・オン・コントロール信号を受け、ソースまたはドレインの何れかが前記第1高電圧PMOSトランジスタのオン状態を保持し前記第1基準電圧より高いレベルを有する第2基準電圧に接続され、その他のソースまたはドレインが前記第1高電圧PMOSトランジスタのゲートに接続されている第2高電圧PMOSトランジスタと、ゲートが第3グローバル・オン・コントロール信号を受け、ソースが前記高電源電圧に接続され、ドレインが前記第1高電圧PMOSトランジスタのゲートに接続されている第3高電圧PMOSトランジスタと、を備え、前記第1及び前記第2グローバル・オン・コントロール信号がローレベルにプルダウンされ、前記第3グローバル・オン・コントロール信号が第1高値にプルアップされたとき、ゲートドライバがノーマル・モードとなり、複数個の出力チャンネルが一つのみがオンするが、前記第1グローバル・オン・コントロール信号が第2高値

にプルアップされ、前記第2グローバル・オン・コントロール信号が第1高値にプルアップされ、第3グローバル・オン・コントロール信号がローレベルにプルダウンされたとき、ゲートドライバはグローバル・オン・モードとなり、複数個の出力チャンネルがすべてオンすることを特徴とする、薄膜トランジスタ液晶表示装置のゲートドライバに用いられるシングルエンド型高電圧レベルシフタ。

【請求項3】 高電源電圧及び低電源電圧と、ゲートが入力信号を受ける第1低電圧NMOSトランジスタと、ゲートが出力イネーブル信号を受け、ソースが前記低電源電圧に接続され、ドレインが前記第1低電圧NMOSトランジスタのソースに接続されている第3低電圧NMOSトランジスタと、ゲートが前記入力信号と前記高電源電圧との間のレベルを有する第1基準電圧を受け、ソースが前記第1低電圧NMOSトランジスタのドレインに接続されている高電圧NMOSトランジスタと、ゲートがこの第1高電圧PMOSトランジスタのオン状態を保持し前記第1基準電圧よりも高いレベルを有する第2基準電圧を受け、ソースが前記高電源電圧に接続され、ドレインが前記高電圧NMOSトランジスタのドレインに接続され、レベルシフターの出力端子として次段の出力ドライバに接続されている第1高電圧PMOSトランジスタと、を備えていることを特徴とする、薄膜トランジスタ液晶表示装置のゲートドライバに用いられるシングルエンド型高電圧レベルシフタ。

【請求項4】 高電源電圧及び低電源電圧と、ゲートが入力信号を受ける第1低電圧NMOSトランジスタと、ゲートが第1グローバル・オン・コントロール信号を受け、ソースが前記低電源電圧に接続され、ドレインが前記第1低電圧NMOSトランジスタのドレインに接続されている第2低電圧NMOSトランジスタと、ゲートが出力イネーブル信号を受け、ソースが前記低電源電圧に接続され、ドレインが前記第1低電圧NMOSトランジスタのソースに接続されている第3低電圧NMOSトランジスタと、ゲートが前記入力信号と前記高電源電圧との間のレベルを有する第1基準電圧を受け、ソースが前記第1低電圧NMOSトランジスタのドレインに接続されている高電圧NMOSトランジスタと、ソースが前記高電源電圧に接続され、ドレインが前記高電圧NMOSトランジスタのドレインに接続され、レベルシフターの出力端子として次段の出力ドライバに接続されている第1高電圧PMOSトランジスタと、ゲートが第2グローバル・オン・コントロール信号を受け、ソースまたはドレインの何れかが前記第1高電圧PM

OSトランジスタのオン状態を保持し前記第1基準電圧より高いレベルを有する第2基準電圧を受け、その他のソースまたはドレインが前記第1高電圧PMOSトランジスタのゲートに接続されている第2高電圧PMOSトランジスタと、

ゲートが第3グローバル・オン・コントロール信号を受け、ソースが前記高電源電圧に接続され、ドレインが前記第1高電圧PMOSトランジスタのゲートに接続されている第3高電圧PMOSトランジスタと、を備え、

前記第1及び前記第2グローバル・オン・コントロール信号がローレベルにプルダウンされ、前記第3グローバル・オン・コントロール信号が第1高値にプルアップされ、且つ前記出力イネーブル信号が第2高値にあるとき、ゲートドライバがノーマル・モードとなり、複数個の出力チャンネルが一つのみオンするが、前記第1及び前記第2グローバル・オン・コントロール信号がローレベルにプルダウンされ、前記第3グローバル・オン・コントロール信号が第1高値にプルアップされ、且つ前記出力イネーブル信号がローレベルにあるとき、レベルシフトの出力信号は第1高値となり、そして、前記第1グローバル・オン・コントロール信号が第2高値にプルアップされ、前記第2グローバル・オン・コントロール信号が第1高値にプルアップされ、前記第3グローバル・オン・コントロール信号がローレベルにプルダウンされたとき、前記出力イネーブル信号がローレベルまたは第2高値にあり、ゲートドライバがグローバル・オン・モードとなり、複数個の出力チャンネルがすべてオンすることを特徴とする、薄膜トランジスタ液晶表示装置のゲートドライバに用いられるシングルエンド型高電圧レベルシフト。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ液晶表示装置のゲートドライバに用いられるシングルエンド型高電圧レベルシフトに関し、特に、ゲートドライバのチップ面積を大幅に低減できるシングルエンド型高電圧レベルシフトに関する。

【0002】

【従来の技術】図1は、薄膜トランジスタ液晶表示装置のゲートドライバを示すブロック図である。図1に示すゲートドライバは、256個の出力チャンネルを有し、各出力チャンネルの回路が、双方向シフトレジスタと、イネーブル・コントロールと、レベルシフトと、出力ドライバとを備えている。双方向シフトレジスタは、シフトクロックSCLKの立ち上がりエッジで同期トリガーされ、右データの入/出力DIORの始動パルスまたは左データの入/出力DIOLの始動パルスを連続的にシフトさせるために用いられる。右シフト/左シフト制御は、右シフト/左シフト制御信号RLのレベルによって決められる。各レジスタの出力は、出力イネーブル信号OE及びグローバル・オン・コントロール信号XONに基づいて非同期ゲート

されたあと、レベルシフトされて高電圧出力を駆動する。

【0003】図2は、従来のレベルシフト21と出力ドライバ22が接続されている回路を示す回路図である。レベルシフト21は、高電圧PMOSトランジスタM1、M3と、高電圧NMOSトランジスタM2、M4とを備えている。ここでいう高電圧MOSトランジスタは、通常のMOSトランジスタと違い、ドレイン・ソース(ゲート・ソース)の間には極高い電圧例えば40Vを耐えることができる。

また、高電圧MOSトランジスタのしきい電圧も、通常のMOSトランジスタのしきい電圧より高い。一般に、高電圧PMOSトランジスタのしきい電圧は、約1.7Vであり、高電圧NMOSトランジスタのしきい電圧は、約2.7Vである。また、入力信号INはトランジスタM2を駆動し、反転入力信号INBはトランジスタM4を駆動する。

【0004】入力信号INの電位が低電圧電源の電圧Vs、例えば-5V、の場合、回路が安定となると、トランジスタM2はオフとなり、トランジスタM4はオンとなる。そのとき、ノードBの電位が-5Vであり、トランジスタM1がオンとなるため、ノードAの電位が高電圧電源電圧V_{DD}、通常2.5~3.5V、にプルアップされて、トランジスタM3がオフとなる。従って、M6がオンとなり、出力信号OUTの電位が-5Vになる。一方、入力信号INの電位が低電圧電源電圧から高電圧電源電圧例えば5V+3.3V=-1.7V、になる場合、トランジスタM2がオンとなり、トランジスタM4が初期のオン状態から徐々にオフとなる。ノードAの電位が-5Vになり、トランジスタM3がオンとなるため、ノードBの電位が高電圧電源電圧にプルアップされ、トランジスタM1が徐々にオフとなる。ノードAの電位が-5Vであるため、トランジスタM5がオンとなり、出力信号OUTの電位が高電圧電源電圧になる。

【0005】このような従来の回路は、ノードA(ノードB)の電位が低電圧電源電圧または高電圧電源電圧のどちらにあっても消費静電力が存在しないという利点がある。しかし、入力信号ハイレベルが高電圧NMOSのしきい電圧値に近い場合、高電圧トランジスタM2、M4のサイズが高電圧トランジスタM1、M3のサイズよりずっと大きく設計されなければならない。これは、高電圧トランジスタM2、M4がオン状態のとき、十分大きな電流が流れ、ノードA、Bの電位を、短時間内に低電圧電源電圧から高電圧電源電圧に上昇させる、または高電圧電源電圧から低電圧電源電圧に降下させるためである。もちろん、図2のレベルシフトを動作させるために、入力信号のハイレベルは高電圧トランジスタM2、M4のしきい電圧よりも高くする必要はある。

【0006】図3は、もう一つの従来のレベルシフト31と出力ドライバ32が接続されている回路を示す回路図である。図3の出力ドライバ32は、図2の出力ドライバ22と同じである。低電圧トランジスタM7、M8の

ゲートは、入力信号IN及びその反転信号INBをそれぞれ受ける。高電圧トランジスタM2、M4は、低電圧トランジスタM7、M8とそれぞれ直列に接続し、それらのゲートは、ともに基準電圧 V_{RL} 、例えば5Vを受ける。それは、トランジスタM7、M8がドレインとソースの間の過大な電位差によって崩壊してしまうことを防止するために、トランジスタM7、M8のドレインの電圧が、 $V_{RL} - V_T$ を超えないように制限する必要があるからである。この従来の回路は、低電圧トランジスタM7、M8の配置により、高電圧トランジスタM2、M4が図2の回路のよう

10 に、高電圧トランジスタM1、M3よりずっと大きく設計される必要がなく、結果的には、レベルシフト31のチップ面積がレベルシフト21のチップサイズより小さいという長所がある。

【0007】図3のレベルシフト31は、図2のレベルシフト21より改良されたものの、高電圧トランジスタを4つも使用している。これらの高電圧トランジスタは低電圧トランジスタよりずっと大きく、相当なチップ面積を占め、ゲートドライバICのコストにも大きく影響する。

【0008】

【発明が解決しようとする課題】本発明の目的は、上述の問題を鑑みてなされたものであって、薄膜トランジスタ液晶表示装置のゲートドライバに用いられるシングル型高電圧レベルシフトを提供することにある。高電圧トランジスタを2個のみ使用することにより、ゲートドライバのチップ面積が大幅に低減される。さらに、一部のコントロールロジックをレベルシフト回路に実現することにより、ゲートドライバのチップ面積が更に低減できるため、ゲートドライバICの製造コストが大幅に削減でき

30 ける。

【0009】

【課題を解決するための手段】上記の目的を達成するために、本発明は、シングルエンド型入力信号を受け、薄膜トランジスタ液晶表示装置のゲートドライバに用いられるシングル型高電圧レベルシフトを提供する。このレベルシフトは、高電源電圧と低電源電圧と、第1低電圧NMOSトランジスタと、高電圧NMOSトランジスタと、第1高電圧PMOSトランジスタと、を備えている。前記第1低電圧NMOSトランジスタは、ゲートが前記入力信号を受

40 け、ソースが前記の低電源電圧に接続されている。前記の高電圧NMOSトランジスタは、ゲートが前記入力信号と前記高電源電圧との間のレベルを有する第1基準電圧を受け、ソースが前記第1低電圧NMOSトランジスタのドレインに接続されている。前記第1高電圧PMOSトランジスタは、ゲートがこの第1高電圧PMOSトランジスタのオン状態を保持し第1基準電圧より高いレベルを有する第2基準電圧を受け、ソースが前記高電源電圧に接続され、ドレインが前記高電圧NMOSトランジスタのドレインに接続されレベルシフトの出力端子として次段の出力ド

ライバに接続されている。

【0010】

【発明の実施形態】以下、図面を参照しながら本発明の実施の形態を説明する。

【0011】図4は、本発明の第1実施形態におけるレベルシフト41と出力ドライバ42が接続されている回路を示す回路図である。図4に示すように、シングルエンド型入力信号INを受けるレベルシフト41は、高電圧PMOSトランジスタM1と、高電圧NMOSトランジスタM2と、NMOSトランジスタM7と、を備えている。トランジスタM1は、ソースが第1高値である高電源電圧VDDに接続されている。トランジスタM7は、ソースが低電源電圧Vssに接続されている。トランジスタM1は、ゲートが基準電圧 V_{RH} を受ける。前記基準電圧 V_{RH} によってトランジスタM1が常にオン状態例えば、高電源電圧 $V_{DD} = 3.0V$ 、 $V_{RH} = 2.4V$ 、低電源電圧Vss = 5Vに保持されている。トランジスタM2は、ゲートがもう一つの基準電圧 V_{RL} (例えば5V)を受ける。それは、トランジスタM7がドレインとソースとの間の過大な電位差による崩壊を防止するために、ドレインの電圧が $V_{RL} - V_T$ (例えば5V

20 $2.7V = 2.3V$)を超えないように制限する必要があるからである。トランジスタM7は、シングルエンド型入力信号INを受けるために用いられる。入力信号INの初期信号レベルが変換されると、ローレベルが V_{LL} から低電源電圧Vssに変わり、ハイレベルが、 V_{LH} から V_{AA} に変わる。 V_{AA} は、第2高値であり、 $V_{AA} = V_{ss} + (3.3V \sim 5.5V)$ である。

【0012】入力信号INが V_{AA} 、例えば-1.7Vの場合、トランジスタM7がオンとなり、ノードBの電圧がVsにプルダウンされ、トランジスタM2もオンとなる(M2の V_{GS} は、そのしきい電圧 V_T よりずっと大きい)。同様に、ノードAの電圧も V_{SS} にプルダウンされ、その結果、トランジスタM5がオン状態、トランジスタM6がオフとなり、出力信号OUTが V_{DD} 、例えば3.0Vになる。一方、入力信号INが V_{AA} からローのVssになる場合、トランジスタM7がオフとなり、トランジスタ-M2が、暫くの間にはオン状態のまま()であるので、ノードBが充電され、ノードBの電位が徐々に上昇する。ノードBの電位が、 $V_{RL} - V_T$ の近くになると、トランジスタM2の V_{GS} が V_T になるため、M2に電流が流れなくなってオフとなる。ここで、トランジスタM1にとって、 $V_{SG} > V_T$ の条件が常に満足されているため、オン状態を続ける。従って、ノードAは、電圧が V_{DD} になるまでに継続的に充電される。その時、トランジスタM6がオンとなるため、出力信号OUTがVssにプルダウンされる。

【0013】入力信号INが V_{AA} の場合、トランジスタM1、M2、M7が全部オンとなるため、レベルシフト41に静電流が流れるが、256個の出力チャンネルの中にせいぜい1個の出力チャンネルがこのような状態になるので、この状態による余分な電力損失は殆ど無視でき

る。

【0014】本発明におけるレベルシフタは、高電圧トランジスタの使用個数の削減によって必要なチップ面積が低減される以外に、一部のコントロールロジックを図4に示すレベルシフタ回路の中に実現することによって、ゲートドライバのチップ面積が更に低減できる。

【0015】図5は、本発明の第2実施形態におけるレベルシフタ51と出力ドライバー52が接続されている回路を示す回路図である。図4のレベルシフタ41と比較すると、図5のレベルシフタ51は、さらに、部分回路511と512を備えている。部分回路511は、第1グローバル・オン・コントロール信号XON1を受けるNMOSトランジスタM9と、出力イネーブル信号OEを受けるNMOSトランジスタM10と、を備えている。部分回路512は、第2グローバル・オン・コントロール信号XON2を受ける高電圧PMOSトランジスタM11と、第3グローバル・オン・コントロール信号XON3を受ける高電圧PMOSトランジスタM12と、を備えている。部分回路511は、各出力チャンネルに対応するレベルシフタが各自に備える回路であるが、部分回路512は、各出力チャンネルに対応するレベルシフタが共用する回路である。第1グローバル・オン・コントロール信号XON1と出力イネーブル信号OEの初期信号のレベルが変換されると、ローレベルが V_{LH} から低電源電圧 V_{SS} に変わり、ハイレベルが V_{LH} から第2高値である V_{AA} に変わる。そこで、 $V_{AA} = V_{SS} + (3.3V \sim 5.5V)$ 。第2、第3グローバル・オン・コントロール信号XON2、XON3は、それらのローレベルが共に低電源電圧 V_{SS} であり、ハイレベルが共に第1高値の高電源電圧 V_{DD} である。

【0016】グローバル・オン・コントロール信号XONは、ゲートドライバの制御に用いられるオペレーション・モードがノーマル・モードまたはグローバル・オン・コントロール・モードである。第1、第2グローバル・オン・コントロール信号XON1、XON2が共に V_{SS} 、第3グローバル・オン・コントロール信号XON3が V_{DD} の場合、ゲートドライバはノーマル・モードである。即ち、出力チャンネルの中には1個のみがオンとなる。第1グローバル・オン・コントロール信号XON1が V_{AA} にプルアップされると、M9がオンとなり、ノードBとノードAの電圧が V_{SS} にプルダウンされ、M1、M2、M9が同時にオンとなり、レベルシフタ51に消費直流電流が発生する。256個のチャンネルに同時にこの直流電流が存在すれば、相当大きな消費直流電流になる。これを避けるために、第2グローバル・オン・コントロール信号XON2を V_{DD} にプルアップし、M11をオフさせる必要がある。同時に、第3グローバル・オン・コントロール信号XON3を V_{SS} にプルダウンして、M12をオンさせ、E点の電圧が V_{DD} にプルアップされるので、M1のゲート電圧が V_{DD} になり、M1がオフとなる。このようにすれば、前述した消費直流電流が避けられる。

*【0017】出力イネーブル信号OEは、出力信号OUTのイネーブルを制御するために用いられる。出力イネーブル信号OEが V_{AA} の場合、対応する出力チャンネルが正常に信号OUTを出力する。出力イネーブル信号OEが V_{SS} の場合、第1グローバル・オン・コントロール信号XON1が V_{SS} であれば、出力信号OUTが V_{SS} になる。

【0018】以下に、第1～第3グローバル・オン・コントロール信号XON1、XON2、XON3及び出力イネーブル信号OEの信号レベルを3つの状況に分けて、更に説明する。

【0019】(1)第1、第2グローバル・オン・コントロール信号XON1、XON2が V_{SS} 、第3グローバル・オン・コントロール信号XON3が V_{DD} 、出力イネーブル信号OEが V_{AA} の場合、図5の回路が図6の回路に簡略化され、図4の回路とまったく同じ回路動作になる。

【0020】(2)第1、第2グローバル・オン・コントロール信号XON1、XON2が V_{SS} 、第3グローバル・オン・コントロール信号XON3が V_{DD} 、出力イネーブル信号OEが V_{SS} の場合、ノードBの下の2つのルートが共に遮断され、出力ドライバー52の出力信号OUTが V_{SS} になる。

【0021】(3)第1グローバル・オン・コントロール信号XON1が V_{AA} 、第2グローバル・オン・コントロール信号XON2が V_{DD} にプルアップされ、第3グローバル・オン・コントロール信号XON3が V_{SS} 、出力イネーブル信号OEが V_{SS} または V_{AA} である場合、M2、M9が共にオンとなり、ノードAの電圧が V_{SS} にプルダウンされ、入力信号INが V_{SS} または V_{AA} のどちらにあっても出力信号OUTが V_{DD} である。ただし、このとき、M1がオン状態ではないので、静電流が存在せず、消費電力も発生しない。

【0022】

【発明の効果】本発明のシングル型高電圧レベルシフタによれば、高電圧トランジスタを2個のみ使用することにより、ゲートドライバのチップ面積が大幅に低減される。さらに、一部のコントロールロジックをレベルシフタ回路に実現することにより、ゲートドライバのチップ面積が更に低減できるため、ゲートドライバICの製造コストが大幅に削減できる。

【0023】以上の実施形態では、本発明の技術を簡単に説明するために、提出された具体例であり、本発明を前記実施形態に限定されることなく、本発明の請求する範囲で、種々の変更が可能である。

【図面の簡単な説明】

【図1】薄膜トランジスタ液晶表示装置のゲートドライバを示すブロック図である。

【図2】従来のレベルシフタと出力ドライバーが接続されている回路を示す回路図である。

【図3】もう一つの従来のレベルシフタと出力ドライバーが接続されている回路を示す回路図である。

【図4】本発明の第1実施形態におけるレベルシフタと出力ドライバーが接続されている回路を示す回路図であ

る。

【図5】本発明の第2実施形態におけるレベルシフトと出力ドライバが接続されている回路を示す回路図である。

【図6】図5の回路を簡略化した回路図である。

【符号の説明】

SCLK シフトクロック

DIOR 右データ入/出力

DIOL 左データ入/出力

RL 右シフト/左シフト制御信号

OE 出力イネーブル信号

V_{LH} 初期信号ハイレベル電圧

V_{LL} 初期信号ローレベル電圧

V_{AA} 変換された初期信号のハイレベル電圧

* V_{DD} 高電源電圧

V_{SS} 低電源電圧

XON グローバル・オン・コントロール信号

XON1 第1グローバル・オン・コントロール信号

XON2 第2グローバル・オン・コントロール信号

XON3 第3グローバル・オン・コントロール信号 IN 入力信号

INB 反転入力信号

OUT 出力信号

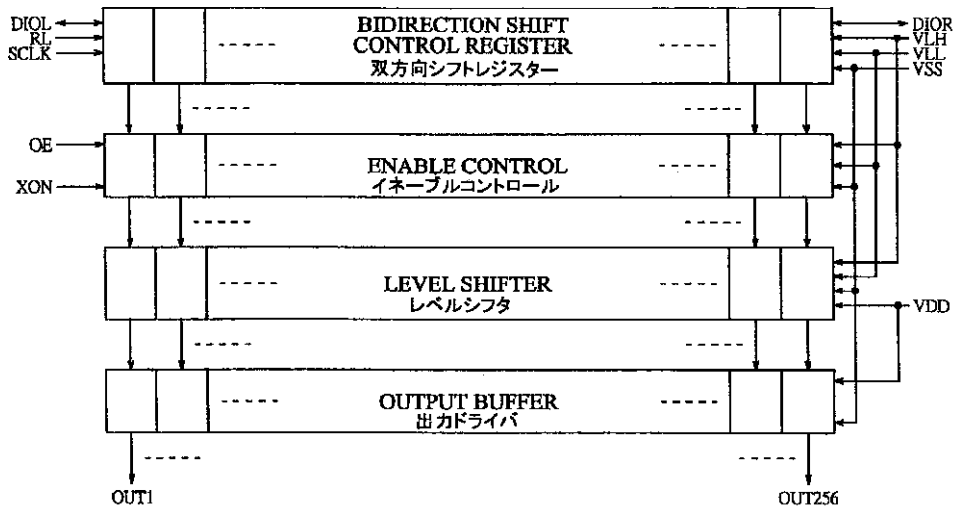
10 V_{RH} 、 V_{RL} 基準電圧

21、31、41、51 レベルシフト

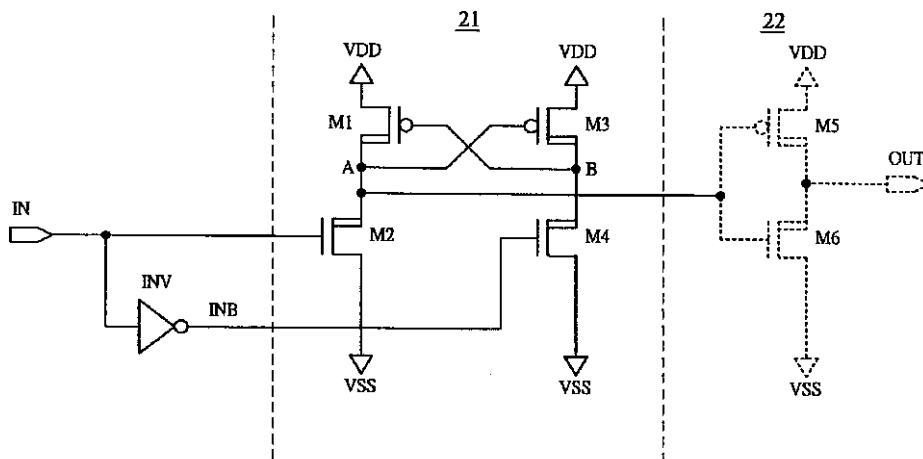
22、32、42、52 出力ドライバ

511、512 レベルシフト51の部分回路

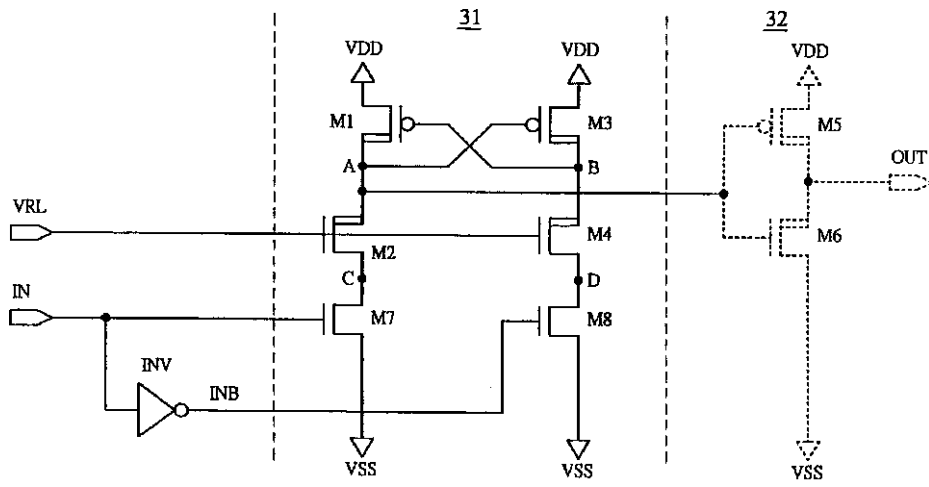
【図1】



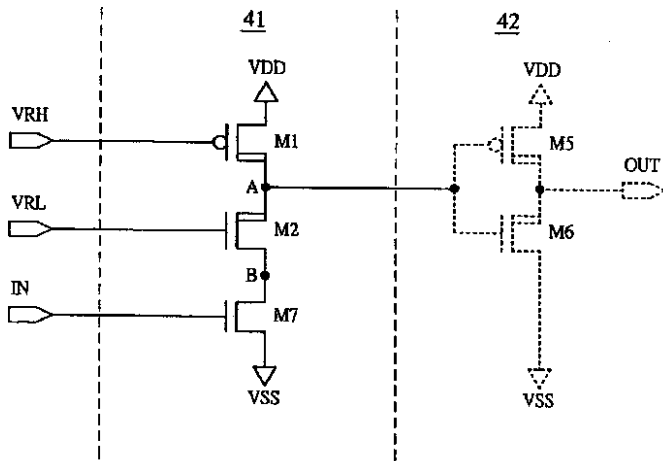
【図2】



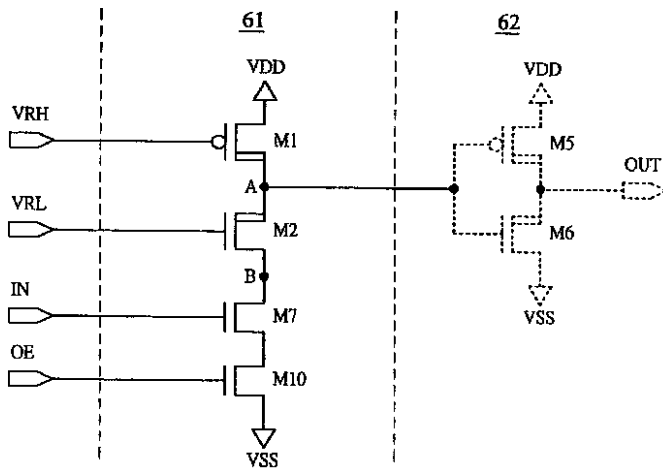
【図3】



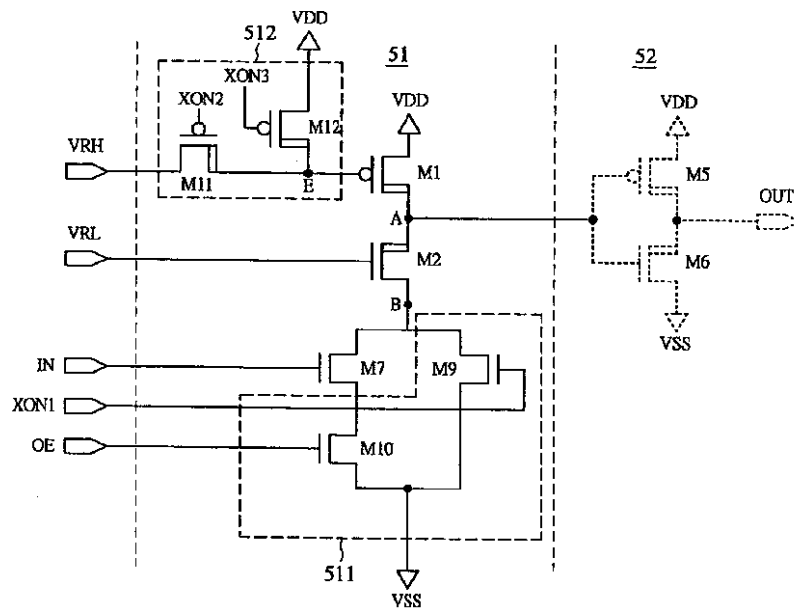
【図4】



【図6】



【図5】



フロントページの続き

(72)発明者 王 建国
 台湾新竹科学園区工業東四路24 - 2号2 F
 世紀半導体股 ぶん 有限公司内

F ターム(参考) 5C006 BB16 BF34 BF42 BF46 FA41
 5C080 AA10 BB05 DD22 FF11 JJ03
 5J056 AA00 AA32 BB59 CC21 DD12
 EE12 FF07 FF08 GG09

专利名称(译)	单端高压电平转换器，用于薄膜晶体管液晶显示器件的栅极驱动器		
公开(公告)号	JP2002300026A	公开(公告)日	2002-10-11
申请号	JP2001197899	申请日	2001-06-29
[标]申请(专利权)人(译)	世纪半导体裆粪便		
申请(专利权)人(译)	世紀半導體股▲ふん▼有限公司		
[标]发明人	楊存孝 趙晉傑 王建国		
发明人	楊存孝 趙晉傑 王建国		
IPC分类号	G09G3/20 G09G3/36 H03K19/0185		
CPC分类号	G09G3/3677 G09G2310/0289		
FI分类号	G09G3/20.612.D G09G3/20.621.M G09G3/36 H03K19/00.101.B H03K19/0185.210		
F-TERM分类号	5C006/BB16 5C006/BF34 5C006/BF42 5C006/BF46 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD22 5C080/FF11 5C080/JJ03 5J056/AA00 5J056/AA32 5J056/BB59 5J056/CC21 5J056/DD12 5J056/EE12 5J056/FF07 5J056/FF08 5J056/GG09		
代理人(译)	大西省吾		
优先权	090106690 2001-03-21 TW		
其他公开文献	JP3512763B2		
外部链接	Espacenet		

摘要(译)

(带更正) 解决的问题: 提供一种用于薄膜晶体管液晶显示装置的栅极驱动器的单端型高压电平移位器, 其能够进一步减小栅极驱动器的芯片面积并大大降低栅极驱动器IC的制造成本。提供高电源电压VDD, 低电源电压VSS, 第一低压NMOS晶体管M7, 高压NMOS晶体管M2和第一高压PMOS晶体管M1。第一低压NMOS晶体管M7具有接收输入信号的栅极, 连接到低电源电压VSS的源极, 接收第一参考电压的高压NMOS晶体管M2的栅极以及第一低压NMOS晶体管M7的源极。它连接到漏极。第一高压PMOS晶体管M1的栅极将第一高压PMOS晶体管M1保持在导通状态, 接收第二参考电压, 其源极连接到高电源电压VDD, 其漏极连接到高压NMOS晶体管M1。连接到M2的漏极。

