

(19)日本国特許庁(J P)

# (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002 - 162938

(P2002 - 162938A)

(43)公開日 平成14年6月7日(2002.6.7)

(51) Int.Cl <sup>7</sup>	識別記号	F I	テ-マコード <sup>*</sup> (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	520	G 0 2 F 1/133	5 C 0 0 6
	550		5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20	611 A
	612		612 G

審査請求 未請求 請求項の数 3 O L (全 6 数) 最終頁に続く

(21)出願番号 特願2000 - 356132(P2000 - 356132)

(22)出願日 平成12年11月22日(2000.11.22)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 山崎 信生

埼玉県深谷市幡羅町一丁目9番地2号 株式

会社東芝深谷工場内

(74)代理人 100083806

弁理士 三好 秀和 (外7名)

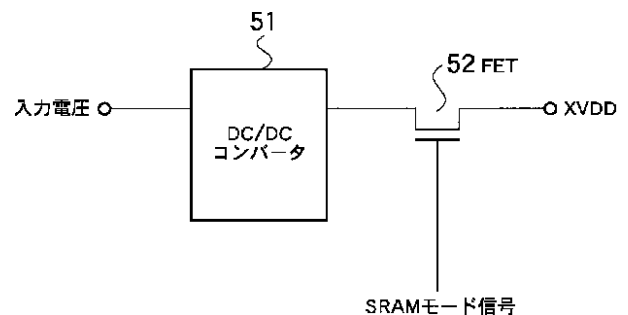
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 S R A Mを内蔵した液晶表示装置において、S R A M保持データによる駆動時の消費電力を更に低減して一層の省電力化を図る。

【解決手段】 液晶表示装置の電源電圧発生部において、D C / D Cコンバータ5 1の出力側に、電源制御手段としてのスイッチ用のF E T 5 2を挿入して、このF E T 5 2を介してX V D DをXドライブに出力するように構成する。そして、S R A M保持データを画素に供給して静的な表示を行う期間中は、S R A Mモード信号によりF E T 5 2の導通をオフすることにより、XドライブへのX V D Dの供給を停止する。



## 【特許請求の範囲】

【請求項1】マトリクス状に配置された信号線と走査線の各交点付近にスイッチング素子を介して接続された画素、前記画素に接離可能に接続された映像データ記憶用の記憶素子、前記画素を通常駆動するための映像信号線ドライバ及び走査線ドライバ、前記記憶素子に保持されている映像データを前記画素に静的に表示するための静的表示用ドライバを備えた液晶表示装置において、前記記憶素子に保持されている映像データを前記画素に供給して静的な表示を行う期間中、前記映像信号線ドライバへの電源電圧の供給を停止する電源制御手段を具備することを特徴とする液晶表示装置。

【請求項2】マトリクス状に配置された信号線と走査線の各交点付近にスイッチング素子を介して接続された画素、前記画素に接離可能に接続された映像データ記憶用の記憶素子、前記画素を通常駆動するための映像信号線ドライバ及び走査線ドライバ、前記記憶素子に保持されている映像データを前記画素に静的に表示するための静的表示用ドライバを備えた液晶表示装置において、前記記憶素子に保持されている映像データを前記画素に供給して静的な表示を行う期間中、前記映像信号線ドライバ及び走査線ドライバへの各電源電圧の供給を停止する電源制御手段を具備することを特徴とする液晶表示装置。

【請求項3】前記電源制御手段は、前記映像データを前記画素に供給して静的な表示を行う期間中、映像信号線ドライバ又は走査線ドライバ用の電源電圧を生成するDC/DCコンバータの動作を停止することを特徴とする請求項1又は2記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、SRAMを有する液晶表示装置に係り、特にSRAM保持データの表示時の低消費電力化を達成するための駆動回路技術に関する。

## 【0002】

【従来の技術】従来よりアクティブマトリクス型液晶表示装置は、TFT液晶表示装置に代表されるように、軽量、薄型、低消費電力等の長をを活かし、テレビ、携帯情報端末、或いはグラフィックディスプレイ等の表示素子として盛んに利用されている。最近では、従来のアモルファスシリコンTFTに比べて電子移動度が高いポリシリコンTFTを比較的低温のプロセスで形成する技術が確立したことによりTFTの小型化が可能となり、また不純物ドーピングプロセスの導入によって相補型トランジスタ(CMOSトランジスタ)の形成が可能になったことから、ガラス基板上に駆動回路を一体形成したTFT液晶表示装置も出現している。

【0003】また、CMOS回路を形成できることを利用して、一画素内に映像データ(液晶印加電圧)を静的

に保持しうる、いわゆるSRAMを内蔵したTFT液晶表示装置も開発されている。

【0004】通常の液晶表示装置では静止画表示を行う際にも、静止画データを表示フレーム毎に与えなければならないため、ドライバ回路、システム回路(グラフィックコントローラ)を常に動作させなければならず、消費電力を低減させることが難しかった。これに対して、SRAMを内蔵した液晶表示装置では、静止画表示を行う時はSRAMに保持されている映像データ(以下、SRAM保持データ)で表示を行い、この間はドライバ回路、システム回路を待機状態にさせることにより消費電力を低減させることができるため、情報機器の省電力化に貢献することができる。

【0005】ところで、ポリシリコンTFTのようにガラス基板上に形成されるTFTで駆動回路を構成する場合、TFTの閾値特性の関係から、パネル内回路の電源電圧として10V程度、或いはそれ以上の電圧を必要とし、その結果、機器の電源からTFT駆動用の複数の電源を発生するDC/DCコンバータが必要となる。

【発明が解決しようとする課題】上記した従来のSRAMを内蔵した液晶表示装置では、SRAM保持データによる駆動を行う際、回路構成によってはパネル内回路の複数の電源電圧の中で、供給する必要がない電圧が出て来たり、或いは発生する必要がない電圧が生じる場合がある。

【0006】ところが、不必要であっても電源電圧を供給した状態では、TFT素子のリーク電流分の電力損失が発生することになる。また、DC/DCコンバータはスイッチングレギュレータ、或いはシリーズレギュレータで構成されるが、パネル内回路の負荷がほとんどゼロになってもレギュレータの自己損失は発生し、その分の電力損失がある。

【0007】これらの電力損失は、特にバッテリー駆動される携帯情報機器の場合は無視することができない問題であり、SRAMを内蔵した液晶パネルにおいてSRAM保持データによる駆動を行う際、不必要な電源電圧が消費する電力を低減することが求められている。

【0008】本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、SRAM保持データによる駆動時の消費電力を更に低減した省電力の液晶表示装置を提供することである。

## 【0009】

【課題を解決するための手段】上記目的を達成するために、請求項1の発明は、マトリクス状に配置された信号線と走査線の各交点付近にスイッチング素子を介して接続された画素、前記画素に接離可能に接続された映像データ記憶用の記憶素子、前記画素を通常駆動するための映像信号線ドライバ及び走査線ドライバ、前記記憶素子に保持されている映像データを前記画素に静的に表示するための静的表示用ドライバを備えた液晶表示装置にお

いて、前記記憶素子に保持されている映像データを前記画素に供給して静的な表示を行う期間中、前記映像信号線ドライバへの電源電圧の供給を停止する電源制御手段を具備することを特徴とする。

【0010】請求項2の発明は、マトリクス状に配置された信号線と走査線の各交点付近にスイッチング素子を介して接続された画素、前記画素に接離可能に接続された映像データ記憶用の記憶素子、前記画素を通常駆動するための映像信号線ドライバ及び走査線ドライバ、前記記憶素子に保持されている映像データを前記画素に静的に表示するための静的表示用ドライバを備えた液晶表示装置において、前記記憶素子に保持されている映像データを前記画素に供給して静的な表示を行う期間中、前記映像信号線ドライバ及び走査線ドライバへの各電源電圧の供給を停止する電源制御手段を具備することを特徴とする。

【0011】請求項3の発明は、請求項1又は2において、前記電源制御手段は、前記映像データを前記画素に供給して静的な表示を行う期間中、映像信号線ドライバ又は走査線ドライバ用の電源電圧を生成するDC/DCコンバータの動作を停止することを特徴とする。

【0012】好ましい形態として、前記映像データ記憶用の記憶素子として、例えばSRAMが用いられる。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。図3は、本発明の液晶表示装置の一実施形態に係る構成を示した回路図である。液晶表示装置10は、SRAM内蔵画素部1と、このSRAM内蔵画素部1を通常駆動するための映像信号線ドライバ(Xドライバ)2と、走査線ドライバ(Yドライバ)3と、SRAM保持データによる駆動時にSRAM内蔵画素を駆動するためのSRAMドライバ4とを備えている。各ドライバには、図示しない電源電圧発生部から必要な電源電圧が供給されている。

【0014】図4は、図3に示したSRAM内蔵画素部1に含まれる一画素の構成を詳細に示した回路図である。画素は通常画素部100とSRAM部200の2つのブロックから構成される。通常画素部100において、画素TFT12のソースは信号線11に接続され、ドレインは画素電極13に接続されている。画素電極13と対向電極14との間には図示しない液晶層が保持され、画素容量Cを形成している。また、画素TFT12のゲートは図示しない走査線に接続され、図3に示したXドライバ2から供給される走査信号によりオン/オフが制御される。SRAM部200は、スイッチSW-A、SW-B、SW-C及びインバータ15、16により構成されている。スイッチSW-Aの端子(2)はインバータ15の入力側に接続され、インバータ15の出力側はインバータ16の入力側とSW-Bの端子(2)に接続されている。また、インバータ16の出力側はス

イッチSW-Cを介してインバータ15の入力側に接続されている。通常画素部100の画素電極13は、SRAM部200のスイッチSW-A、SW-Bの端子(1)と接続されている。

【0015】次に、上述した画素の基本的な動作について説明する。以後の説明において、SRAM部200が形成された画素をSRAM内蔵画素、SRAM部200を持っていない画素を通常画素と呼ぶ。また、SRAM部200に保持された映像データ(SRAM保持データ)によって表示することをSRAM駆動、信号線11に供給される映像データによって表示することを通常駆動と呼ぶことにする。

【0016】SRAM内蔵画素を通常駆動する場合は、スイッチSW-B及びSW-Cをオフして、SRAM部200と通常画素部100とを切り離し、画素TFT12のオン/オフによって液晶駆動を行う。すなわち、Yドライバ3から走査線(図示せず)を通じて走査信号を供給することにより画素TFT12をオン/オフし、Xドライバ2から信号線11を通して通常の映像データを画素容量Cに印加して表示を行う。

【0017】SRAM駆動するには、通常駆動からSRAM駆動に切り替わる際のSRAM保持データの書き込みモードにおいて、スイッチSW-Aをオン、SW-Bをオフとし、画素TFT12、スイッチSW-Cをオン、オフすると共に、Xドライバ2から信号線11を通して2値の白黒信号電圧を供給することにより、インバータ15、16にSRAM保持データを保持させる。

【0018】その後、SRAM駆動時には、画素TFT12はオフに固定し、スイッチSW-Cはオンに固定し、2段インバータ15、16の出力をスイッチSW-A、SW-Bで交互に選択して、図5に示すように画素容量Cへ電圧を与える。これと同時に対向電極13の電位を反転駆動し、画素電圧と対向電極電圧の位相関係から白/黒の2値表示を行う。

【0019】図6は、図3で示したSRAM内蔵画素を駆動するためのXドライバ2、Yドライバ3、SRAMドライバ4の詳細構成と使用電源電圧との関係を示す説明図である。Xドライバ2はシフトレジスタ部、データラッチ部、階調電圧選択部、信号線出力部から成り、デジタルの階調データに基づいて階調電圧を選択し、信号線11に出力する。Yドライバ3はシフトレジスタ部、レベルシフト部、ゲート線出力部から成り、シフトパルスをレベル変換した上、図示しない走査線に走査信号として出力する。SRAMドライバ4は、図4に示したSRAM部200のスイッチSW-A、SW-B、SW-Cを制御する信号及びインバータ15、16の電源を生成する。

【0020】SRAM部200の制御のためには、SRAMドライバ4の電源電圧(YGVDD, YGVSS, SVDD, SVSS)が必要となる。Xドライバ2の電

源電圧(XVDD)に関しては、信号線11に供給される映像データの信号電圧がSRAM駆動に寄与しないので不要となる。Yドライバ3のYVDDに関しては、走査線をオフにしておく必要があるためにシフトレジスタ部の論理を固定しなければならない、SRAM駆動時にも必要となる。従って、SRAM駆動時に不要な電源電圧はXVDDのみとなる。

【0021】次に、本実施形態の省電力対策について説明する。図1は、図3に示した液晶表示装置10の図示しない電源電圧発生部の第1の実施例を示した回路図であり、SRAM駆動時にXVDDの供給を停止する構成を示したものである。

【0022】第1の実施例の電源電圧発生部では、DC/DCコンバータ51の出力側はスイッチ用のFET52が挿入され、このFET52を介してXVDDをXドライバに出力するように構成されている。SRAM駆動時には、FET52の導通をローレベルのSRAMモード信号によってオフすることにより、XドライバへのXVDDの供給を停止する。

【0023】図2は、電源電圧発生部の第2の実施例を示した回路図であり、SRAM駆動時にXVDDの発生そのものを停止する構成を示したものである。

【0024】第2の実施例では、電源電圧発生部のDC/DCコンバータ60として、スイッチング昇圧部61、出力平滑部62、コンパレータ部63及びアンド回路64を備えている。入力電圧はスイッチング昇圧部61により昇圧され、出力平滑部62により平滑された後、XVDDの電圧となってXドライバに出力される。一方、コンパレータ部63は出力電圧と基準電圧とを比較し、その比較結果によりアンド回路64を介してスイッチング昇圧部61の動作を制御して、出力電圧が常にXVDDの電圧となるように制御している。

【0025】SRAM駆動時には、SRAMモード信号をローレベルにしてAND回路64をオフにすることでスイッチング昇圧部61の動作を停止することにより、XVDDの発生を停止する。

【0026】本実施形態によれば、SRAM駆動時に、動作する必要がないXドライバ2への電源電圧XVDDの供給を停止することにより、その分、SRAM駆動時の電力消費を低減することができる。

【0027】その際、図1に示すようにDC/DCコンバータ51から出力されるXVDDのXドライバ2への供給経路をオフしてもよいが、図2に示すようにXVDを発生するDC/DCコンバータ60の動作を停止し\*

\*て、XVDDの供給を停止するようにした方が、DC/DCコンバータの動作ロス分の電力消費を更に低減することができる。

【0028】なお、上記実施形態では、Yドライバ3の走査線とSRAM部200のスイッチの制御線を兼用で使用するタイプを想定しているため、SRAM駆動時にもYドライバ3を動作させて、SRAM部200のスイッチSW-C等を確実に動作させなければならない。しかし、Yドライバ3の走査線とSRAM部200のスイッチの制御線が分離しているもので、SRAM部200のスイッチの制御を専用の制御部で行う形式のものであれば、SRAM駆動時に、Yドライバ3の動作を停止することができる。この場合は、XVDDの他にYVDD、YGVDDのYドライバ3への電源電圧の供給を停止することができる。

【0029】

【発明の効果】以上説明したように、本発明の液晶表示装置によれば、SRAM駆動時に動作する必要がないXドライバへの電源電圧XVDDの供給を停止することによりSRAM保持データによる駆動時の消費電力を更に低減して、一層の省電力化を図ることができる。

【図面の簡単な説明】

【図1】液晶表示装置の電源電圧発生部の第1の実施例を示した回路図。

【図2】液晶表示装置の電源電圧発生部の第2の実施例を示した回路図。

【図3】本発明の液晶表示装置の一実施形態に係る構成を示した回路図。

【図4】SRAM内蔵画素部に含まれる一画素の構成を詳細に示した回路図。

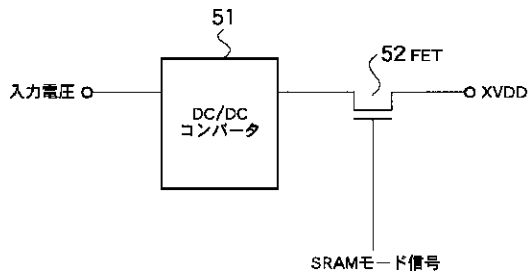
【図5】SRAM駆動時の信号電圧の変化を示すタイムチャート。

【図6】SRAM内蔵画素を駆動するための各ドライバの詳細構成と使用電源電圧との関係を示す説明図。

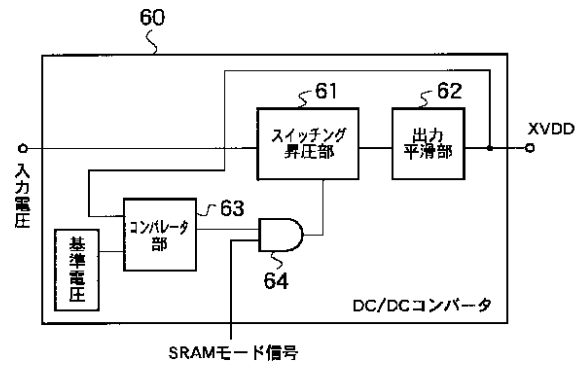
【符号の説明】

1...SRAM内蔵画素部、2...Xドライバ、3...Yドライバ、4...SRAMドライバ、10...液晶表示装置、11...信号線、12...画素TFT、13...画素電極、14...対向電極、15、16...インバータ、51、60...DC/DCコンバータ、52...FET、61...スイッチング昇圧部、62...出力平滑部、63...コンパレータ部、64...AND回路、100...通常画素部、200...SRAM部、C...液晶容量、SW-A、SW-B、SW-C...スイッチ

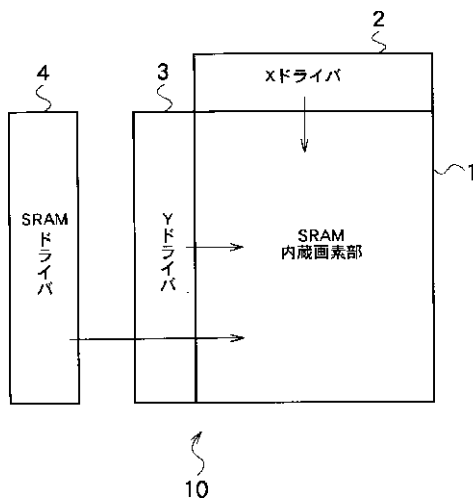
【図1】



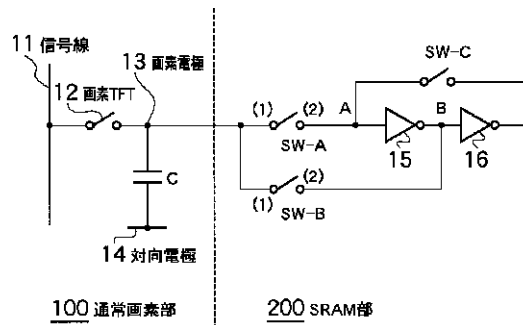
【図2】



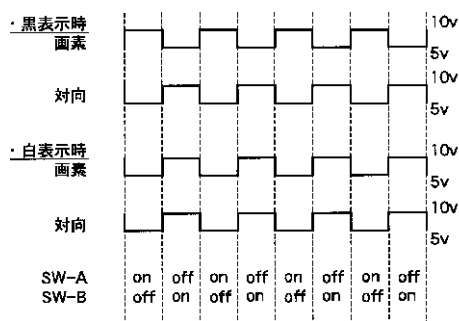
【図3】



【図4】



【図5】



【図6】

回路ブロック	使用電源		
	VDD	VSS	SRAM表示時の使用
・Xドライバ シフトレジスタ部 データラッチ部 駆動電圧選択部 信号線出力部	XVDD	GND	不要
・Yドライバ シフトレジスタ部 レベルシフト部 ゲート線出力部	YVDD YGVDD	GND YGVSS	必要 必要
・SRAMドライバ SRAM制御信号生成部 SRAMインバータ電源部	YGVDD SVDD	YGVSS SVSS	必要 必要

フロントページの続き

(51) Int.Cl.<sup>7</sup>

G 0 9 G 3/20

識別記号

6 1 2

6 2 4

F I

G 0 9 G 3/20

テ-マコード<sup>\*</sup> (参考)

6 1 2 D

6 2 4 B

F ターム(参考) 2H093 NA16 NA53 NC05 NC22 NC26  
NC28 ND39  
5C006 AF05 AF06 AF68 AF69 AF84  
BB15 BC03 BC13 BF09 BF42  
BF44 FA47  
5C080 AA10 BB05 DD26 FF01 GG17  
JJ02 JJ03 JJ04 KK07 KK43  
KK52

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2002162938A</a>	公开(公告)日	2002-06-07
申请号	JP2000356132	申请日	2000-11-22
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	山崎信生		
发明人	山崎 信生		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3648 G09G2300/0809 G09G2300/0842 G09G2300/0857 G09G2330/022		
FI分类号	G09G3/36 G02F1/133.520 G02F1/133.550 G09G3/20.611.A G09G3/20.612.G G09G3/20.612.D G09G3/20.624.B		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC05 2H093/NC22 2H093/NC26 2H093/NC28 2H093/ND39 5C006/AF05 5C006/AF06 5C006/AF68 5C006/AF69 5C006/AF84 5C006/BB15 5C006/BC03 5C006/BC13 5C006/BF09 5C006/BF42 5C006/BF44 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF01 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07 5C080/KK43 5C080/KK52 2H193/ZD23 5C080/FF10		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：通过进一步降低由SRAM中保存的数据驱动时的功耗，进一步降低具有内置SRAM的液晶显示设备的功耗。在液晶显示装置的电源电压产生单元中，作为电源控制装置的开关FET 52插入DC / DC转换器51的输出侧，并且XVDD经由FET 52输出到X驱动器。要配置。然后，在将SRAM保持数据提供给像素以执行静态显示的时间段内，FET 52的导电被SRAM模式信号关闭，以停止向X驱动器提供XVDD。

