

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 90714

(P2002 - 90714A)

(43)公開日 平成14年3月27日(2002.3.27)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ド [*] (参考)
G 0 2 F 1/1333	505	G 0 2 F 1/1333	505 2 H 0 9 0
1/1337		1/1337	2 H 0 9 2
1/1368		G 0 9 F 9/30	338 5 C 0 9 4
G 0 9 F 9/30	338	348 A	
348		G 0 2 F 1/136	500
審査請求 未請求 請求項の数 10 O L (全 13数)			

(21)出願番号 特願2000 - 276517(P2000 - 276517)

(22)出願日 平成12年9月12日(2000.9.12)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71)出願人 000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地
(72)発明者 園田 英博
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内
(74)代理人 100083552
弁理士 秋田 収喜

最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 内部残留電圧に起因する表示画像の焼き付け現象を発生しにくくする。

【解決手段】 液晶駆動電極と液晶層との間に存在する絶縁膜層の分極緩和時定数 τ が5分以内に設定されている。

図 1

実施例 番号	液晶材料 (A)	有源層材料	絶縁膜層 厚さ	配向層 厚さ	電極間隔	駆動電圧	消電時定数 τ	消電時定数 τ
例1	Δ $\times$ 0	なし		水平配向膜1	3.7	201nm	10 μ m	42.72s
例2	Δ $\times$ 0	なし		水平配向膜2	3.9	201nm	10 μ m	5.3あり(レベル)
例3	Δ $\times$ 0	なし		水平配向膜3	5.1	205nm	10 μ m	14.8あり(レベル)
例4	Δ $\times$ 0	なし		水平配向膜1	3.7	103nm	10 μ m	5.4あり(レベル)
例5	Δ $\times$ 0	なし		水平配向膜1	3.7	238nm	10 μ m	2.8なし
例6	Δ $\times$ 0	あり	有源 3.5	水平配向膜1	3.7	104nm	10 μ m	0.8なし
例7	Δ $\times$ 0	なし		水平配向膜1	3.7	205nm	5 μ m	2.4なし
例8	Δ $\times$ 0	あり	SIN 7.5	1011nm 水平配向膜1	3.7	50nm	20 μ m	4.172s
例9	Δ $\times$ 0	あり	SIN 7.5	1011nm 水平配向膜2	3.9	51nm	20 μ m	5.5あり(レベル)
例10	Δ $\times$ 0	あり	SIN 7.5	1011nm 水平配向膜3	5.1	52nm	20 μ m	18.5あり(レベル)
例11	Δ $\times$ 0	あり	SIN 7.5	2005nm 水平配向膜1	3.7	51nm	20 μ m	2.8なし
例12	Δ $\times$ 0	あり	SIN 7.5	1011nm 水平配向膜1	3.7	51nm	10 μ m	2.3なし
例13	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜1	3.7	204nm	20 μ m	4.912s
例14	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜2	3.9	208nm	20 μ m	8.8あり(レベル)
例15	Δ $\times$ 0	あり	SIN 7.5	205nm 水平配向膜3	5.1	201nm	20 μ m	16.2あり(レベル)
例16	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜1	3.7	50nm	10 μ m	8.0なし
例17	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜2	3.9	52nm	10 μ m	7.6あり(レベル)
例18	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜3	5.1	50nm	10 μ m	19.5あり(レベル)
例19	Δ $\times$ 0	あり	SIN 7.5	1011nm 水平配向膜1	3.7	51nm	10 μ m	2.3なし
例20	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜1	3.7	202nm	10 μ m	2.2なし
例21	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜1	3.7	51nm	5 μ m	3.8なし
例22	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜1	3.7	62nm	20 μ m	18.3なし
例23	Δ $\times$ 0	なし		水平配向膜1	3.7	209nm	5 μ m	4.012s
例24	Δ $\times$ 0	なし		水平配向膜2	3.9	210nm	5 μ m	5.9あり(レベル)
例25	Δ $\times$ 0	なし		水平配向膜3	5.1	210nm	5 μ m	16.5あり(レベル)
例26	Δ $\times$ 0	なし		水平配向膜1	3.7	103nm	5 μ m	10.9あり(レベル)
例27	Δ $\times$ 0	なし		水平配向膜1	3.7	304nm	5 μ m	3.4なし
例28	Δ $\times$ 0	あり	有源 3.6	水平配向膜1	3.7	105nm	5 μ m	0.9なし
例29	Δ $\times$ 0	なし		水平配向膜1	3.7	204nm	2 μ m	2.1なし
例30	Δ $\times$ 0	あり	SIN 7.5	1011nm 水平配向膜1	3.7	51nm	10 μ m	4.212s
例31	Δ $\times$ 0	あり	SIN 7.5	1011nm 水平配向膜2	3.9	50nm	10 μ m	6.9あり(レベル)
例32	Δ $\times$ 0	あり	SIN 7.5	1011nm 水平配向膜3	5.1	50nm	10 μ m	16.4あり(レベル)
例33	Δ $\times$ 0	あり	SIN 7.5	2006nm 水平配向膜1	3.7	51nm	10 μ m	2.3なし
例34	Δ $\times$ 0	あり	SIN 7.5	1011nm 水平配向膜1	3.7	50nm	5 μ m	2.5なし
例35	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜1	3.7	208nm	10 μ m	4.212s
例36	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜2	3.9	205nm	10 μ m	7.3あり(レベル)
例37	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜3	5.1	207nm	10 μ m	18.9あり(レベル)
例38	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜1	3.7	52nm	5 μ m	4.912s
例39	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜2	3.9	52nm	5 μ m	6.1あり(レベル)
例40	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜3	5.1	52nm	5 μ m	21.4あり(レベル)
例41	Δ $\times$ 0	あり	SIN 7.5	1011nm 水平配向膜1	3.7	51nm	5 μ m	2.6なし
例42	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜1	3.7	206nm	5 μ m	2.5なし
例43	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜1	3.7	52nm	2 μ m	4.1なし
例44	Δ $\times$ 0	あり	SIN 7.5	209nm 水平配向膜1	3.7	52nm	10 μ m	12.7あり(レベル)

【特許請求の範囲】

【請求項 1】 少なくとも一方が透明な一对の基板と、前記一对の基板の互いに対向する面上に形成された液晶配向制御層と、前記一对の基板間に前記液晶配向制御層に接触するようにして配置された誘電率異方性が正または負の液晶組成物からなる液晶層と、前記一对のうちの一方の基板に絶縁膜を介して形成された画素電極及び対向電極と、前記画素電極と対向電極に接続されたアクティブ素子とを含むアクティブ・マトリクス型液晶表示装置において、前記電極と液晶層との間に存在する絶縁膜層の分極緩和時定数 τ が 5 分以内に設定されていることを特徴する液晶表示装置。

【請求項 2】 少なくとも一方が透明な一对の基板と、前記一对の基板の互いに対向する面上に形成された液晶配向制御層と、前記一对の基板間に前記液晶配向制御層に接触するようにして配置された誘電率異方性が正または負の液晶組成物からなる液晶層と、前記一对のうちの一方の基板に絶縁膜を介して形成された画素電極及び対向電極と、前記画素電極と対向電極に接続されたアクティブ素子とを含むアクティブ・マトリクス型液晶表示装置において、最大輝度の 10% となる交流駆動電圧に加えて直流電圧を 0.5V 30 分印加しつづけ、直流電圧を off した後の残像の時間 - 緩和特性を下式 (1) で定義した回帰曲線で回帰処理を施し、得られた緩和時定数が 5 分以下であることを特徴とする液晶表示装置。

$$\text{【数 1】} \quad B = A \exp(-t/\tau) \quad \dots\dots\dots$$

(1)

ここで、B は輝度、A は定数、t は時間、 $\tau = 2.8098$ である。

【請求項 3】 少なくとも一方が透明な一对の基板と、前記一对の基板の互いに対向する面上に形成された液晶配向制御層と、前記一对の基板間に前記液晶配向制御層に接触するようにして配置された液晶層と、前記一对のうちの一方の基板に絶縁膜を介して形成された画素電極及び対向電極と、前記画素電極と対向電極に接続されたアクティブ素子とを含むアクティブ・マトリクス型液晶表示装置において、

正の誘電率異方性をもつ液晶を使用し、前記電極と液晶層との間に存在する絶縁膜層が比誘電率 3.8 以下の有機膜のみであり、その膜厚が 200nm 以上 3.0 μ m 以下であり、液晶駆動電極の電極間隔が 5 ~ 10 μ m であることを特徴とする液晶表示装置。

【請求項 4】 少なくとも一方が透明な一对の基板と、前記一对の基板の互いに対向する面上に形成された液晶配向制御層と、前記一对の基板間に前記液晶配向制御層に接触するようにして配置された液晶層と、前記一对のうちの一方の基板に絶縁膜を介して形成された画素電極及び対向電極と、前記画素電極と対向電極に接続された

アクティブ素子とを含むアクティブ・マトリクス型液晶表示装置において、

正の誘電率異方性をもつ液晶を使用し、前記電極と液晶層との間に存在する絶縁膜層が有機膜と無機膜の複合構造になっており、その有機膜の膜厚が 50 ~ 200nm、比誘電率が 3.8 以下であり、無機膜の膜厚が 1 μ m ~ 3 μ m、比誘電率が 4 ~ 9 であり、液晶駆動電極の電極間隔が 10 ~ 20 μ m であることを特徴とする液晶表示装置。

10 【請求項 5】 少なくとも一方が透明な一对の基板と、前記一对の基板の互いに対向する面上に形成された液晶配向制御層と、前記一对の基板間に前記液晶配向制御層に接触するようにして配置された液晶層と、前記一对のうちの一方の基板に絶縁膜を介して形成された画素電極及び対向電極と、前記画素電極と対向電極に接続されたアクティブ素子とを含むアクティブ・マトリクス型液晶表示装置において、

正の誘電率異方性をもつ液晶を使用し、前記電極と液晶層との間に存在する絶縁膜層が有機膜と無機膜の複合構造になっており、その有機膜の膜厚が 200nm ~ 3 μ m、比誘電率が 3.8 以下であり、無機膜の膜厚が 200nm ~ 1 μ m、比誘電率が 4 ~ 9 であり、液晶駆動電極の電極間隔が 10 ~ 20 μ m であることを特徴とする液晶表示装置。

【請求項 6】 少なくとも一方が透明な一对の基板と、前記一对の基板の互いに対向する面上に形成された液晶配向制御層と、前記一对の基板間に前記液晶配向制御層に接触するようにして配置された液晶層と、前記一对のうちの一方の基板に絶縁膜を介して形成された画素電極及び対向電極と、前記画素電極と対向電極に接続されたアクティブ素子とを含むアクティブ・マトリクス型液晶表示装置において、

正の誘電率異方性をもつ液晶を使用し、前記電極と液晶層との間に存在する絶縁膜層が有機膜と無機膜の複合構造になっており、その有機膜の膜厚が 50nm ~ 200nm、比誘電率が 3.8 以下であり、無機膜の膜厚が 200nm ~ 1 μ m、比誘電率が 4 ~ 9 であり、液晶駆動電極の電極間隔が 5 ~ 10 μ m であることを特徴とする液晶表示装置。

【請求項 7】 少なくとも一方が透明な一对の基板と、前記一对の基板の互いに対向する面上に形成された液晶配向制御層と、前記一对の基板間に前記液晶配向制御層に接触するようにして配置された液晶層と、前記一对のうちの一方の基板に絶縁膜を介して形成された画素電極及び対向電極と、前記画素電極と対向電極に接続されたアクティブ素子とを含むアクティブ・マトリクス型液晶表示装置において、

負の誘電率異方性をもつ液晶を使用し、前記電極と液晶層との間に存在する絶縁膜層が比誘電率 3.8 以下の有機膜のみであり、その膜厚が 200nm 以上 3.0 μ m

以下であり、液晶駆動電極の電極間隔が $2 \sim 5 \mu\text{m}$ であることを特徴とする液晶表示装置。

【請求項 8】 少なくとも一方が透明な一対の基板と、前記一対の基板の互いに対向する面上に形成された液晶配向制御層と、前記一対の基板間に前記液晶配向制御層に接触するようにして配置された液晶層と、前記一対のうちの一方の基板に絶縁膜を介して形成された画素電極及び対向電極と、前記画素電極と対向電極に接続されたアクティブ素子とを含むアクティブ・マトリクス型液晶表示装置において、

負の誘電率異方性をもつ液晶を使用し、前記電極と液晶層との間に存在する絶縁膜層が有機膜と無機膜の複合構造になっており、その有機膜の膜厚が $50 \sim 200 \text{ nm}$ 、比誘電率が 3.8 以下であり、無機膜の膜厚が $1 \mu\text{m} \sim 3 \mu\text{m}$ 、比誘電率が $4 \sim 9$ であり、液晶駆動電極の電極間隔が $5 \sim 10 \mu\text{m}$ であることを特徴とする液晶表示装置。

【請求項 9】 少なくとも一方が透明な一対の基板と、前記一対の基板の互いに対向する面上に形成された液晶配向制御層と、前記一対の基板間に前記液晶配向制御層に接触するようにして配置された液晶層と、前記一対のうちの一方の基板に絶縁膜を介して形成された画素電極及び対向電極と、前記画素電極と対向電極に接続されたアクティブ素子とを含むアクティブ・マトリクス型液晶表示装置において、

負の誘電率異方性をもつ液晶を使用し、前記電極と液晶層との間に存在する絶縁膜層が有機膜と無機膜の複合構造になっており、その有機膜の膜厚が $200 \text{ nm} \sim 3 \mu\text{m}$ 、比誘電率が 3.8 以下であり、無機膜の膜厚が $200 \text{ nm} \sim 1 \mu\text{m}$ 、比誘電率が $4 \sim 9$ であり、液晶駆動電極の電極間隔が $5 \sim 10 \mu\text{m}$ であることを特徴とする液晶表示装置。

【請求項 10】 少なくとも一方が透明な一対の基板と、前記一対の基板の互いに対向する面上に形成された液晶配向制御層と、前記一対の基板間に前記液晶配向制御層に接触するようにして配置された液晶層と、前記一対のうちの一方の基板に絶縁膜を介して形成された画素電極及び対向電極と、前記画素電極と対向電極に接続されたアクティブ素子とを含むアクティブ・マトリクス型液晶表示装置において、

負の誘電率異方性をもつ液晶を使用し、前記電極と液晶層との間に存在する絶縁膜層が有機膜と無機膜の複合構造になっており、その有機膜の膜厚が $50 \text{ nm} \sim 200 \text{ nm}$ 、比誘電率が 3.8 以下であり、無機膜の膜厚が $200 \text{ nm} \sim 1 \mu\text{m}$ 、比誘電率が $4 \sim 9$ であり、液晶駆動電極の電極間隔が $2 \sim 5 \mu\text{m}$ であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係

り、いわゆるインプレーン・スイッチング方式と称されるアクティブ・マトリクス型液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は、一対の基板間に挟持された液晶層の液晶分子に電界を印加し、該液晶の配向方向を変化させ、それにより生じる液晶の光学変化を利用して表示を行う。

【0003】従来のアクティブ・マトリクス型液晶表示装置は、液晶に印加する電界の方向が液晶を挟持する基板面にほぼ垂直な方向に設定され、液晶層の光旋光性を利用して表示を行うツイステッドネマチック (TN) 表示方式に代表される。

【0004】一方、櫛歯電極を用い、液晶に印加する電界の方向を基板面にほぼ平行とし、液晶の複屈折性を用いて表示を行うインプレーン・スイッチング (In-plane Switching: IPS) の液晶表示装置が、たとえば特公昭63-21907号公報、米国特許第4345249号、W091/10936、特開平6-160878号公報等により提案されている。

【0005】このインプレーン・スイッチング方式は従来の TN 方式に比べて広視野角、低負荷容量等の利点があり、TN 方式に替わる新たなアクティブ・マトリクス型液晶表示装置として近年急速に進歩している技術である。

【0006】この IPS 方式においては、ジャーナル オブ アプライド フィジクス、1997, Vol. 82, No. 2, 第528頁～第535頁 (M. Oh-e, M. Yoneya, and K. Kondo, JOURNAL OF APPLIED PHYSICS, 1997, Vol. 82, No. 4, 528-535) に明らかにされているように、液晶が負の誘電率異方性を有する場合に、正の誘電率異方性の液晶に比べ、より完全なインプレーン・スイッチングを実現することができる。かかる完全なインプレーン・スイッチングの実現は、中間調を含めた液晶表示装置の視野角拡大をより完全なものとする。したがって、IPS 方式においては、上記観点から負の誘電率異方性を有する液晶を使用することが好ましい。

【0007】上記の IPS 方式では上記対となる基板の一方の表面内に設けられたストライプ状の不透明金属の櫛歯電極を用いているが、近年、ITO (Indium-Tin-Oxide) などの透明導電物質により形成し、また、この櫛歯電極の配置のピッチよりも従来の IPS 方式よりも短いピッチにし、さらに、誘電率異方性が負の液晶を用いることにより、櫛歯電極の縁部分に形成される電界のみでも該透明櫛歯電極の上部に存在する液晶のすべてを配向変化させることができるようにして、透過率および開口率を改善する IPS の一種がたとえば「S.H. Lee, S. L. Lee and H.Y. Kim, アジアディスプレイ, 1998, pp. 371-374」および「S.H. Lee, S. L. Lee, H.Y. Kim, and T.Y. Eom, SID digest, 1999, pp. 202-205」により提案されている。

【0008】この誘電率異方性が負の液晶と短ピッチ透

明櫛歯電極を組み合わせたIPS方式では、TN方式に近い透過率がIPS方式と同等の広視野角特性を保ったまま可能となることが上記文献において報告されている。

【0009】

【発明が解決しようとする課題】液晶表示装置において、直流電圧が重畳された電圧波形が液晶層に印加された場合、その直流電圧を除いても液晶層中に直流電圧（直流オフセット電圧）が残留することが知られている。

【0010】そして、松本正一編著「液晶ディスプレイ技術」産業図書株式会社発行（1996）の第2章の第70頁～第73頁に論じられているように、アクティブ・マトリクス型液晶表示装置では通常の液晶駆動においても、直流電圧の重畳された駆動電圧波形が液晶層に印加されることは液晶表示装置のアクティブ駆動素子の構造上起こりえて、階調表示を行う場合など、直流電圧の重畳現象を完全に防止することは困難である。このような現象は従来のTN方式およびIPS方式のいずれにも共通する。

【0011】この残留した直流電圧はTN方式かIPS方式かに拘らず、液晶表示装置での輝度に影響し、直流電圧が印加された部分とされない部分との間、もしくは印加直流電圧の強度が異なる部分間で輝度差を生じさせる。よって、通常の駆動条件で文字や図形を長時間表示した場合、その表示を消去させた後でも、先に表示した文字や図形がしばらくの間表示されるという現象を発生させることになる。このような現象は「残像」と呼ばれており、発現後時間の経過とともに徐々に強度は弱くなって最終的には消失するものの、人の目に見えなくなるまでに30分以上も時間がかかる場合がある。

【0012】直流電圧が印加された場合に液晶層に直流のオフセット電圧が残留する機構については、信学技法EID96-89（1997-01）の第29頁～第30頁により、従来TN方式を例にとりて、液晶層中のイオンの挙動によって説明するモデルが提案されている。このモデルによれば、液晶層中に残留する直流の原因として配向膜に充電された直流電圧と、イオンの液晶配向用配向膜への吸着を考える。そして、数分程度の直流電圧の残留は配向膜の充電と緩和に起因し、それ以上の非常に長い直流電圧の残留はイオンの配向膜への吸着が原因であると結論している。

【0013】IPS方式ではTN方式に比べて残像レベルが悪いという問題があった。この原因はTN方式の場合、画素電極と対向電極の間には液晶配向制御層と液晶層しか存在しないのに対し、IPS方式の場合、画素電極および対向電極の間に液晶層と液晶配向制御層の他に絶縁膜を持つためと考えられる。つまり、TN方式の場合、直流電圧の残留は配向膜のみを考えればよいが、IPS方式の場合、配向膜と絶縁膜の充電と緩和があるた

め、TN方式に比べて残像レベルが悪いと考えられる。なお、イオンの配向膜への吸着はTN方式もIPS方式も同等と考えられる。配向膜の充電とその緩和に起因する直流電圧の残留現象に対しては、特開平7-159786号公報により、配向膜および液晶それぞれの誘電率と比抵抗の積を近似させるべく最適化させ、内部残留電圧を低減することによって、残像を抑制する方法が提案されている。しかし、実際には液晶の抵抗に比べて配向膜の抵抗は桁違いに高く、また、IPS方式では膜容量と比べて液晶の容量が小さいため、上記事例の完全な実現は困難である。

【0014】本発明はこのような事情に基づいてなされたものであり、その目的は、内部残留電圧に起因する表示画像の焼き付け現象が発生しにくい液晶表示装置およびその製造方法を提供することにある。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0016】すなわち、本発明による液晶表示装置は、たとえば液晶駆動電極と液晶層との間に存在する絶縁膜層の分極緩和時定数 τ が5分以内に設定されていることを特徴するものである。

【0017】本発明者らは、一対の基板間に形成する多種の配向膜と液晶材料と残像との関係を調査した結果、液晶駆動電極と液晶層との間に存在する絶縁膜の分極緩和時定数 τ が速い液晶表示装置は残像が小さいことを見出した。

【0018】また、この他にも、液晶表示装置を構成する液晶、配向膜、絶縁膜、電極の物性定数ならびに寸法の関係について注目し鋭意研究した結果、これらの物性定数ならびに寸法関係を規定することにより分極緩和時定数 τ を減少させることができることを見出した。

【0019】

【発明の実施の形態】以下、本発明による液晶表示装置の実施例を図面を用いて説明する。

《全体の構成》図2は、本発明による液晶表示装置の一実施例を示す平面図である。

【0020】同図において、透明基板SUB1があり、この透明基板SUB1は液晶を介して透明基板SUB2と対向配置されている。

【0021】透明基板SUB1の液晶側の面には、x方向に延在するゲート信号線GLと対向電圧信号線CLとが形成され、図面上方からゲート信号線GL、対向電圧信号線CLが交互に並設されている。

【0022】また、y方向に延在しx方向に並設されるドレイン信号線DLが形成され、これにより互いに隣接される各ドレイン信号線DLと互いに隣接される各ゲート信号線GLとで囲まれる領域を画素領域（図中点線枠Aで囲まれた領域）とし、これら画素領域がマトリクス

状に配置されて表示領域 A R が構成されている。

【0023】これら各画素領域には、片側のゲート信号線 G L からの走査信号によって駆動されるスイッチング素子（薄膜トランジスタ T F T）と、このスイッチング素子を介して片側のドレイン信号線 D L からの映像信号が供給される画素電極 P X、この画素電極 P X との間に電界を発生せしめ前記対向電圧信号線と接続される対向電極 C T 等が形成されているが、この構成の詳細については後述する。

【0024】各ゲート信号線 G L はその一端が透明基板 S U B 1 の端辺部（図中左側）にまで延在され、該端辺部に搭載された垂直駆動回路（半導体集積回路）V の出力端子に接続されている。

【0025】同様に、各ドレイン信号線 D L はその一端が透明基板 S U B 1 の端辺部（図中上側）にまで延在され、該端辺部に搭載された映像駆動回路（半導体集積回路）H e の出力端子に接続されている。

【0026】また、各対向電圧信号線 C L はその一端（図中右側）が共通接続され、映像信号に対して基準となる信号が供給されるようになっている。

【0027】透明基板 S U B 2 は、前記垂直駆動回路 V および映像駆動回路 H e の搭載領域を回避して配置され、その周囲において液晶の封入をも兼ねるシール材 S L によって透明基板 S U B 1 と固着されている。

《画素の構成》図 3 は前記画素領域の一実施例を示す平面図である。また、図 3 の IV - IV 線における断面図を図 4 に、V - V 線における断面図を図 5 に示している。

【0028】透明基板 S U B 1 の表面に x 方向に延在するゲート信号線 G L と対向電圧信号線 C L とが形成されている。

【0029】ここで、ゲート信号線 G L は画素領域の下側に、対向電圧信号線 C L は中央にそれぞれ走行するようにして形成されている。

【0030】対向電圧信号線 C L は対向電極 C T と一体になって形成され、この対向電極 C T は画素領域内を y 方向に延在するようにしてたとえば図中では 3 本形成されている。

【0031】すなわち、3 本の対向電極 C T のうち 1 本は画素領域の中央を y 方向に走行するようにして形成され、残りの 2 本は後述のドレイン信号線 D L にそれぞれ隣接して y 方向に走行するようにして形成されている。

【0032】ここで、各対向電極 C T はその延在方向に沿ってジグザグ状に形成されているが、その詳細は画素電極 P X の説明の部分で説明する。

【0033】そして、これらゲート信号線 G L、対向電圧信号線 C L（対向電極 C T）をも被って透明基板 S U B 1 の表面にはたとえば S i N からなる絶縁膜 G I が形成されている。

【0034】この絶縁膜 G I は、後述の薄膜トランジスタ T F T の形成領域にあってはそのゲート絶縁膜として

の機能を、後述のドレイン信号線 D L の形成領域にあっては前記ゲート信号線 G L と対向電圧信号線 C L に対する層間絶縁膜としての機能を、後述の容量素子 C s t g の形成領域にあってはその誘電体膜としての機能を有するようになっている。

【0035】絶縁膜 G I 上において、ゲート信号線 G L と重畳する部分であって後述のドレイン信号線 D L に近接する部分にたとえばアモルファス S i からなる半導体層 A S が形成されている。

【0036】この半導体層 A S は薄膜トランジスタ T F T の半導体層で、その表面にドレイン電極 S D 2、ソース電極 S D 1 が形成されることによって、ゲート信号線 G L の一部をゲート電極とする逆スタガ構造のスイッチング素子として構成される。

【0037】薄膜トランジスタ T F T のドレイン電極 S D 2 はたとえばドレイン信号線 D L の形成の際に同時に形成されるようになっており、該ドレイン信号線 D L の一部が該半導体層 A S の表面に延在されるように形成することによって形成される。

【0038】また、薄膜トランジスタ T F T のソース電極 S D 1 はたとえば画素電極 P X の形成の際に同時に形成されるようになっており、該画素電極 P X の一端が該半導体層 A S の費用面に延在されるように形成することによって形成される。

【0039】画素電極 P X は、前記 3 本の対向電極 C T のそれぞれの間を該対向電極 C T と距離を有して延在するようにして 2 本形成されている。

【0040】各画素電極 P X はその延在方向に沿ってほぼ等間隔に複数の屈曲部を有してジグザグ状に形成されている。

【0041】これにともなって、対向電極 C T もその延在方向に沿ってほぼ等間隔に複数の屈曲部を有してジグザグ状に形成され、該画素電極 P X を図中 x 方向にそのまま平行移動したパターンとして形成されている。

【0042】なお、画素領域の左右の両脇に位置付けられる対向電極 C T は、そのドレイン信号線 D L 側の辺において該ドレイン信号線 D L との間の隙間（光漏れの原因となる）をなくすため、中央の対向電極 C T と若干異なる形状となっている。

【0043】このように画素電極 P X および対向電極 C T がジグザグ状に形成されているのは、画素領域内に画素電極 P X から対向電極 C T 側への電界の方向が異なる領域を形成することにより、表示面の垂線に対して異なる方向から観察しても色調が変化することのない表示を行うためである（いわゆるマルチドメイン方式と称する）。

【0044】また、2 つの画素電極 P X は対向電圧信号線 C L と重畳する部分にて互いに接続され、この接続部において該対向電圧信号線 C L との間に容量素子 C s t g を構成するようになっている。

【0045】この容量素子 C_{stg} は、薄膜トランジスタ TFT がオフした際に画素電極 PX に供給された映像信号を比較的長く蓄積させる機能等を有するものである。

【0046】このようにドレイン信号線 DL および画素電極 PX が形成された透明基板 SUB1 の表面には該ドレイン信号線 DL および画素電極 PX をも被ったたとえば SiN からなる保護膜 PSV が形成されている。

【0047】この保護膜 PSV は主として薄膜トランジスタ TFT の液晶との直接の接触を回避するために設けられるもので、このことから少なくとも薄膜トランジスタ TFT の形成領域を被うようにして形成されてい

ればよい。
【0048】そして、この保護膜 PSV の表面には配向膜 ORI1 が形成され、この配向膜 ORI は液晶 LC と直接に接触する膜となり該液晶 LC の分子の初期配向方向を決定させるようになっている。

【0049】すなわち、この配向膜 ORI1 は厚さ 50 ~ 200 nm のたとえば樹脂膜からなり、その液晶 LC (比抵抗: $1.0 \times 10^9 \Omega \cdot \text{cm} \sim 1.0 \times 10^{13} \Omega \cdot \text{cm}$) と接触する面に該液晶 LC の分子の初期配向方向に対応する方向にラビング等の配向処理がなされたものとなっている。配向処理の方向は、図 3 の画素構成においては、正の誘電率異方性を有する液晶を用いる場合はドレイン信号線 DL の方向、負の誘電率異方性を有する液晶を用いる場合はゲート信号線 GL の方向となっている。

【0050】なお、このように構成される透明基板 SUB1 に液晶 LC を介してたとえばギャップを 4.5 μm (液晶封入状態) で対向配置される透明基板 SUB2 は、その液晶側の面にブラックマトリクス BM が形成されている。このブラックマトリクス BM は隣接する他の画素領域と画するように形成され、各画素領域の中央部を除く周辺部に形成されている。

【0051】また、このブラックマトリクス BM は薄膜トランジスタ TFT への外光の照射を防止するためにも設けられている。

【0052】ブラックマトリクス BM に囲まれた画素領域の中央部にはカラーフィルタ FIL が形成され、このカラーフィルタ FIL はたとえば y 方向に並設される各画素に共通の色のフィルタとなっており、x 方向にたとえば赤 (R)、緑 (G)、青 (B) の順に繰り返されて形成されている。

【0053】ブラックマトリクス BM およびカラーフィルタ FIL をも被って透明基板 SUB2 の表面にはたとえば樹脂層からなる平坦化膜 OC が形成され、この平坦化膜 OC の表面には配向膜 ORI2 が形成されている。この配向膜 ORI2 は上記配向膜 ORI1 と同様に液晶 LC と直接に接触する膜となり該液晶 LC の分子の初期配向方向を決定させるようになっている。

【0054】なお、上述した実施例は、保護膜 PSV としてたとえば SiN からなる無機膜を用いたものである。しかし、このような無機膜の上面に樹脂膜等を被覆したような構成、すなわち、有機膜と無機膜との複合構造となってもよいことはいうまでもない。

【0055】上述した画素の構成は、横電界方式の液晶表示装置として一実施例を示したものであり、電界を発生せしめる一対の電極が一方の透明基板側に形成され、かつ、該電界の透明基板と平行な成分によって液晶 LC の光透過率を制御する構成のものであれば、いずれにも適用できる。

【0056】たとえば、画素電極 PX および対向電極 CT が屈曲部を有しない直線状のパターンからなるものにも適用できる。

【0057】また、画素電極 PX および対向電極 CT のうちいずれか一方が透明電極で構成されたもの、また、双方とも透明電極で構成されたものにも適用できる。

【0058】画素電極 PX および対向電極 CT の双方が透明電極で構成されたもののうち、一方の電極が画素領域のほぼ全域に形成され、他方の電極が櫛歯状のパターンで形成されたものが知られているが、このような構成においても適用できる。

《残像発生の考察》上述のような構成からなる液晶表示装置の画像の焼き付け残像現象は AC 残像と DC 残像とからなる。このうち DC 残像は残留電荷の影響によって次の表示信号選択時にも前の表示が薄く残る現象である。このメカニズムは、電圧印加を解除した後も配向膜界面に吸着電荷が残留し、この電荷が形成する疑似電界に応じて内部直流残留電圧が発生することによるものと考えられる。

【0059】このような焼き付け残像の発生を抑制するために、液晶 LC の材料や配向膜 ORI の材料として内部残留電圧が抜けやすい材料を用いることが重要となる。

【0060】内部残留電圧による液晶層の焼き付けの緩和現象は絶縁膜や液晶層に蓄積した電荷の過渡現象を考えることで説明できる。図 6 (a) は横電界方式液晶表示装置の表示部を簡略化した断面図であり、図 6 (b) のような等価回路で表すことができる。この場合、図 6 (a) において一対の電極間に直流電圧が印加されると、液晶や絶縁膜に電荷が蓄積する。これらの蓄積電荷は、直流電圧が停止した直後に、液晶層や絶縁膜を介して緩和される。この場合、図 2 のような電氣的な等価回路で表すことができる。このとき、液晶や絶縁膜に残存している電荷 q は直流電圧が停止された瞬間からの時間を t とした場合、次式 (2) で表される。

【0061】

【数 2】

$$q = q_0 \exp\left(-\frac{t}{CR}\right) = q_0 \exp\left\{-\frac{R_{ORI} + R_{LC}}{(C_{ORI} + C_{LC}) \cdot R_{ORI} R_{LC}} \cdot t\right\} \quad \dots\dots\dots (2)$$

ここで、 R_{ORI} は絶縁膜の抵抗、 R_{LC} は液晶の抵抗、 C_{ORI} は絶縁膜の容量、 C_{LC} は液晶の容量、 q_0 は放電直前の蓄積電荷量である。

【0062】この式(2)から、残存電荷の緩和は時間と共に減少し、緩和時定数 τ は次式(3)で表せる。

【0063】

$$\tau = \frac{R_{ORI} R_{LC} (C_{ORI} + C_{LC})}{R_{ORI} + R_{LC}} \quad \dots\dots\dots (3)$$

上述した実施例は、その測定方法で緩和時定数 τ を5分10以内とし、この基準で絶縁膜および液晶を選定することで、DC残像が消失しやすい液晶表示装置を得ることが

$$\tau = \frac{R_{ORI} R_{LC} (C_{ORI} + C_{LC})}{R_{ORI} + R_{LC}} = R_{LC} C_{ORI} = \rho_{LC} \cdot \epsilon_0 \cdot \epsilon_{ORI} \cdot \frac{d_{PXT}}{d_{ORI}} \quad \dots\dots\dots (4)$$

ここで、 ρ_{LC} 、 ϵ_0 、 ϵ_{ORI} 、 d_{PXT} 、 d_{ORI} は、それぞれ液晶LCの比抵抗値、真空の誘電率、絶縁膜ORIの比誘電率、電極間隔(画素電極PXと対向電極CTとの距離)、絶縁膜ORIの膜厚である。

【0066】すなわち、液晶LCの比抵抗・絶縁膜ORIの比誘電率や膜厚・一对の電極(PX-CT)の間隔20は内部残留電圧と相関がある。液晶の比抵抗や絶縁膜の比誘電率や電極間隔については、それらの値が小さい方が緩和時間を短くできる。また、本発明の実施例では、これらのパラメータの中で、絶縁膜ORIの比誘電率 ϵ_{ORI} や膜厚・一对の電極(PX-CT)の間隔を最適化したため、DC残像の原因となる内部残留電圧の抜けを速くすることができる。

【0067】なお、液晶層・電極間の絶縁膜としては、配向膜だけの場合や、配向膜と層間絶縁膜の複合層の場合がある。絶縁膜が複合層の場合についても、構成される層のそれぞれの容量・抵抗が合成されて緩和現象に寄与するため、それぞれの絶縁膜の比誘電率は小さい方が、また膜厚は厚い方が、DC残像の原因となる内部残留電圧の抜けを速くすることができる。

《絶縁膜、配向膜、電極間隔等の具体的な構成》図1は、上記横電界方式の液晶表示装置において、液晶の材料($\Delta\epsilon > 0$ か $\Delta\epsilon < 0$)、絶縁膜の有無、絶縁膜があるとした場合その比誘電率および膜厚、対をなす電極の間隔をそれぞれ異ならしめて形成した場合のDC残像緩和時定数 τ 、残像測定消失時間(分)を測定した表である。40

【0068】また、DC残像緩和時定数 τ 、残像測定消失時間(分)の測定にあって、その残像評価、絶縁膜の比誘電率評価、およびDC残像の測定方法は下記に記す方法で行った。

《残像評価》25 で黒表示エリア上に固定パターン(輝度最大となる階調)を30分間印加した後に、画面

できる。

【0064】さらに、膜容量(上述の実施例では絶縁膜GIおよび保護膜PSV)の物性値を規定し、最適化することにより、内部残留電圧に起因する表示画像の焼き付け残像をさらに低減することができる。電極間隔の広い横電界方式では、一般的に、容量については液晶よりも絶縁膜が大きくなり、抵抗については絶縁膜の方が液晶よりも大きくなる。このことを考慮し、緩和時定数 τ は次式(4)で近似できる。

【0065】

【数4】

全体を黒表示したときの、固定パターン表示部に目視で残像がなくなるまでの時間を測定した。

【0069】ここで、評価レベルを、30秒以内で残像が消失した場合をレベルaとし、30秒~1分程度で残像が消失した場合をレベルbとし、5分以上でも残像が消失しない場合をレベルcとした。

《膜比誘電率評価》膜比誘電率評価サンプルを次のようにして作成した。なお、サンプルの構成および測定を示す図を図7に示している。なお、図7(a)は平面図、図7(b)は断面図である。

(1) ガラス基板(AN635:旭硝子製)にクロム金属層をスパッタによって成膜した。その膜厚は0.2 μ mとした。

(2) クロム金属層上に絶縁膜をその厚さが0.5 μ mとなるように塗布し焼成した。

(3) 配向膜上に図7(a)に示すようなパターンのアルミ電極をマスク蒸着により形成した。その膜厚は0.3 μ mとした。

【0070】比誘電率の測定は、プローバを同図に示すように当接させ、4端子法で測定した。測定機はヒューレットパッカー製HP4192Aインピーダンスアナライザを使用した。測定時の温湿度をそれぞれ25、60%RHとした。測定周波数は100Hzとし、並列等価回路モードで膜容量Cを測定し、次式(5)により比誘電率 ϵ を算出した。

【0071】

$$\epsilon = C \cdot (d / S \epsilon_0) \quad \dots\dots\dots (5)$$

ここで、dは膜厚、Sは電極面積、 ϵ_0 は真空の誘電率(8.854 $\times 10^{-12}$ F/m)である。

《DC残像の測定方法》電圧印加を解除した後に発生する内部残留電圧を光学的に観察した。内部残留電圧が残った液晶表示セルに交流を印加するとフリッカが発生し、輝度が変化するため、輝度の変化が内部残留電圧に

対応する。この輝度が緩和していく様子を観察した。

【0072】図8はB-V特性の時間変動を評価するための測定系を示す構成図である。同図において、21は恒温槽、22は観測窓（ガラス窓）、23はデジタルマルチメータ、24は計測制御器、25は試料（液晶表示パネル）、26はバックライト、28は交流駆動電圧源、29はDC電圧電源である。恒温槽内部の温度は25、湿度は50%RHとした。また、測定の準備が完了して1時間後に測定を開始した。

【0073】液晶表示パネル25は交流駆動電圧に加えDC電圧が重畳できるようになっている。また液晶表示パネル25のゲートはDC駆動を行いゲートには+16Vを入力する。輝度径からの出力はデジタルマルチメータにより計測制御器24に輝度値として入力する。そ*

$$\text{【数6】 } B = A0 + A1 \exp(-t/\tau1) + A2 \exp(-t/\tau2)$$

ここで、Bは輝度、A1、A2は定数、tは時間である。

【0076】図9(a)、(b)、(c)は、それぞれ図1の実施例1、3、6で得られた時間-輝度特性を示すグラフであり、同図において符号2は実測した輝度値（DC印加前の初期輝度に対する相対値）を示し、符号1は回帰処理された曲線を示している。

【0077】このグラフによれば、輝度は時間の経過とともに急激に減少し、一定値に収束することが判る。数式(6)で回帰処理を行った結果、実施例1については $\tau1$ が0.3であり、 $\tau2$ が4.2であるから、緩和時定数 τ は4.2分となる。実施例2については $\tau1$ が1.0であり、 $\tau2$ が14.2であるから、緩和時定数 τ は14.2分となる。実施例3については $\tau1$ が0.01であり、 $\tau2$ が0.3であるから、緩和時定数 τ は0.3分となる。その他の実施例についても、緩和時定数の長い例では実施例3の形状のグラフが得られ、緩和時定数の短い例では実施例6の形状のグラフが得られた。

【0078】図1から、本発明の実施例による、絶縁膜の緩和時定数 τ が5分以下である液晶表示装置を使用すれば、内部残留電圧に起因する表示画像の焼き付け現象を極めて小さくすることができる。

【0079】また、上述の緩和時定数 τ が5分以下である液晶表示装置を得るには、駆動電極-液晶層の間に存在する絶縁膜の膜厚・比誘電率・電極間隔を最適化することにより実現できることを示している。

【0080】実施例1、2、3は絶縁膜の比誘電率が変化した場合の例であり、緩和時定数は比誘電率が小さいほど短くなっていることを示している。この関係は実施例8、9、10等、他の構成要件が変わった場合においても成立している。

【0081】また、実施例1、4、5、6は絶縁膜の膜

*して、下記(1)~(3)の手順により、DC印加電圧消去後での輝度を測定した。

(1) 交流駆動電圧は常時最大輝度の10%の輝度となる電圧とした。

(2) DC電圧を0.5V印加した状態を30分続けた。

(3) DC電圧のみをオフしてさらに30分輝度を測定した。輝度測定間隔は30秒とした。

【0074】これにより得られる時間-輝度特性を次式(6)で誤差が10の-5乗以下になるまで回帰処理した。得られた時定数 $\tau1$ 、 $\tau2$ のうち、時定数の長い方を緩和時定数 τ とした。

【0075】

厚が変化した場合の例であり、緩和時定数は膜厚が厚くなるほど短くなることを示している。

【0082】さらに、実施例1、7は液晶駆動電極の電極間隔が変化した場合の例であり、電極間隔は短い方が緩和時定数は短いことを示している。

【0083】以上の傾向は、残像発生の考察で示した式(4)を支持するものであり、従って、駆動電極-液晶層の間に存在する絶縁膜の膜厚・比誘電率・電極間隔を最適化することにより上述の緩和時定数 τ が5分以下である液晶表示装置を得ることができる。

【0084】具体的には、実施例1~7で示されるように、正の誘電率異方性をもつ液晶を使用し、絶縁膜が全て有機の膜で構成されている場合、比誘電率を3.8以下、膜厚200nm以上3.0 μ m以下、液晶駆動電極の電極間隔を5 μ m以上10 μ m以下とすることにより実現できる。

【0085】あるいは、実施例8~12で示されるように、正の誘電率異方性をもつ液晶を使用し、絶縁膜が有機と無機の複合膜で構成される場合、有機膜の比誘電率を3.8以下、膜厚を50nm以上200nm以下とし、無機膜の膜厚が1 μ m以上3 μ m以下、比誘電率を9以下とし、液晶駆動電極の電極間隔を10~20 μ mとすることにより実現できる。

【0086】あるいは、実施例13~15で示されるように、正の誘電率異方性をもつ液晶を使用し、絶縁膜が有機と無機の複合膜で構成される場合、有機膜の比誘電率を3.8以下、膜厚を200nm以上3 μ m以下とし、無機膜の膜厚が200nm以上1 μ m以下、比誘電率を9以下とし、液晶駆動電極の電極間隔を10~20 μ mとすることにより実現できる。

【0087】あるいは、実施例16~22で示されるように、正の誘電率異方性をもつ液晶を使用し、絶縁膜が有機と無機の複合膜で構成される場合、有機膜の比誘電

率を 3.8 以下、膜厚を 50 nm 以上 200 nm 以下とし、無機膜の膜厚が 200 nm 以上 1 μ m 以下、比誘電率を 9 以下とし、液晶駆動電極の電極間隔を 5 ~ 10 μ m とすることにより実現できる。

【0088】また、負の誘電率異方性をもつ液晶を使用した場合においては、実施例 23 ~ 29 に示すように、比誘電率を 3.8 以下、膜厚 200 nm 以上 3.0 μ m 以下、液晶駆動電極の電極間隔を 2 ~ 5 μ m とすることにより実現できる。

【0089】あるいは、実施例 30 ~ 34 で示すように、負の誘電率異方性をもつ液晶を使用し、絶縁膜が有機と無機の複合膜で構成される場合、有機膜の比誘電率を 3.8 以下、膜厚を 50 nm 以上 200 nm 以下とし、無機膜の膜厚を 1 μ m 以上 3 μ m 以下、比誘電率を 9 以下とし、液晶駆動電極の電極間隔を 5 ~ 10 μ m とすることにより実現できる。

【0090】あるいは、実施例 35 ~ 37 で示すように、負の誘電率異方性をもつ液晶を使用し、絶縁膜が有機と無機の複合膜で構成される場合、有機膜の比誘電率を 3.8 以下、膜厚を 200 nm 以上 3 μ m 以下とし、無機膜の膜厚を 200 nm 以上 1 μ m 以下、比誘電率を 9 以下とし、液晶駆動電極の電極間隔を 5 ~ 10 μ m とすることにより実現できる。

【0091】あるいは、実施例 38 ~ 44 で示すように、負の誘電率異方性をもつ液晶を使用し、絶縁膜が有機と無機の複合膜で構成される場合、有機膜の比誘電率を 3.8 以下、膜厚を 50 nm 以上 200 nm 以下とし、無機膜の膜厚を 200 nm 以上 1 μ m 以下、比誘電率を 9 以下とし、液晶駆動電極の電極間隔を 2 ~ 5 μ m *

*とすることにより実現できる。

【0092】

【発明の効果】以上説明したことから明かなように、本発明による液晶表示装置によれば、内部残留電圧に起因する表示画像の焼き付け現象を発生しにくくする。

【図面の簡単な説明】

【図 1】本発明による液晶表示装置の実施例を示す図で、液晶材料の $\Delta \epsilon$ 、絶縁膜の比誘電率および膜厚、配向膜の比誘電率および膜厚等を示した図である。

【図 2】本発明による液晶表示装置の一実施例を示す全体平面図である。

【図 3】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図 4】図 3 の IV - IV 線における断面図である。

【図 5】図 3 の V - V 線における断面図である。

【図 6】横電界方式における画素の模式断面と等価回路を示す図である。

【図 7】膜比誘電率評価サンプルの構成と測定方法を示す図である。

【図 8】内部残留電圧を光学的に観察する装置を示す図である。

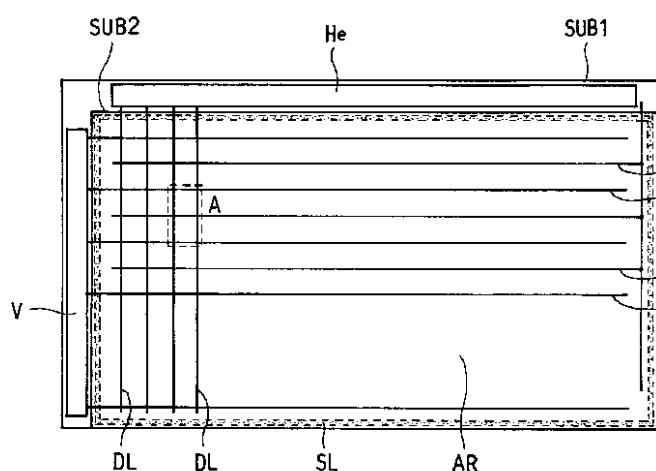
【図 9】本発明による液晶表示装置の内部残留電圧による輝度上昇率の経時変化特性を示すグラフである。

【符号の説明】

SUB...透明基板、GL...ゲート信号線、DL...ドレイ
ン信号線、TFT...薄膜トランジスタ、GI...絶縁膜、
PSV...保護膜、ORI...配向膜、LC...液晶、CL...
対向電圧信号線、CT...対向電極、PX...画素電極。

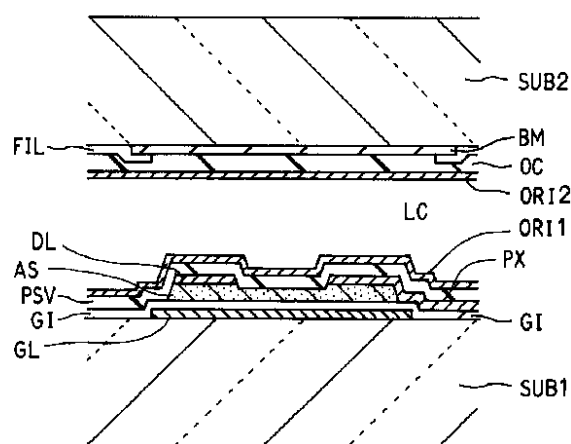
【図 2】

図 2



【図 4】

図 4



【図1】

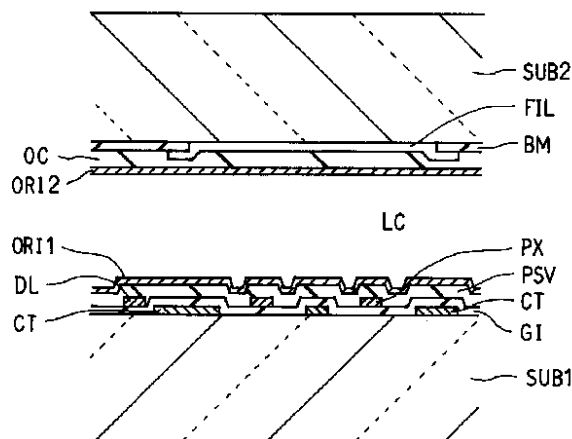
図1

実施例

例示 ナンバー	液晶材料 ($\Delta\epsilon$)	絶縁膜			配向膜			電極間隔	DC残像 緩和時定数 τ	残像測定 消失時間(分)
		有無	材質	比誘電率	膜厚	材料	比誘電率	膜厚		
例1	$\Delta\epsilon > 0$	なし				水平配向膜1	3.7	201nm	10 μm	4.2
例2	$\Delta\epsilon > 0$	なし				水平配向膜2	3.9	201nm	10 μm	5.3
例3	$\Delta\epsilon > 0$	なし				水平配向膜3	5.1	205nm	10 μm	14.2
例4	$\Delta\epsilon > 0$	なし				水平配向膜1	3.7	103nm	10 μm	8.4
例5	$\Delta\epsilon > 0$	なし				水平配向膜1	3.7	288nm	10 μm	2.8
例6	$\Delta\epsilon > 0$	あり	有機	3.5	2361nm	水平配向膜1	3.7	104nm	10 μm	0.3
例7	$\Delta\epsilon > 0$	なし				水平配向膜1	3.7	200nm	5 μm	2.4
例8	$\Delta\epsilon > 0$	あり	SiN	7.8	1011nm	水平配向膜1	3.7	50nm	20 μm	4.1
例9	$\Delta\epsilon > 0$	あり	SiN	7.8	1011nm	水平配向膜2	3.9	51nm	20 μm	5.5
例10	$\Delta\epsilon > 0$	あり	SiN	7.8	1011nm	水平配向膜3	5.1	52nm	20 μm	18.3
例11	$\Delta\epsilon > 0$	あり	SiN	7.8	2008nm	水平配向膜1	3.7	51nm	20 μm	2.8
例12	$\Delta\epsilon > 0$	あり	SiN	7.8	1011nm	水平配向膜1	3.7	51nm	10 μm	2.3
例13	$\Delta\epsilon > 0$	あり	SiN	7.8	209nm	水平配向膜1	3.7	204nm	20 μm	4.9
例14	$\Delta\epsilon > 0$	あり	SiN	7.8	209nm	水平配向膜2	3.9	208nm	20 μm	6.6
例15	$\Delta\epsilon > 0$	あり	SiN	7.8	209nm	水平配向膜3	5.1	201nm	20 μm	16.2
例16	$\Delta\epsilon > 0$	あり	SiN	7.8	209nm	水平配向膜1	3.7	50nm	10 μm	5.0
例17	$\Delta\epsilon > 0$	あり	SiN	7.8	209nm	水平配向膜2	3.9	52nm	10 μm	7.8
例18	$\Delta\epsilon > 0$	あり	SiN	7.8	209nm	水平配向膜3	5.1	50nm	10 μm	19.5
例19	$\Delta\epsilon > 0$	あり	SiN	7.8	1011nm	水平配向膜1	3.7	51nm	10 μm	2.3
例20	$\Delta\epsilon > 0$	あり	SiN	7.8	209nm	水平配向膜1	3.7	202nm	10 μm	2.2
例21	$\Delta\epsilon > 0$	あり	SiN	7.8	209nm	水平配向膜1	3.7	51nm	5 μm	3.8
例22	$\Delta\epsilon > 0$	あり	SiN	7.8	209nm	水平配向膜1	3.7	52nm	20 μm	15.3
例23	$\Delta\epsilon < 0$	なし				水平配向膜1	3.7	209nm	5 μm	4.0
例24	$\Delta\epsilon < 0$	なし				水平配向膜2	3.9	210nm	5 μm	5.9
例25	$\Delta\epsilon < 0$	なし				水平配向膜3	5.1	210nm	5 μm	16.5
例26	$\Delta\epsilon < 0$	なし				水平配向膜1	3.7	103nm	5 μm	10.9
例27	$\Delta\epsilon < 0$	なし				水平配向膜1	3.7	304nm	5 μm	3.4
例28	$\Delta\epsilon < 0$	あり	有機	3.5	2084nm	水平配向膜1	3.7	105nm	5 μm	0.5
例29	$\Delta\epsilon < 0$	なし				水平配向膜1	3.7	204nm	2 μm	2.1
例30	$\Delta\epsilon < 0$	あり	SiN	7.8	1011nm	水平配向膜1	3.7	51nm	10 μm	4.2
例31	$\Delta\epsilon < 0$	あり	SiN	7.8	1011nm	水平配向膜2	3.9	50nm	10 μm	6.9
例32	$\Delta\epsilon < 0$	あり	SiN	7.8	1011nm	水平配向膜3	5.1	50nm	10 μm	16.4
例33	$\Delta\epsilon < 0$	あり	SiN	7.8	2006nm	水平配向膜1	3.7	51nm	10 μm	2.3
例34	$\Delta\epsilon < 0$	あり	SiN	7.8	1011nm	水平配向膜1	3.7	50nm	5 μm	2.5
例35	$\Delta\epsilon < 0$	あり	SiN	7.8	209nm	水平配向膜1	3.7	206nm	10 μm	4.2
例36	$\Delta\epsilon < 0$	あり	SiN	7.8	209nm	水平配向膜2	3.9	203nm	10 μm	7.8
例37	$\Delta\epsilon < 0$	あり	SiN	7.8	209nm	水平配向膜3	5.1	207nm	10 μm	18.9
例38	$\Delta\epsilon < 0$	あり	SiN	7.8	209nm	水平配向膜1	3.7	52nm	5 μm	4.9
例39	$\Delta\epsilon < 0$	あり	SiN	7.8	209nm	水平配向膜2	3.9	52nm	5 μm	8.1
例40	$\Delta\epsilon < 0$	あり	SiN	7.8	209nm	水平配向膜3	5.1	52nm	5 μm	21.4
例41	$\Delta\epsilon < 0$	あり	SiN	7.8	1011nm	水平配向膜1	3.7	51nm	5 μm	2.8
例42	$\Delta\epsilon < 0$	あり	SiN	7.8	209nm	水平配向膜1	3.7	208nm	5 μm	2.5
例43	$\Delta\epsilon < 0$	あり	SiN	7.8	209nm	水平配向膜1	3.7	52nm	2 μm	4.1
例44	$\Delta\epsilon < 0$	あり	SiN	7.8	209nm	水平配向膜1	3.7	52nm	10 μm	12.7

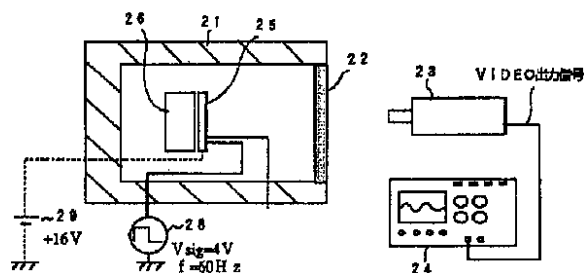
【図5】

図5



【図8】

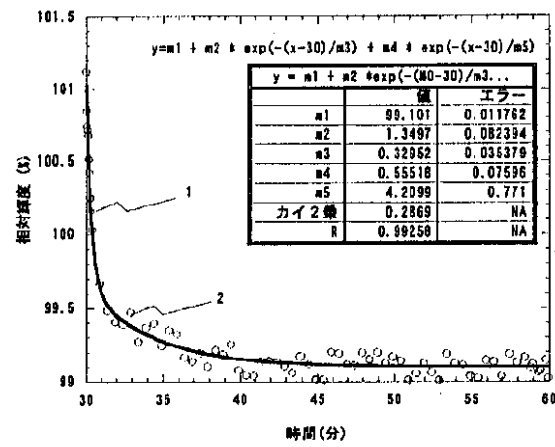
図8



【図9】

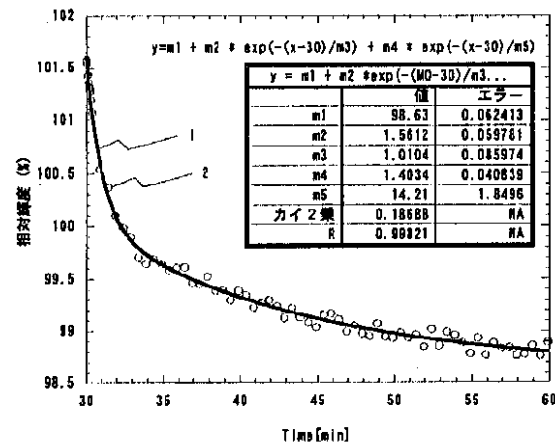
図9

(a)



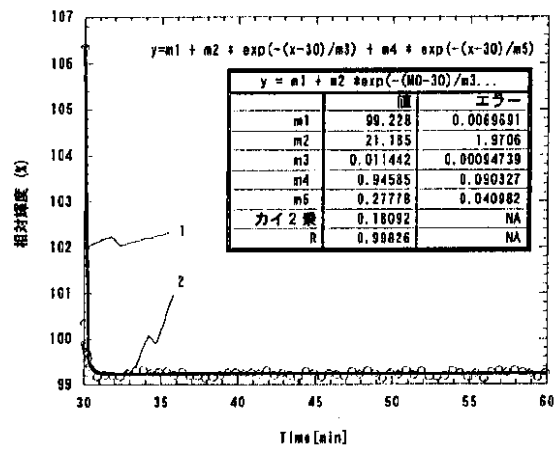
実施例1の輝度緩和曲線

(b)



実施例3の輝度緩和曲線

(c)



実施例6の輝度緩和曲線

フロントページの続き

(72)発明者	國松 登	F ターム(参考)	2H090	HB08X	JB02	KA04	KA18
	千葉県茂原市早野3300番地 株式会社日立			LA04	MA07	MB14	
	製作所ディスプレイグループ内		2H092	GA14	JA26	JA29	JA38 JA42
(72)発明者	小林 節郎			JA44	JB13	JB23	JB32 JB33
	千葉県茂原市早野3300番地 株式会社日立			JB38	JB51	JB57	JB63 JB69
	製作所ディスプレイグループ内			KA05	KA07	KB14	KB23 MA05
(72)発明者	石井 克彦			MA08	MA13	MA17	MA27 MA35
	千葉県茂原市早野3681番地 日立デバイス			MA37	NA04	NA25	NA27 PA02
	エンジニアリング株式会社内			QA06	QA18		
			5C094	AA13	BA03	BA44	CA19 DA15
				EA04	EA07	EB02	JA01 JA03
				JA08	JA11		

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002090714A	公开(公告)日	2002-03-27
申请号	JP2000276517	申请日	2000-09-12
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
[标]发明人	園田英博 國松登 小林節郎 石井克彦		
发明人	園田 英博 國松 登 小林 節郎 石井 克彦		
IPC分类号	G02F1/1333 G02F1/1337 G02F1/1343 G02F1/136 G02F1/1368 G09F9/30		
CPC分类号	G02F1/134363 G02F1/133345 G02F2001/133337		
FI分类号	G02F1/1333.505 G02F1/1337 G09F9/30.338 G09F9/30.348.A G02F1/136.500 G02F1/1368		
F-TERM分类号	2H090/HB08X 2H090/JB02 2H090/KA04 2H090/KA18 2H090/LA04 2H090/MA07 2H090/MB14 2H092/GA14 2H092/JA26 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JA44 2H092/JB13 2H092/JB23 2H092/JB32 2H092/JB33 2H092/JB38 2H092/JB51 2H092/JB57 2H092/JB63 2H092/JB69 2H092/KA05 2H092/KA07 2H092/KB14 2H092/KB23 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA17 2H092/MA27 2H092/MA35 2H092/MA37 2H092/NA04 2H092/NA25 2H092/NA27 2H092/PA02 2H092/QA06 2H092/QA18 5C094/AA13 5C094/BA03 5C094/BA44 5C094/CA19 5C094/DA15 5C094/EA04 5C094/EA07 5C094/EB02 5C094/JA01 5C094/JA03 5C094/JA08 5C094/JA11 2H190/HB08 2H190/JB02 2H190/KA04 2H190/KA18 2H190/LA04 2H192/AA24 2H192/BB02 2H192/BB53 2H192/BB66 2H192/CB05 2H192/CC04 2H192/EA22 2H192/EA43 2H192/EA62 2H192/GD12 2H192/JA32 2H290/AA73 2H290/BA04 2H290/BB64 2H290/BF13 2H290/CA33 2H290/CA46 2H290/DA01		
其他公开文献	JP2002090714A5		
外部链接	Espacenet		

摘要(译)

解决的问题：由于内部残余电压而导致难以引起显示图像的图像残留现象。将存在于液晶驱动电极与液晶层之间的绝缘膜层的极化弛豫时间常数 τ 设定为5分钟以内。

内装部	部材名	材料	仕様	寸法	数量	単位	重量	価格	備考
天井	(A.4)	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
001	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
002	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
003	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
004	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
005	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
006	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
007	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
008	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
009	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
010	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
011	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
012	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
013	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
014	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
015	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
016	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
017	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
018	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
019	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
020	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
021	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
022	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
023	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
024	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
025	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
026	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
027	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
028	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
029	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
030	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
031	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
032	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
033	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
034	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
035	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
036	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
037	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
038	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
039	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
040	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
041	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
042	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
043	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	
044	△	石膏ボード	1250mm	2440mm	10mm	1000	1000	1000	