

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2007/135803

発行日 平成21年10月1日(2009.10.1)

(43) 国際公開日 平成19年11月29日(2007.11.29)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 642A	2H193
G02F 1/133 (2006.01)	G09G 3/20 660V	5C006
	G09G 3/20 621A	5C080
	G09G 3/20 624B	

審査請求 有 予備審査請求 未請求 (全 28 頁) 最終頁に続く

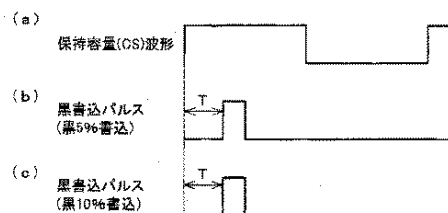
出願番号	特願2008-516574 (P2008-516574)	(71) 出願人	000005049 シャープ株式会社
(21) 国際出願番号	PCT/JP2007/055239		大阪府大阪市阿倍野区長池町22番22号
(22) 国際出願日	平成19年3月15日(2007.3.15)	(74) 代理人	110000338 特許業務法人原謙三国際特許事務所
(31) 優先権主張番号	特願2006-140921 (P2006-140921)	(72) 発明者	入江 健太郎 日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(32) 優先日	平成18年5月19日(2006.5.19)	(72) 発明者	北山 雅江 日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	下敷領 文一 日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置及びその駆動方法

(57) 【要約】

1 フレーム期間における一部に黒表示に相当する電圧を印加する。黒信号挿入期間が変更されたときに、第1又は第2保持容量配線の信号電圧における立ち上がり位置から、変更前の黒信号挿入期間における黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、第1又は第2保持容量配線の信号電圧における立ち上がり位置から、変更後の黒信号挿入期間における黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する。これにより、保持容量及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えることによって明・暗の副画素を形成させる表示パネルに黒挿入を行う場合に、表示パネルの画面の上下における輝度差の発生を防止し得るアクティブマトリクス型液晶表示装置及びその駆動方法を提供することができる。



(a) SUSTAIN CAPACITY (CS) WAVEFORM
 (b) BLACK WRITE-IN PULSE (BLACK 5% WRITE-IN)
 (c) BLACK WRITE-IN PULSE (BLACK 10% WRITE-IN)

【特許請求の範囲】

【請求項 1】

走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が周期的に印加されているアクティブマトリクス型液晶表示装置において、

1 フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入手段と、 10

上記黒信号挿入期間を変更する黒挿入率変更手段と、

上記第1の保持容量配線又は第2の保持容量配線の信号電圧が立ち上がるタイミングのうち、上記黒信号挿入期間の開始タイミングより前であって、該開始時間に最も近い立ち上がりタイミングである保持容量電圧立ち上がりタイミングと、上記黒信号挿入期間の開始タイミングとの時間差が、上記黒信号挿入期間の変更前後で同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化手段とが設けられていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】

上記保持容量位相不変化手段が、上記保持容量電圧立ち上がりタイミングと、上記黒信号挿入期間の最初に上記走査信号線に印加される黒挿入パルスの立ち上がりタイミングとの時間差が、上記黒信号挿入期間の変更前後で同じとなるように、変更後の黒信号挿入期間を制御することを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。 20

【請求項 3】

走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置において、 30

1 フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入手段と、

上記黒信号挿入期間を変更する黒挿入率変更手段と、

上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化手段とが設けられていることを特徴とするアクティブマトリクス型液晶表示装置。 40

【請求項 4】

走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置において、

1 フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示 50

示に相当する電圧を印加する黒信号挿入手段と、

上記黒信号挿入期間を変更する黒挿入率変更手段と、

上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変手法とが設けられていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項5】

10

上記黒信号挿入手段は、複数のデータ信号線におけるデータ信号の極性が反転するときに、所定黒信号挿入期間だけ各データ信号線の電圧を黒表示に相当する電圧とすることを特徴とする請求項1、3、または4記載のアクティブマトリクス型液晶表示装置。

【請求項6】

上記保持容量位相不変手法が、

上記黒信号挿入期間に対応する複数の値と、各値に対応する、上記黒信号挿入期間の開始タイミングとを格納した記憶手段を有するとともに、上記黒挿入率変更手段によって黒信号挿入期間が変更された場合に、上記記憶手段を参照することによって変更された黒信号挿入期間に対応する黒信号挿入期間の開始タイミングを特定することを特徴とする請求項1、3、または4記載のアクティブマトリクス型液晶表示装置。

20

【請求項7】

前記保持容量位相不変手法は、

前記変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、上記第1の保持容量配線又は第2の保持容量配線の信号電圧に対する位相が互いに変わらないように制御するための複数の各黒信号挿入期間の出力タイミングを格納した記憶手段を有していることを特徴とする請求項1、3、または4記載のアクティブマトリクス型液晶表示装置。

【請求項8】

上記記憶手段は、ルックアップテーブルからなっていることを特徴とする請求項6記載のアクティブマトリクス型液晶表示装置。

【請求項9】

30

走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が周期的に印加されているアクティブマトリクス型液晶表示装置の駆動方法において、

1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入工程と、

上記黒信号挿入期間を変更する黒挿入率変更工程と、

40

上記第1の保持容量配線又は第2の保持容量配線の信号電圧が立ち上がるタイミングのうち、上記黒信号挿入期間の開始タイミングより前であって、該開始時間に最も近い立ち上がりタイミングである保持容量電圧立ち上がりタイミングと、上記黒信号挿入期間の開始タイミングとの時間差が、上記黒信号挿入期間の変更前後で同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変工程とを含むことを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

【請求項10】

走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複

50

数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置の駆動方法において、

1 フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入工程と、

上記黒信号挿入期間を変更する黒挿入率変更工程と、

上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化工程とを含むことを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

10

【請求項11】

走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置の駆動方法において、

20

1 フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入工程と、

上記黒信号挿入期間を変更する黒挿入率変更工程と、

上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化工程とを含むことを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が2つの副画素から構成され、上記2つの副画素のうち一方の副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記2つの副画素のうち他方の第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置及びその駆動方法に関するものである。

40

【背景技術】

【0002】

CRT (CathodeRayTube: 陰極線管) のようなインパルス型の表示装置においては、個々の画素に着目すると、画像が表示される点灯期間と画像が表示されない消灯期間とが交互に繰り返される。例えば動画の表示が行われた場合にも、1画面分の画像の書き換えが行われる際に消灯期間が挿入されるため、人間の視覚に動いている物体の残像が生じることがない。

【0003】

50

これに対し、TFT (Thin Film Transistor: 薄膜トランジスタ) を使用した液晶表示装置のようなホールド型の表示装置では、個々の画素の輝度は各画素容量に保持される電圧によって決まり、画素容量における保持電圧は、一旦、書き換えられると1フレーム期間維持される。ホールド型表示装置では動画を表示した際にボケ現象(動画ボケ)が生じる。この動画ボケは、表示している動体を眼が追いかけること(視線追跡)によって生じる。

【0004】

そこで、アクティブマトリクス型の液晶表示装置等のようなホールド型の表示装置では、動画表示の際に動画ボケが生じるので、この動画ボケを改善する技術が提案されている。

10

【0005】

例えば、特許文献1では、上記の尾引残像を改善する方法として、1フレーム期間中に黒表示を行う期間を挿入する(以下「黒挿入」という)等により液晶表示装置における表示を(擬似的に)インパルス化するという方法が知られている。

【0006】

この特許文献1では、図11に示すように、例えば480本の走査線(ゲート線)を有する液晶表示パネルの場合、ゲート線Y1~Y480は、1フレーム周期中において画像信号を画素セルに書き込むために、タイミングを少しずらして順次立ち上げられる。480本全てのゲート線を立ち上げて、画像信号を画素セルに書き込むことにより、1フレーム周期が終了する。このとき、画像信号の書き込みのための立ち上げから、1/2フレーム周期程遅れて、ゲート線Y1~Y480を再度立ち上げて、各画素セルにデータ線Xを介して黒を表示する電位を供給する。これにより、各画素セルは黒表示状態となる。

20

【0007】

すなわち、各ゲート線Yは、1フレーム周期において、異なる期間で2回高レベルとなる。1回目の選択により画素セルは一定期間画像データを表示し、それに続く2回目の選択で、画素セルは強制的に黒表示を行う。このように、1フレーム期間内に画像表示期間と黒表示期間とを設けることによって、擬似的にホールド型駆動の表示状態からCRTのようなインパルス型駆動の表示に近づけることができ、動画表示の際に生じる動きぼけによる画質劣化を改善することが可能となる。

【0008】

垂直配向モード(VAモード)では、コントラストに優れているが、正面のガンマカーブと斜め視角のガンマカーブとが一致せず、正面に比べ斜め視角では画面全体が白っぽく(白浮きして)見える。斜め視角の白浮きを低減する技術として、例えば、特許文献3では、1絵素を複数の副絵素に分割(マルチ絵素構造)し、各副絵素間の輝度を異なるように設定している(マルチ絵素技術、面積階調技術と呼ばれる)。

30

【特許文献1】日本国公開特許公報「特開平11-109921号公報(1999年4月23日公開)」

【特許文献2】日本国公開特許公報「特開2005-345973号公報(2005年12月15日公開)」

【特許文献3】日本国公開特許公報「特開2004-62146号公報(2004年2月26日公開)」

40

【発明の開示】

【0009】

(発明が解決しようとする課題)

しかしながら、黒挿入技術とマルチ絵素技術を合わせて試作を行い、評価した結果、図12に示すように、表示パネルの画面の上下において輝度差が生じるという問題を有していることが分かった。

【0010】

この原因は、図13の(a)に示す保持容量CSの波形に対して、図13の(b)に示す位置に黒挿入を行う場合と、図13の(c)に示す位置に黒挿入を行う場合とでは、図

50

13の(a)に示す保持容量CSの波形の状態が異なる。この結果、保持容量CSの突き上げ量と突き下げ量とが変化するので、図12に示すように、表示パネルの画面の上下において輝度差が生じることによる。

【0011】

この問題は、特に、黒表示期間の割合を変化させる場合に発生し易い。例えば、特許文献2には、黒挿入率により黒書込みタイミングを変える点が開示されているが、表示パネルの画面の上下において輝度差が生じるという問題に対しては言及していない。

【0012】

本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、保持容量及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えることによって明・暗の副画素を形成させる表示パネルに黒挿入を行う場合に、表示パネルの画面の上下における輝度差の発生を防止し得るアクティブマトリクス型液晶表示装置及びその駆動方法を提供することにある。

【0013】

(課題を解決するための手段)

本発明のアクティブマトリクス型液晶表示装置は、上記課題を解決するために、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうち他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が周期的に印加されているアクティブマトリクス型液晶表示装置において、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入手段と、上記黒信号挿入期間を変更する黒挿入率変更手段と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧が立ち上がるタイミングのうち、上記黒信号挿入期間の開始タイミングより前であって、該開始時間に最も近い立ち上がりタイミングである保持容量電圧立ち上がりタイミングと、上記黒信号挿入期間の開始タイミングとの時間差が、上記黒信号挿入期間の変更前後で同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化手段とが設けられている構成である。

【0014】

また、本発明のアクティブマトリクス型液晶表示装置は、上記の構成において、上記保持容量位相不変化手段が、上記保持容量電圧立ち上がりタイミングと、上記黒信号挿入期間の最初に上記走査信号線に印加される黒挿入パルスの立ち上がりタイミングとの時間差が、上記黒信号挿入期間の変更前後で同じとなるように、変更後の黒信号挿入期間を制御する構成としてもよい。

【0015】

また、本発明のアクティブマトリクス型液晶表示装置の駆動方法は、上記課題を解決するために、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうち他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が周期的に印加されているアクティブマトリクス型液晶表示装置の駆動方法において、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入工程と、上記黒信号挿入期間を変更する黒挿入率変更工程と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧が立ち上がるタイミングのうち、上記黒信号挿入期間の開始タイミングより前であって、該開始時間に最も近い立ち上がりタイミングである保持容量電圧立ち上がりタイミングと、上記黒信号挿入期間の開始タイミングとの時間差が、上記黒信号

挿入期間の変更前後で同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化工程とを含む方法である。

【0016】

また、本発明のアクティブマトリクス型液晶表示装置は、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうち少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうち他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置において、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入手段と、上記黒信号挿入期間を変更する黒挿入率変更手段と、上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化手段とが設けられている構成である。

10

【0017】

また、本発明のアクティブマトリクス型液晶表示装置の駆動方法は、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうち少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうち他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置の駆動方法において、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入工程と、上記黒信号挿入期間を変更する黒挿入率変更工程と、上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化工程とを含む方法である。

20

30

【0018】

本発明では、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうち少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうち他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置を対象にしている。

40

【0019】

また、本発明では、擬似インパルス化を図るために、黒挿入を行う。具体的には、黒信号挿入手段が、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する。さらに、黒挿入率変更手段は、黒信号挿入期間を変更する。

【0020】

50

このようなアクティブマトリクス型液晶表示装置においては、黒挿入率の変更に伴い、保持容量電圧の波形との関係において、表示部に輝度差が生じることがある。この理由は、黒信号挿入期間が変更されたときに、該変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける各黒挿入パルスの最初の立ち上がり位置と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置との時間幅が互いに異なるからである。

【0021】

そこで、本発明では、この問題を解決するために、黒信号挿入期間が変更されたときに、第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化手段とが設けられている。

【0022】

したがって、保持容量及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えることによって明・暗の副画素を形成させる表示パネルに黒挿入を行う場合に、表示パネルの画面の上下における輝度差の発生を防止し得るアクティブマトリクス型液晶表示装置及びその駆動方法を提供することができる。

【0023】

また、本発明のアクティブマトリクス型液晶表示装置は、上記課題を解決するために、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置において、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入手段と、上記黒信号挿入期間を変更する黒挿入率変更手段と、上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化手段とが設けられていることを特徴としている。

【0024】

本発明のアクティブマトリクス型液晶表示装置の駆動方法は、上記課題を解決するために、走査信号線、データ信号線、及び上記走査信号線とデータ信号線との各交差部に画素を備えると共に、各画素が複数の副画素から構成され、上記複数の副画素のうちの少なくとも一つの副画素における第1副画素電極と容量を形成する第1の保持容量配線と、上記複数の副画素のうちの他の少なくとも一つの副画素における第2副画素電極と容量を形成する第2の保持容量配線とが設けられ、かつ上記第1の保持容量配線及び第2の保持容量配線には互いに逆の位相の信号電圧が印加されているアクティブマトリクス型液晶表示装置の駆動方法において、1フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する黒信号挿入工程と、上記黒信号挿入期間を変更する黒挿入率変更工程と、上記黒信号挿入期間が変更されたときに、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下

がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化工程とを含むことを特徴としている。

【0025】

すなわち、本発明では、黒信号挿入期間が変更されたときに、第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、制御する。

10

【0026】

これによっても、保持容量及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えることによって明・暗の副画素を形成させる表示パネルに黒挿入を行う場合に、表示パネルの画面の上下における輝度差の発生を防止し得るアクティブマトリクス型液晶表示装置及びその駆動方法を提供することができる。

【0027】

また、本発明のアクティブマトリクス型液晶表示装置では、前記黒信号挿入手段は、複数のデータ信号線におけるデータ信号の極性が反転するときに、所定黒信号挿入期間だけ各データ信号線の電圧を黒表示に相当する電圧とすることが好ましい。

【0028】

20

これにより、データ信号の極性が反転するときに、例えば、正極性から負極性へ直接変化するのではなく、正極性の電圧から、一旦、データ信号線の電圧を黒表示に相当する電圧を印加した後、負極性の電圧を印加する。したがって、電圧差が小さくなるので、消費電力を低減することができる。

【0029】

ここで、データ信号の極性が反転するときの黒表示に相当する電圧を印加する時間は、短時間であり、1回の黒表示に相当する電圧印加では、黒表示としては十分ではない。

【0030】

この点、ドット反転駆動においては、1フレーム期間中に何度も極性が反転する。したがって、この複数回の極性反転時毎に電圧を黒表示に相当する電圧を何度も印加することによって、黒電圧の書き込み不足を補うことができる。

30

【0031】

また、この黒電圧の書き込み方法では、画素データ書込のための画素容量での充電期間を短縮することなく、十分な黒挿入期間が確保される。また、黒挿入のためにソースドライバ等の動作速度を上げる必要もない。

【0032】

また、本発明のアクティブマトリクス型液晶表示装置では、前記保持容量位相不変化手段は、前記変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、上記第1の保持容量配線又は第2の保持容量配線の信号電圧に対する位相が互いに変わらないように制御するための複数の各黒信号挿入期間の出力タイミングを格納した記憶手段を有していることが好ましい。

40

【0033】

これにより、記憶手段に格納されているデータにより、変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、上記第1の保持容量配線又は第2の保持容量配線の信号電圧に対する位相が互いに変わらないように制御することができる。したがって、複雑な回路が不要である。

【0034】

また、本発明のアクティブマトリクス型液晶表示装置では、前記記憶手段は、ルックアップテーブルからなっていることが好ましい。

【0035】

50

これにより、有限の黒挿入率に対する最適な黒信号挿入期間の組み合わせを容易に求めることができる。

【0036】

(発明の効果)

本発明のアクティブマトリクス型液晶表示装置及びアクティブマトリクス型液晶表示装置の駆動方法は、以上のように、黒信号挿入期間が変更されたときに、第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する。

10

【0037】

本発明のアクティブマトリクス型液晶表示装置及びアクティブマトリクス型液晶表示装置の駆動方法は、黒信号挿入期間が変更されたときに、第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、上記第1の保持容量配線又は第2の保持容量配線の信号電圧における立ち下がり位置から、変更後の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変手法とが設けられている。

20

【0038】

それゆえ、保持容量及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えることによって明・暗の副画素を形成させる表示パネルに黒挿入を行う場合に、表示パネルの画面の上下における輝度差の発生を防止し得るアクティブマトリクス型液晶表示装置及びその駆動方法を提供するという効果を奏する。

【図面の簡単な説明】

【0039】

【図1】(a)(b)(c)は、本発明におけるアクティブマトリクス型液晶表示装置及びその駆動方法の実施の一形態を示すタイミングチャートである。

【図2】上記アクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

30

【図3】上記アクティブマトリクス型液晶表示装置の黒挿入のタイミングを示すタイミングチャートである。

【図4】上記アクティブマトリクス型液晶表示装置のマルチ絵素構造の画素の構造を示す平面図である。

【図5】上記アクティブマトリクス型液晶表示装置のマルチ絵素構造の画素の等価回路を示す回路図である。

【図6】上記マルチ絵素構造のアクティブマトリクス型液晶表示装置における駆動方法を示すタイミングチャートである。

【図7】上記アクティブマトリクス型液晶表示装置において、黒信号挿入期間が変更されたときに、該変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、第1の保持容量配線又は第2の保持容量配線の信号電圧に対する位相が互いに変わらない場合の駆動を示すタイミングチャートである。

40

【図8】上記アクティブマトリクス型液晶表示装置において、黒信号挿入期間が変更されたときに、該変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、第1の保持容量配線又は第2の保持容量配線の信号電圧に対する位相が互いに変わる場合の駆動を示すタイミングチャートである。

【図9】(a)は上記アクティブマトリクス型液晶表示装置における保持容量位相不変制御部の構成を示すブロック図であり、(b)はルックアップテーブルの格納内容を示す説明図である。

【図10】(a)(b)は3分割絵素を示す模式図であり、(c)は上記3分割マルチ絵

50

素構造の画素の構造を示す平面図である。

【図11】従来のアクティブマトリクス型液晶表示装置における黒挿入の駆動方法を示すタイミングチャートである。

【図12】上記アクティブマトリクス型液晶表示装置において、画面の上下において輝度差が生じている表示パネルを示す平面図である。

【図13】(a) (b) (c)は、上記アクティブマトリクス型液晶表示装置において、黒信号挿入期間が変更されたときに、該変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、第1の保持容量配線又は第2の保持容量配線の信号電圧に対する位相が互いに変わる場合の駆動を示すタイミングチャートである。

【符号の説明】

10

【0040】

4 TFT
 11 第1保持容量配線（第1の保持容量配線）
 12 第2保持容量配線（第2の保持容量配線）
 20 液晶表示装置
 21 表示部
 22 ゲートドライバ（黒信号挿入手段、黒挿入率変更手段）
 23 ソースドライバ（黒信号挿入手段、黒挿入率変更手段）
 24 表示制御回路（黒信号挿入手段、黒挿入率変更手段）
 30 保持容量位相不変化制御部（保持容量位相不変化手段、黒挿入制御手段）
 GL1～GLm ゲートライン（走査信号線）
 LUT ルックアップテーブル（記憶手段）
 P1 第1副画素
 P2 第2副画素
 Pb 黒電圧印加パルス
 SL1～SLn ソースライン（データ信号線）
 T 時間

20

【発明を実施するための最良の形態】

【0041】

本発明の一実施形態について図1ないし図9に基づいて説明すれば、以下の通りである 30

【0042】

本実施の形態の液晶表示装置20は、図2に示すように、アクティブマトリクス形の表示部21と、走査信号線駆動回路であるゲートドライバ22と、データ信号線駆動回路であるソースドライバ23と、ソースドライバ23及びゲートドライバ22を制御するための表示制御回路24とを備えている。

【0043】

上記表示部21は、複数本（m本）の走査信号線としてのゲートラインGL1～GLmと、それらゲートラインGL1～GLmのそれぞれと交差する複数本（n本）のデータ信号線としてのソースラインSL1～SLnと、それらのゲートラインGL1～GLmとソースラインSL1～SLnとの交差点にそれぞれ対応して設けられた複数個（m×n個）の画素形成部とを含んでいる。 40

【0044】

これらの画素形成部は、マトリクスに配置されて画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートラインGLjにゲート端子が接続される共に、該交差点を通過するソースラインSLiにソース端子が接続されたスイッチング素子であるTFT4と、そのTFT4のドレイン端子に接続された画素電極と、上記複数の画素形成部に共通的に設けられた対向電極である共通対向電極Ecと、上記複数の画素形成部に共通的に設けられ画素電極と共通対向電極Ecとの間に挟持された液晶層とからなっている。 50

【0045】

そして、画素電極と共通対向電極E_cとによって形成される液晶容量により、画素容量C_pが構成される。なお、本実施の形態では、後述するように、マルチ絵素構造を有しており、各画素は第1副画素P₁及び第2副画素P₂の2つに分かれている。この第1副画素P₁及び第2副画素P₂の具体的な構成については、後述する。

【0046】

上記各画素形成部における画素電極には、ソースドライバ23及びゲートドライバ22により表示すべき画像に応じた電位が与えられ、共通対向電極E_cには、図示しない電源回路から所定電位（「共通電極電位」と呼ぶ）V_{com}が与えられる。これにより、画素電極と共通対向電極E_cとの間の電位差に応じた電圧が液晶に印加され、この電圧印加によって液晶層に対する光の透過量が制御されることによって、画像表示が行われる。ただし、液晶層への電圧印加によって光の透過量を制御するためには偏光板が使用される。本実施形態では、ノーマリブラックとなるように偏光板が配置されているものとする。

10

【0047】

上記表示制御回路24は、外部の信号源から、表示すべき画像を表すデジタルビデオ信号D_vと、該デジタルビデオ信号D_vに対応する水平同期信号H_SY及び垂直同期信号V_SYと、表示動作を制御するための制御信号D_cとを受け取る。そして、それらデジタルビデオ信号D_v、水平同期信号H_SY、垂直同期信号V_SY、及び制御信号D_cに基づき、そのデジタルビデオ信号D_vの表す画像を表示部21に表示させるための信号として、データスタートパルス信号SSPと、データクロック信号SCKと、短絡制御信号C_{sh}と、表示すべき画像を表すデジタル画像信号DA（ビデオ信号D_vに相当する信号）と、ゲートスタートパルス信号GSPと、ゲートクロック信号GCKと、ゲートドライバ出力制御信号GOEとを生成して出力する。

20

【0048】

詳細には、表示制御回路24は、デジタルビデオ信号D_vを内部メモリにて必要に応じてタイミング調整等を行った後に、デジタル画像信号DAとして表示制御回路24から出力する。また、表示制御回路24は、そのデジタル画像信号DAの表す画像の各画素に対応するパルスからなる信号としてデータクロック信号SCKを生成し、水平同期信号H_SYに基づき1水平走査期間毎に所定期間だけハイレベル（Hレベル）となる信号としてデータスタートパルス信号SSPを生成する。さらに、表示制御回路24は、垂直同期信号V_SYに基づき、1フレーム期間（1垂直走査期間）毎に所定期間だけHレベルとなる信号としてゲートスタートパルス信号GSPを生成し、水平同期信号H_SYに基づき、ゲートクロック信号GCKを生成する。そして、水平同期信号H_SY及び制御信号D_cに基づき、短絡制御信号C_{sh}及びゲートドライバ出力制御信号GOE（GOE₁～GOE_q）を生成する。

30

【0049】

上述のようにして、表示制御回路24において生成された信号のうち、デジタル画像信号DAと短絡制御信号C_{sh}とソースドライバ23用のデータスタートパルス信号SSP及びデータクロック信号SCKとは、ソースドライバ23に入力される。一方、ゲートドライバ22用のゲートスタートパルス信号GSP及びゲートクロック信号GCKとゲートドライバ出力制御信号GOEとは、ゲートドライバ22に入力される。

40

【0050】

ソースドライバ23は、デジタル画像信号DAとデータスタートパルス信号SSP及びデータクロック信号SCKとに基づき、デジタル画像信号DAの表す画像の各水平走査線における画素値に相当するアナログ電圧としてデータ信号S(1)～S(n)を1水平走査期間毎に順次生成し、これらのデータ信号S(1)～S(n)をソースラインSL₁～SL_nにそれぞれ印加する。

【0051】

本実施の形態におけるソースドライバ23は、液晶層への印加電圧の極性が1フレーム期間毎に反転されると共に、各フレーム内において、1ゲートラインG₁～G_{2m}毎かつ

50

1ソースライン $SL_1 \sim SL_n$ 毎にも反転されるように、データ信号 $S(1) \sim S(n)$ が出力される駆動方式、つまりドット反転駆動方式が採用されている。したがって、ソースドライバ23は、ソースライン $SL_1 \sim SL_n$ への印加電圧の極性をソースライン $SL_1 \sim SL_n$ 毎に反転させ、かつ各ソースライン SL_i に印加されるデータ信号 $S(i)$ の電圧極性を1水平走査期間毎に反転させる。

【0052】

ここで、ソースライン $SL_1 \sim SL_n$ への印加電圧の極性反転の基準となる電位は、データ信号 $S(1) \sim S(n)$ の直流レベル（直流成分に相当する電位）であり、この直流レベルは、一般的には共通対向電極 E_c の直流レベルとは一致せず、各画素形成部におけるTFT4のゲート・ドレイン間の寄生容量 C_{gd} によるレベルシフト（フィールドスルー電圧） ΔV_d だけ共通対向電極 E_c の直流レベルと異なる。ただし、寄生容量 C_{gd} によるレベルシフト ΔV_d が液晶の光学的閾値電圧 V_{th} に対して十分に小さい場合には、データ信号 $S(1) \sim S(n)$ の直流レベルは共通対向電極 E_c の直流レベルに等しいとみなせるので、データ信号 $S(1) \sim S(n)$ の極性つまりソースライン $SL_1 \sim SL_n$ への印加電圧の極性は共通対向電極 E_c の電位を基準として1水平期間ごとに反転すると考えてもよい。

10

【0053】

ところで、本実施の形態の液晶表示装置20では、表示を擬似的にインパルス化する方法として、1フレーム期間中に黒表示を行う期間を挿入している（以下「黒挿入」という）。

20

【0054】

また、その黒挿入の仕方については、消費電力を低減するために、データ信号 $S(1) \sim S(n)$ の極性反転時に隣接ソースライン間が短絡されるチャージシェアリング方式を採用し、その短絡期間に黒挿入が行われるようになっている。

【0055】

このような、チャージシェアリング方式による黒挿入について、以下に詳細に説明する。

【0056】

先ず、図3の(a)に示すように、ソースドライバ23にて、1水平走査期間(1H)毎に極性の反転する映像信号としてアナログ電圧信号 $d(i)$ が生成される。表示制御回路24では、図3の(b)に示すように、各アナログ電圧信号 $d(i)$ の極性の反転時に所定期間(1水平ブランキング期間程度の短い期間) T_{sh} だけハイレベル(Hレベル)となる短絡制御信号 C_{sh} が生成される(以下、短絡制御信号 C_{sh} がハイレベル(Hレベル)となる期間を「短絡期間」という)。

30

【0057】

そして、上記短絡制御信号 C_{sh} が、ローレベル(Lレベル)のときには各アナログ電圧信号 $d(i)$ がデータ信号 $S(i)$ として出力され、短絡制御信号 C_{sh} がHレベルのときには隣接ソースラインが互いに短絡される。

【0058】

このとき、本実施形態では、ドット反転駆動が採用されていることから、隣接ソースラインの電圧は互いに逆極性であって、しかも、その絶対値は略等しい。したがって、各データ信号 $S(i)$ の値つまり各ソースライン SL_i の電圧は、短絡期間 T_{sh} においてデータ信号 $S(i)$ の直流レベル V_{SDC} に略等しくなる。また、短絡期間 T_{sh} の各ソースライン SL_i の電圧をある一定の電圧(例えば黒電圧)に設定してもよい。

40

【0059】

なお、このようにデータ信号の極性反転時に隣接ソースラインを短絡することによって、各ソースラインの電圧を黒電圧(データ信号 $S(i)$ の直流レベル V_{SDC} 又は共通電極電位 V_{com})に略等しくするという構成は、消費電力を低減するための手段として従来提案されており、図3に示した構成に限定されるものではない。

【0060】

50

このとき、ゲートドライバ22は、ゲートドライバ用のゲートスタートパルス信号GS P及びゲートクロック信号GCKと、ゲートドライバ出力制御信号GOEr ($r = 1, 2, \dots, q$) とに基づき、各データ信号S(1) ~ S(n)を各画素形成部の画素容量に書き込むために、デジタル画像信号DAの各フレーム期間(各垂直走査期間)においてゲートラインGL1 ~ GLmを略1水平走査期間ずつ順次選択すると共に、黒挿入のために、データ信号S(i) ($i = 1 \sim n$)の極性反転時に所定期間だけゲートラインGLj ($j = 1 \sim m$)を選択する。

【0061】

すなわち、ゲートドライバ22は、図3の(d)(e)に示すような画素データ書込パルスPwと黒電圧印加パルスPbとを含む走査信号G(1) ~ G(m)をゲートラインGL1 ~ GLmにそれぞれ印加し、これらのパルスPw・Pbが印加されているゲートラインGLjは選択状態となり、選択状態のゲートラインGLjに接続されたTF Tがオン状態となる(非選択状態のゲートラインに接続されたTF Tはオフ状態となる)。

【0062】

本実施形態では、図3の(d)(e)に示すように、各走査信号G(j)において、画素データ書込パルスPwと当該画素データ書込パルスPwの後に最初に現れる黒電圧印加パルスPbとの間は2/3フレーム期間であり、黒電圧印加パルスPbは、1フレーム期間(1V)において1水平走査期間(1H)の間隔で続いて3個現れる。

【0063】

次に、図3の(a) ~ (f)参照しつつ、上記のソースドライバ23及びゲートドライバ22による表示部21の駆動について説明する。

【0064】

表示部21における各画素形成部では、それに含まれるTF T4のゲート端子に接続されるゲートラインGLjに画素データ書込パルスPwが印加されることにより、TF T4がオンし、TF T4のソース端子に接続されるソースラインSLiの電圧がデータ信号S(i)の値として画素形成部に書き込まれる。すなわち、ソースラインSLiの電圧が画素容量Cpに保持される。その後、ゲートラインGLjは黒電圧印加パルスPbが現れるまでの期間Thdは非選択状態となるので、当該画素形成部に書き込まれた電圧がそのまま保持される。黒電圧印加パルスPbは、その非選択状態の期間(以下、「画像データ保持期間」という)Thdの後の短絡期間TshにゲートラインGLjに印加される。

【0065】

前述したように、短絡期間Tshでは、各データ信号S(i)の値つまり各ソースラインSLiの電圧は、データ信号S(i)の直流レベルに略等しくなる(つまり黒電圧となる)。したがって、当該ゲートラインGLjへの黒電圧印加パルスPbの印加により、当該画素形成部の画素容量Cpに保持される電圧は黒電圧に向かって変化する。

【0066】

しかし、黒電圧印加パルスPbのパルス幅は短いので、画素容量Cpにおける保持電圧を確実に黒電圧にするため、図3の(d)(e)に示すように、各フレーム期間において1水平走査期間(1H)の間隔で3個の黒電圧印加パルスPbが続けて当該ゲートラインGLjに印加される。これにより、当該ゲートラインGLjに接続される画素形成部によって形成される画素の輝度(画素容量Cpでの保持電圧によって決まる透過光量)L(j, i)は、図3の(f)に示すように変化する。したがって、各ゲートラインGLjに接続される画素形成部に対応する1表示ラインにおいて、画素データ保持期間Thdではデジタル画像信号DAに基づく表示が行われ、その後に上記3個の黒電圧印加パルスPbが印加されてから次に当該ゲートラインGLjに画素データ書込パルスPwが印加される時点までの期間Tbkでは黒表示が行われる。このようにして、黒表示の行われる期間(以下「黒表示期間」という)Tbkが各フレーム期間に挿入されることにより、液晶表示装置20によるインパルス化が行われる。

【0067】

図3の(d)(e)からも分かるように、画素データ書込パルスPwの現れる時点は走

査信号G (j) 毎に1水平走査期間(1H)ずつずれているので、黒電圧印加パルスP_bの現れる時点も走査信号G (j) 毎に1水平走査期間(1H)ずつずれている。

【0068】

したがって、黒表示期間T_{bk}も1表示ライン毎に1水平走査期間(1H)ずつずれて、全ての表示ラインにつき同じ長さの黒挿入が行われる。このようにして、画素データ書込のための画素容量C_pでの充電期間を短縮することなく、十分な黒挿入期間が確保される。また、黒挿入のためにソースドライバ23等の動作速度を上げる必要もない。

【0069】

一方、本実施の形態の液晶表示装置20は、チャージシェアリング方式による黒挿入に加えて、さらにマルチ絵素構造を有している。

10

【0070】

以下に、本実施の形態の液晶表示装置20におけるマルチ絵素構造について説明する。

【0071】

まず、マルチ絵素構造では、各赤(R)・緑(G)・青(B)の画素が2以上の副画素に分割され、副画素電極がそれぞれ個別に駆動される。

【0072】

このようなマルチ絵素構造が適用される場合、副画素のうちの少なくとも2つは輝度が互いに異なるものであることが好ましい。この形態によれば、1つの画素内に明るい副画素及び暗い副画素の両方が存在するため、面積階調によって中間調を表現することができ、液晶表示画面の斜め視角における白浮きを改善するのに好適である。また、このような、明るい副画素及び暗い副画素を形成するために、本実施の形態では、互いに逆の位相の信号電圧が印加される2以上の保持容量配線が設けられている。

20

【0073】

なお、2以上の保持容量配線に印加される互いに逆の位相の信号電圧とは、画素分割構造の画素において、面積階調を操作するために用いられる保持容量電圧のことを意味している。この保持容量電圧としては、ゲート信号のオフ後に、ソースから供給されるドレイン信号電圧(V_s)の突き上げに寄与する保持容量電圧(保持容量C_s極性が+)と、ドレイン信号電圧(V_s)の突き下げに寄与する保持容量電圧(保持容量C_s極性が-)との2種類がある。

【0074】

このような画素分割法(面積階調技術)においては、保持容量電圧、保持容量C_s及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えている。これにより、明・暗の副画素を形成させ、これらのマルチ絵素駆動を実現することができる。

30

【0075】

上記マルチ絵素構造を有するアクティブマトリクス基板10を備えた液晶表示装置20の構成を、図4に基づいて詳述する。図4は、1画素の構成を示す平面図である。

【0076】

同図に示すように、上記アクティブマトリクス基板10は、マトリクス状に配された画素領域1と、互いに直交するゲートラインGL₁、…、GL_j、GL_{j+1}、…、GL_m(列方向、図中左右方向)及びソースラインSL₁、…、SL_i、SL_{i+1}、…、SL_n(行方向、図中上下方向)と、第1保持容量配線11及び第2保持容量配線12とを備えている。

40

【0077】

画素領域1には、これらゲートラインGL_jとソースラインSL_iとの交差部分に、アクティブ素子であるスイッチング素子としてのTFT(Thin Film Transistor: 薄膜トランジスタ)4が設けられている。アクティブ素子であるTFT4は、ゲート電極として機能するゲートラインGL_jと、ソースラインSL_iに接続されたソース電極5と、互いに向かい合う第1ドレイン電極6a及び第2ドレイン電極6bとを備えている。この結果、上記TFT4は、ソース電極5とゲートラインGL_jに接続されるゲート電極と第1ドレイン電極6aとによって構成される第1TFT4aと、ソース電極5とゲートラインGL

50

jに接続されるゲート電極と第2ドレイン電極6bとによって構成される第2TF T4bとを含んでいる。

【0078】

そして、第1ドレイン電極6a及び第2ドレイン電極6bはそれぞれ、配線部を構成する導電層からなる第1ドレイン引出し配線7a及び第2ドレイン引出し配線7bに接続されている。第1ドレイン引出し配線7a及び第2ドレイン引出し配線7bは、それぞれ層間絶縁膜を貫く第1コンタクトホール8a及び第2コンタクトホール8bを介して第1副画素電極1a及び第2副画素電極1bと接続されている。

【0079】

上記構成のアクティブマトリクス基板10の各画素では、図5に示す等価回路が実現される。 10

【0080】

すなわち、第1副画素電極1aが第1TF T4aを介してソースラインSLiに接続され、第2副画素電極1bが第2TF T4bを介してソースラインSL1~SLnに接続される。なお、第1TF T4a及び第2TF T4bのゲートはいずれもゲートラインGLjに接続される。また、第1副画素電極1aに接続された第1保持容量上電極9aと第1保持容量配線11との間で第1保持容量(Strage Capacitor) Ccs1が形成され、第2副画素電極1bに接続された第2保持容量上電極9bと第2保持容量配線12との間で第2保持容量Ccs2が形成される。なお、第1保持容量配線11及び第2保持容量配線12には、互いに異なる保持容量信号(補助容量対向電圧)が供給される。 20

【0081】

同図に示すように、第1副画素電極1a、共通対向電極Ec、及び両者間の液晶層によって第1副画素容量Cp1が構成され、第2副画素電極1b、共通対向電極Ec、及び両者間の液晶層によって第2副画素容量Cp2が構成される。

【0082】

次に、この保持容量信号を用いた駆動方法の一例について、上記図5に示す画素の等価回路と、各信号の電圧波形(タイミング)を示した図6の(a)(b)とに基づいて説明する。図6の(a)はnフレーム目の駆動波形を示すものであり、図6の(b)はn+1フレーム目の駆動波形を示すものである。なお、図6の(b)は図6の(a)に対して極性反転したものとなっている。また、この駆動方法は、単に、マルチ絵素構造の駆動方法を示すものであって、黒挿入技術に関する内容は省略されている。 30

【0083】

先ず、図6の(a)(b)に示した電圧波形によれば、第1副画素P1が明副画素となり、第2副画素P2が暗副画素となる。Vgはゲート電圧を示し、Vsはソース電圧を示し、Vcs1・Vcs2は第1副画素P1及び第2副画素P2のそれぞれの保持容量ラインCS1・CS2の電圧を示し、Vlc1及びVlc2はそれぞれ第1副画素P1及び第2副画素P2の画素電極の電圧を示す。

【0084】

本実施の形態では、図6の(a)に示すように、nフレーム目にソース電圧の中央値Vscに対して、プラス極性としてソース電圧にVspを与え、図6の(b)に示すように、次の(n+1)フレーム目にマイナス極性としてソース電圧にVsnを与え、かつ、フレーム毎にドット反転を行う。保持容量ラインCS1・CS2には、第1保持容量電圧Vcs1及び第2保持容量電圧Vcs2を振幅電圧Vadで振幅させ、保持容量ラインCS1の位相と保持容量ラインCS2の位相とを180度ずらした信号を入力する。 40

【0085】

図6の(a)を参照して、nフレーム目のときの各信号の電圧の経時変化を説明する。

【0086】

時刻T1のとき、ゲート電圧VgがVgLからVgHに変化し、両副画素の第1TF T4a及び第2TF T4bがON状態となり、第1液晶容量Clc1・第2液晶容量Clc2及び第1保持容量Ccs1・第2保持容量Ccs2にVspの電圧が印加される。 50

【0087】

時刻T2のとき、ゲート電圧V_gがV_{gH}からV_{gL}に変化し、第1副画素P1及び第2副画素P2の第1TFT4a及び第2TFT4bがOFF状態となり、第1液晶容量C_{lc1}・第2液晶容量C_{lc2}及び第1保持容量C_{cs1}・第2保持容量C_{cs2}がソースラインSL1～SL_nと電気的に絶縁される。なお、この直後に寄生容量等の影響による引き込み現象のために、第1副画素P1及び第2副画素P2のそれぞれに概ね同一の引き込み電圧が発生し、各第1副画素P1及び第2副画素P2の第1副画素電圧V_{lc1}及び第2副画素電圧V_{lc2}は、

$$V_{lc1} = V_{sp} - V_d$$

$$V_{lc2} = V_{sp} - V_d$$

となる。

10

【0088】

また、このとき、第1保持容量電圧V_{cs1}及び第2保持容量電圧V_{cs2}は、

$$V_{cs1} = V_{com} - V_{ad}$$

$$V_{cs2} = V_{com} + V_{ad}$$

である。

【0089】

なお、引き込み電圧V_dは、下記の式のようにになる。

【0090】

$$V_d = (V_{gH} - V_{gL}) \times C_{gd} / (C_{lc}(V) + C_{gd} + C_{cs})$$

20

ここで、V_{gH}及びV_{gL}はそれぞれ第1TFT4a及び第2TFT4bのゲートオン時の電圧及びゲートオフ時の電圧、C_{gd}は第1TFT4a及び第2TFT4bのゲートとドレインとの間に生じる寄生容量、C_{lc}(V)は液晶容量の静電容量(容量値)、C_{cs}は保持容量の静電容量(容量値)を示す。

【0091】

次に、時刻T3のとき、保持容量ラインCS1の第1保持容量電圧V_{cs1}がV_{com} - V_{ad}からV_{com} + V_{ad}へ変化し、保持容量ラインCS2の第2保持容量電圧V_{cs2}がV_{com} + V_{ad}からV_{com} - V_{ad}へ変化する。このとき各第1副画素P1及び第2副画素P2の第1副画素電圧V_{lc1}及び第2副画素電圧V_{lc2}は、

$$V_{lc1} = V_{sp} - V_d + 2 \times K \times V_{ad}$$

30

$$V_{lc2} = V_{sp} - V_d - 2 \times K \times V_{ad}$$

となる。ただし、K = C_{cs} / (C_{lc}(V) + C_{cs})である。

【0092】

時刻T4では、第1保持容量電圧V_{cs1}がV_{com} + V_{ad}からV_{com} - V_{ad}へ変化し、第2保持容量電圧V_{cs2}がV_{com} - V_{ad}からV_{com} + V_{ad}へ変化する。このとき第1副画素電圧V_{lc1}及び第2副画素電圧V_{lc2}は、

$$V_{lc1} = V_{sp} - V_d$$

$$V_{lc2} = V_{sp} - V_d$$

となる。

40

【0093】

時刻T5では、第1保持容量電圧V_{cs1}がV_{com} - V_{ad}からV_{com} + V_{ad}へ変化し、第2保持容量電圧V_{cs2}がV_{com} + V_{ad}からV_{com} - V_{ad}へ変化する。このとき第1副画素電圧V_{lc1}及び第2副画素電圧V_{lc2}は、

$$V_{lc1} = V_{sp} - V_d + 2 \times K \times V_{ad}$$

$$V_{lc2} = V_{sp} - V_d - 2 \times K \times V_{ad}$$

となる。

【0094】

後は、次にV_g = V_{gH}となり書き込みが行われるまで、水平走査期間1Hの整数倍毎に、第1保持容量電圧V_{cs1}及び第2保持容量電圧V_{cs2}と第1副画素電圧V_{lc1}及び第2副画素電圧V_{lc2}とは、時刻T4と時刻T5との動作を交互に繰り返す。した

50

がって、第1副画素電圧 V_{1c1} 及び第2副画素電圧 V_{1c2} の実効値は、

$$V_{1c1} = V_{sp} - V_d + K \times V_{ad}$$

$$V_{1c2} = V_{sp} - V_d - K \times V_{ad}$$

となる。

【0095】

n フレーム目において、各副画素の液晶層に印加される実効電圧は、

$$V_1 = V_{sp} - V_d + K \times V_{ad} - V_{com}$$

$$V_2 = V_{sp} - V_d - K \times V_{ad} - V_{com}$$

となるため、第1副画素 P_1 が明副画素となり、第2副画素 P_2 が暗副画素となる。

【0096】

10

以上のように、本実施の形態のアクティブマトリクス基板10を備えた液晶表示装置では、上述したマルチ画素駆動が行われる。なお、ここでは寄生容量すなわちソースライン $SL_1 \sim SL_n$ と第1副画素電極1a・第2副画素電極1bとの寄生容量等は省略して説明した。また、ここでは簡易的に第1保持容量電圧 V_{cs1} の位相と第2保持容量電圧 V_{cs2} の位相とを180度ずらしているが、1画素を形成する副画素が明画素と暗画素となればよいので必ずしも位相のずれが180度でなくても構わない。また、第1保持容量電圧 V_{cs1} 及び第2保持容量電圧 V_{cs2} のパルス幅を V_s と同等としたがこれに限らず、例えば大型高精細の液晶表示装置を駆動する場合の保持容量信号遅延による保持容量の充電不足を考慮してパルス幅を変更すればよい。

【0097】

20

ここで、上記マルチ画素構造の液晶表示装置20において、前述のチャージシェアリング方式による黒挿入技術を適用する。

【0098】

この場合の駆動動作を、図7に基づいて説明する。

【0099】

同図に示すように、第1フレームにおいて、例えば、画面の第1ラインにおいて、第1保持容量電圧 V_{cs1} が矩形波にて印加されている。このとき、ゲートライン GL_1 に画素データ書込パルス P_w 及び黒電圧印加パルス P_b を印加する。このときの黒電圧印加パルス P_b の挿入割合は、例えば1フレームの30%とする。

【0100】

30

この黒電圧印加パルス P_b の最後のパルスの印加時には、同図に示すように、第1保持容量電圧 V_{cs1} の波形は、突き上げとなっている。したがって、ドレイン電圧 $D(1)$ もそれに伴う挙動を示す。

【0101】

同様に、画面の第 j ラインにおいて、第1保持容量電圧 V_{cs1} が矩形波にて印加されている。このとき、ゲートライン GL_j に画素データ書込パルス P_w 及び黒電圧印加パルス P_b を印加する。この黒電圧印加パルス P_b の最後のパルスの印加時には、同図に示すように、第1保持容量電圧 V_{cs1} の波形は、突き上げとなっている。したがって、ドレイン電圧 $D(j)$ もそれに伴う挙動を示す。すなわち、第1ラインと同様の挙動を示す。

【0102】

40

したがって、ドレイン電圧と対向電圧(V_{com})との間の液晶の実効印加電圧が1ライン目と j ライン目とで同じであり、輝度差は生じないため、表示部21は、同図7に示すように、均一な表示となっている。

【0103】

ところで、チャージシェアリング方式による黒挿入においては、黒電圧印加パルス P_b のタイミングを変えることによって黒挿入率が可変である。動きの多い表示映像には黒挿入率を高めて動画ボケを低減させたり、静止画の場合には黒挿入を止めてホールド表示にしたりする等が可能である。

【0104】

例えば、黒挿入の割合を上記の1フレーム中30%から25%に変える場合を考える。

50

この場合の駆動動作を図8に基づいて説明する。

【0105】

すなわち、同図に示すように、第1フレームにおいて、例えば、画面の第1ラインにおいて、第1保持容量電圧 V_{cs1} が矩形波にて印加されている。このとき、ゲートライン GL_1 に画素データ書込パルス P_w 及び黒電圧印加パルス P_b を印加する。

【0106】

この黒電圧印加パルス P_b の最後のパルスの印加時には、同図に示すように、第1保持容量電圧 V_{cs1} の波形は、突き上げとなっている。したがって、ドレイン電圧 $D(1)$ もそれに伴う挙動を示す。ここまでは、上述の図7と同じである。

【0107】

10

しかしながら、例えば、画面の第 j ラインにおいて、第1保持容量電圧 V_{cs1} が矩形波にて印加されている。このとき、ゲートライン GL_j に画素データ書込パルス P_w 及び黒電圧印加パルス P_b を印加する。この黒電圧印加パルス P_b の最後のパルスの印加時には、同図に示すように、第1保持容量電圧 V_{cs1} の波形は、突き下げとなっている。したがって、ドレイン電圧 $D(j)$ もそれに伴う挙動を示す。その結果、同図に示すように、第1ラインとは異なる挙動を示す。

【0108】

したがって、ドレイン電圧と対向電圧(V_{com})との間の液晶の実効印加電圧が1ライン目と j ライン目とで異なるため、表示部21は、同図8に示すように、輝度差が生じた状態となる。

20

【0109】

液晶の実効印加電圧が異なる原因は、従来例の説明図である図13の(a)(b)(c)に示すように、黒電圧印加パルス P_b の印加の第1保持容量電圧 V_{cs1} の矩形波に対する位相が異なっているためである。

【0110】

本実施の形態の液晶表示装置20では、この問題を解決するために、図1の(a)(b)(c)に示すように、第1保持容量電圧 V_{cs1} の矩形波に対する黒電圧印加パルス P_b の印加の位相を合わすようにしている。

【0111】

具体的には、図9の(a)に示すように、保持容量位相不変化制御部30が設けられており、この保持容量位相不変化制御部30に設けられた記憶手段としてのルックアップテーブルLUTにて、位相が揃うように制御している。

30

【0112】

すなわち、ルックアップテーブルLUTには、ある黒挿入率に対して、黒電圧印加パルス P_b と保持容量電圧 V_{cs} の波形の位相関係を一定に保つために、図9の(b)に示すように、黒挿入率と黒電圧印加パルス P_b の出力タイミングとの組み合わせが格納されている。ここで、

黒挿入率 = 黒書き込み期間 / 1フレーム

= 黒電圧印加パルス P_b の出力タイミング / V_{total}

と定義する。また、この V_{total} とは、1フレームのゲートクロック信号 GCK 数をいう。また、黒電圧印加パルス P_b の出力タイミングとは、1フレームの開始から黒電圧印加パルス P_b が出力されるまでのゲートクロック信号 GCK の数を示している。

40

【0113】

ここで、本実施の形態の液晶表示装置20は、例えば、走査信号線数($VDISP$) = 1080、データ信号線数($HDISP$) = 1920のフルハイビジョン(FHD: Full High Definition)の表示部21を有している。

【0114】

この場合において、例えば、黒挿入率 = 26%、 V_{total} = 1112の場合、黒電圧印加パルス P_b の出力タイミングは、 $V_{total} - 289 = 1112 - 289 = 823$ となる。したがって、ゲートクロック信号 GCK 数 V が823の位置から黒電圧印加パルス P_b を

50

出力し始めれば、黒電圧印加パルス P_b と保持容量電圧 V_{cs} との位相関係を一定に保つことができる。

【0115】

本実施の形態のルックアップテーブル LUT では、黒挿入率を最大 30% として、0~30% の間を 16 段階にして値を設定している。ただし、必ずしもこれに限らず、使用する黒挿入率に応じて、ルックアップテーブル LUT を作成すればよい。

【0116】

上記のルックアップテーブル LUT を用いて、黒電圧印加パルス P_b の出力タイミングを求める方法について説明する。

【0117】

すなわち、図 9 の (a) に示すように、ゲートスタートパルス信号 GSP とゲートクロック信号 GCK とから V カウンタ 31 にてゲートクロック信号 GCK 数をカウントし、 V_{total} を求める。そして、求めた V_{total} と黒挿入率とからルックアップテーブル LUT を参照して、黒電圧印加パルス P_b の挿入開始出力タイミングを算出し、ゲートクロック信号 GCK 数をカウントし、黒電圧印加パルス P_b の挿入開始出力タイミングと一致したときに黒電圧印加パルス P_b を出力し始める。

10

【0118】

なお、本実施の形態においては、画素が 2 つの副画素から構成されているマルチ絵素駆動について説明したが、必ずしもこれに限らず、本発明においては、画素が複数の副画素から構成されるマルチ絵素駆動の場合においても、適用が可能である。

20

【0119】

すなわち、図 10 の (a) (b) に示すように、1 つ画素を、例えば、3 つの副画素に分割することが可能である。この 3 分割絵素においては、副絵素 1 と副絵素 3 とが同じ輝度であり、副絵素 2 は副絵素 1 及び副絵素 3 とは輝度が異なっている。このようなマルチ絵素駆動を行うためには、例えば図 10 の (c) に示すように、副絵素 1 の画素電極と副絵素 3 の画素電極とを導通させて、同じ輝度にする。このときには、前述したと同様の第 1 保持容量配線 11 及び第 2 保持容量配線 12 の 2 種類の配線にて駆動することができる。

【0120】

このように、本実施の形態のアクティブマトリクス型の液晶表示装置 20 及びその駆動方法では、ゲートライン $GL_1 \sim GL_m$ 、ソースライン $SL_1 \sim SL_n$ 、及びこれらの各交差部に画素を備えると共に、各画素が 2 つの副画素から構成される。これら 2 つの第 1 副画素 P_1 及び第 2 副画素 P_2 のうちの一方の副画素における第 1 副画素電極 1a と容量を形成する第 1 保持容量配線 11 と、2 つの副画素のうちの他方の第 2 副画素電極 1b と容量を形成する第 2 保持容量配線 12 とが設けられる。そして、第 1 保持容量配線 11 及び第 2 保持容量配線 12 には互いに逆の位相の信号電圧が印加されている。なお、画素が複数の副画素から構成される場合においても、適用が可能である。

30

【0121】

また、本実施の形態では、擬似インパルス化を図るために、黒挿入を行う。具体的には、黒信号挿入手段としての表示制御回路 24、ゲートドライバ 22 及びソースドライバ 23 が、1 フレーム期間における一部の黒信号挿入期間だけ、各データ信号線の電圧として黒表示に相当する電圧を印加する。さらに、黒挿入率変更手段としての表示制御回路 24、ゲートドライバ 22 及びソースドライバ 23 は、黒信号挿入期間を変更する。

40

【0122】

このようなアクティブマトリクス型の液晶表示装置 20 においては、黒挿入率の変更に伴い、保持容量電圧の波形との関係において、表示部 21 に輝度差が生じることがある。

【0123】

そこで、本実施の形態では、この問題を解決するために、黒信号挿入期間が変更されたときに、第 1 保持容量配線 11 又は第 2 保持容量配線 12 の信号電圧における立ち上がり位置から、変更前の該黒信号挿入期間における黒信号挿入期間の最初の黒挿入パルスの立

50

ち上がり位置までの時間Tと、第1保持容量配線11又は第2保持容量配線12の信号電圧における立ち上がり位置から、変更後の該黒信号挿入期間における黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間Tとが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化制御部30が設けられている。

【0124】

また、本実施の形態では、この問題を解決するために、黒信号挿入期間が変更されたときに、第1保持容量配線11又は第2保持容量配線12の信号電圧における立ち下がり位置から、変更前の該黒信号挿入期間における上記黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間と、第1保持容量配線11又は第2保持容量配線12の信号電圧における立ち下がり位置から、変更後の該黒信号挿入期間における黒信号挿入期間の最初の黒挿入パルスの立ち上がり位置までの時間とが同じとなるように、変更後の黒信号挿入期間を制御する保持容量位相不変化制御部30が設けられている。

10

【0125】

したがって、保持容量及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えることによって明・暗の副画素を形成させる表示パネルに黒挿入を行う場合に、表示パネルの画面の上下における輝度差の発生を防止し得るアクティブマトリクス型の液晶表示装置20及びその駆動方法を提供することができる。

【0126】

また、本実施の形態のアクティブマトリクス型の液晶表示装置20では、黒信号挿入期間が変更されたときに、該変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける各最後の位置が、第1保持容量配線11又は第2保持容量配線12の信号電圧に対する位相が互いに変わらないように制御することによって、確実に、表示部に輝度差が生じることを防止することができるようになっている。

20

【0127】

また、本実施の形態のアクティブマトリクス型の液晶表示装置20では、複数のソースラインSL1～SLnにおけるデータ信号の極性が反転するときに、所定黒信号挿入期間だけ各データ信号線の電圧を黒表示に相当する電圧としている。

【0128】

これにより、データ信号の極性が反転するときに、例えば、正極性から負極性へ直接変化するのではなく、正極性の電圧から、一旦、データ信号線の電圧を黒表示に相当する電圧を印加した後、負極性の電圧を印加する。したがって、電圧差が小さくなるので、消費電力を低減することができる。

30

【0129】

また、ドット反転駆動においては、1フレーム期間中に何度も極性が反転する。したがって、この複数回の極性反転時毎に電圧を黒表示に相当する電圧を何度も印加することによって、黒電圧の書き込み不足を補うことができる。

【0130】

また、この黒電圧の書き込み方法では、画素データ書込のための画素容量での充電期間を短縮することなく、十分な黒挿入期間が確保される。また、黒挿入のためにソースドライバ等の動作速度を上げる必要もない。

40

【0131】

また、本実施の形態のアクティブマトリクス型の液晶表示装置20では、変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、第1保持容量配線11又は第2保持容量配線12の信号電圧に対する位相が互いに変わらないように制御するための複数の各黒信号挿入期間の出力タイミングを格納した記憶手段を有している。

【0132】

これにより、記憶手段に格納されているデータにより、変更前の黒信号挿入期間と変更後の黒信号挿入期間とにおける、第1保持容量配線11又は第2保持容量配線12の信号電圧に対する位相が互いに変わらないように制御することができる。したがって、複雑な回路が不要である。

50

【0133】

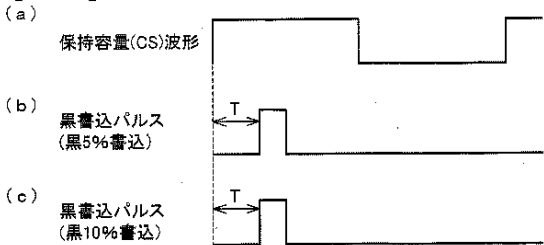
また、本実施の形態のアクティブマトリクス型の液晶表示装置20では、記憶手段は、ルックアップテーブルLUTからなっている。これにより、有限の黒挿入率に対する最適な黒信号挿入期間の組み合わせを容易に求めることができる。

【産業上の利用の可能性】

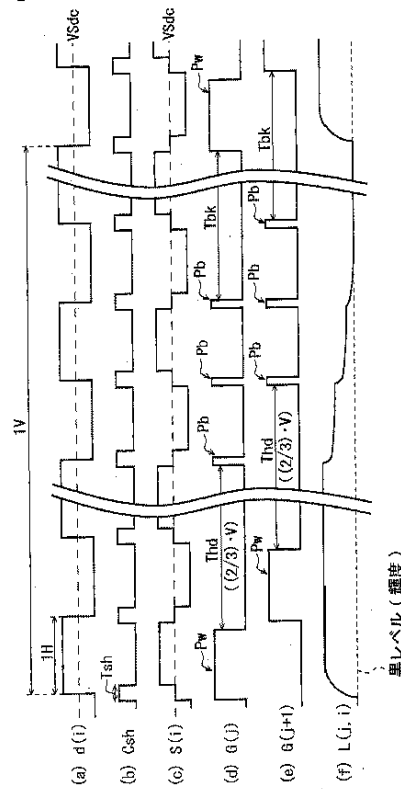
【0134】

本発明は、保持容量及び液晶容量の容量結合により、画素毎への実効電圧を副画素毎に代えることによって明・暗の副画素を形成させるマルチ絵素構造の表示パネルに黒挿入を行うアクティブマトリクス型液晶表示装置及びその駆動方法に適用することができる。

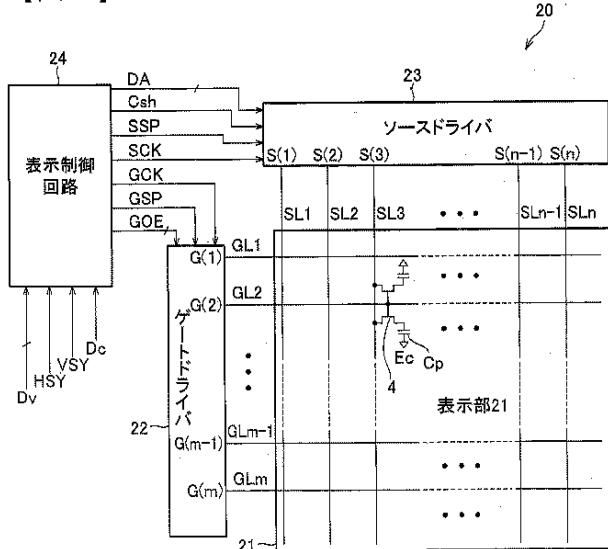
【図1】



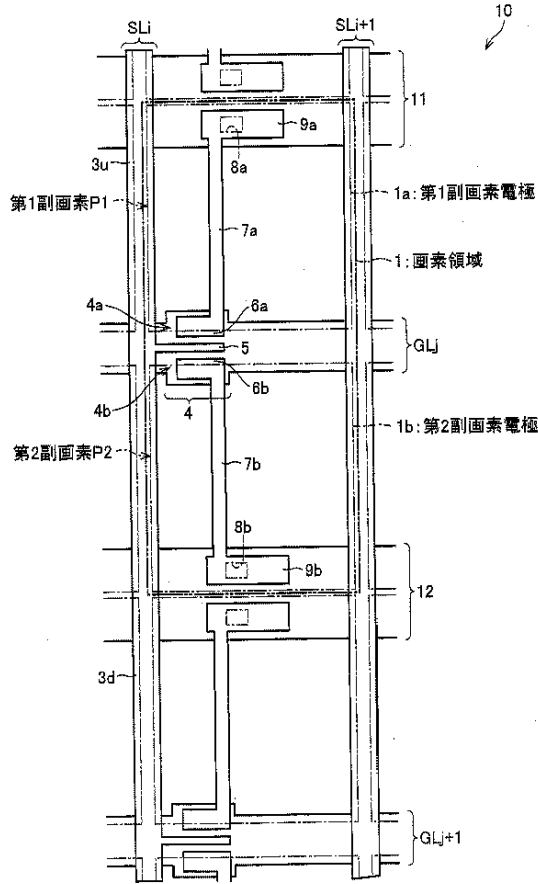
【図3】



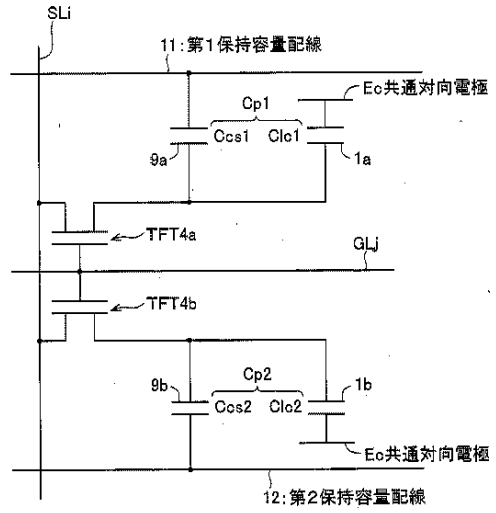
【図2】



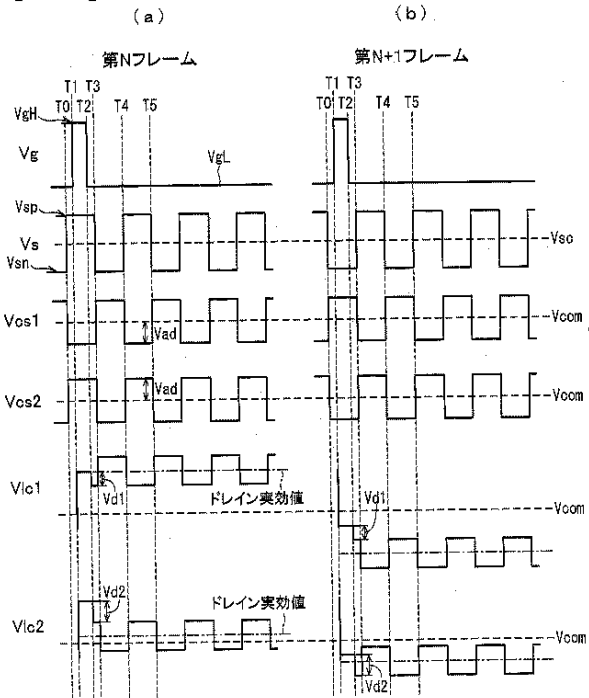
【図4】



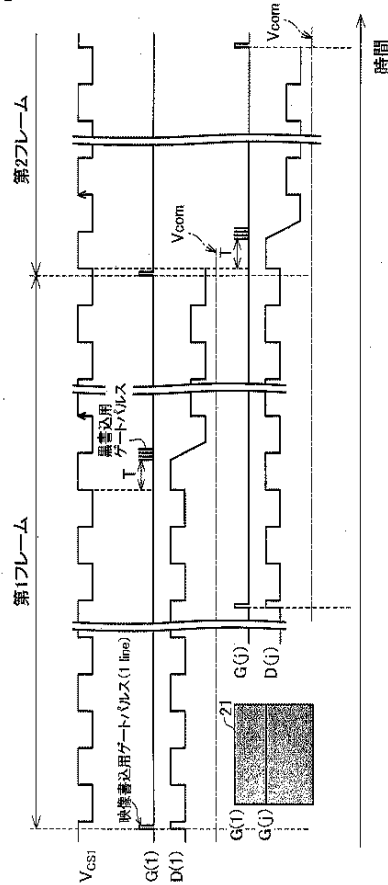
【図5】



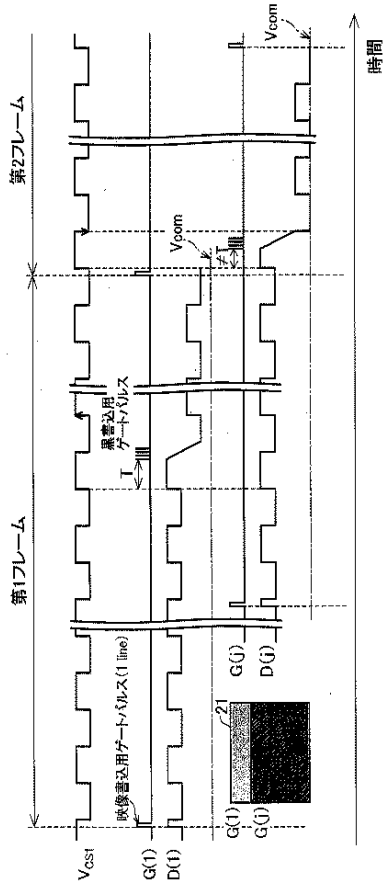
【図6】



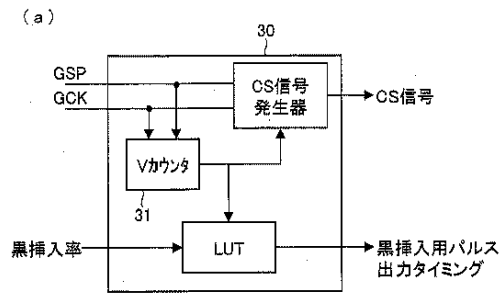
【図7】



【図 8】



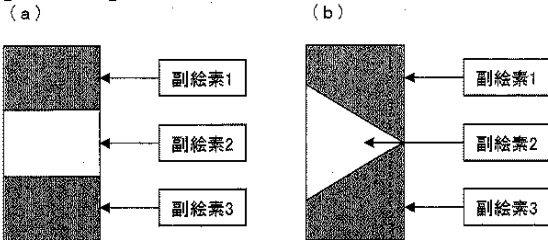
【図 9】



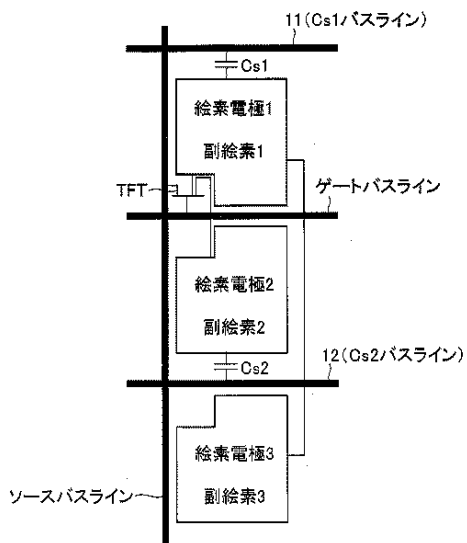
(b)

黒挿入率	黒挿入用パルス 出力タイミング
30%	Vtotal-329
28%	Vtotal-309
26%	Vtotal-289
24%	Vtotal-269
22%	Vtotal-249
21%	Vtotal-229
19%	Vtotal-209
17%	Vtotal-189
15%	Vtotal-169
13%	Vtotal-149
12%	Vtotal-129
10%	Vtotal-109
8%	Vtotal-89
6%	Vtotal-69
4%	Vtotal-49
3%	Vtotal-29

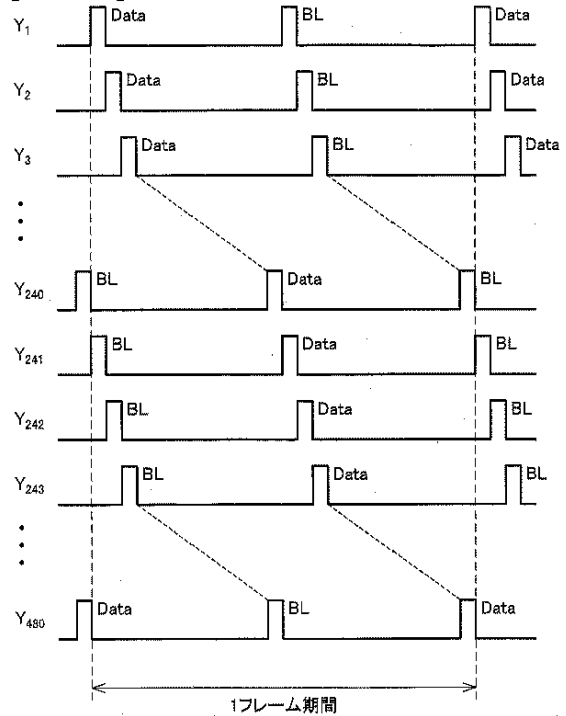
【図 10】



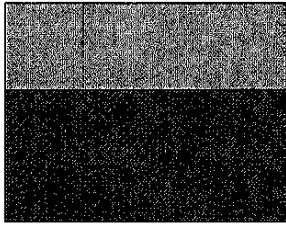
(c)



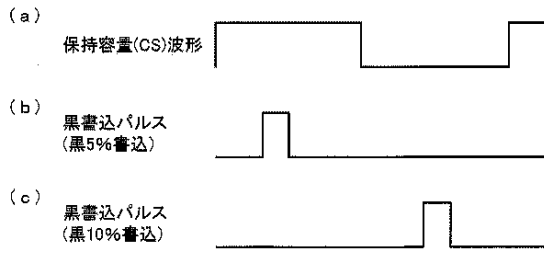
【図 11】



【図12】



【図13】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2007/055239
A. CLASSIFICATION OF SUBJECT MATTER G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/36, G02F1/133, G02F1/1368, G09G3/20 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2006/049245 A1 (Sharp Corp.), 11 May, 2006 (11.05.06), Full text; all drawings (Family: none)	1-11
A	JP 2005-345973 A (Toshiba Matsushita Display Technology Kabushiki Kaisha), 15 December, 2005 (15.12.05), Full text; all drawings & US 2005/0270282 A1	1-11
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 23 May, 2007 (23.05.07)		Date of mailing of the international search report 05 June, 2007 (05.06.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 0 7 / 0 5 5 2 3 9									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/36, G02F1/133, G02F1/1368, G09G3/20											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2007年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2007年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2007年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2007年	日本国実用新案登録公報	1996-2007年	日本国登録実用新案公報	1994-2007年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2007年										
日本国実用新案登録公報	1996-2007年										
日本国登録実用新案公報	1994-2007年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
A	WO 2006/049245 A1 (シャープ株式会社) 2006.05.11, 全文全図 (ファミリーなし)	1-11									
A	J P 2005-345973 A (東芝松下ディスプレイテクノロジー株式会社) 2005.12.15, 全文全図 & US 2005/0270282 A1	1-11									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献									
国際調査を完了した日 23.05.2007		国際調査報告の発送日 05.06.2007									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 濱本 禎広	2G 9509								
		電話番号 03-3581-1101 内線	3226								

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 1 R
	G 0 9 G 3/20	6 3 1 M
	G 0 2 F 1/133	5 5 0

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM), EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,MG,MK,MN,MW,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

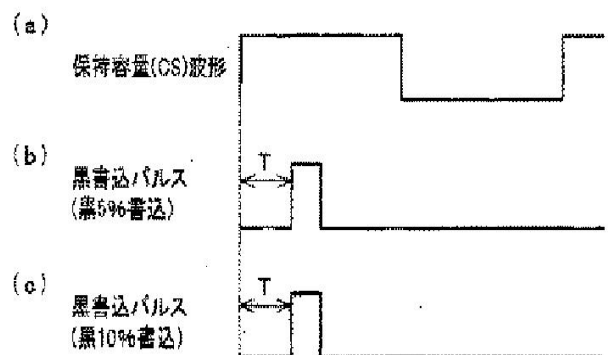
Fターム(参考) 2H093 NA16 NA53 NC12 NC13 NC15 NC16 NC28 NC34 NC35 NC49
 NC59 NC65 ND04 ND09 NE03 NF09
 2H193 ZA04 ZD23 ZD32 ZF36 ZH40 ZP03 ZQ08
 5C006 AA22 AC24 AC26 AF13 AF24 AF42 AF44 AF78 BB16 BC06
 BC22 FA26 FA29
 5C080 AA10 BB05 CC03 DD02 DD05 EE19 EE29 EE30 FF11 GG17
 JJ02 JJ04

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有源矩阵型液晶显示装置及其驱动方法		
公开(公告)号	JPWO2007135803A1	公开(公告)日	2009-10-01
申请号	JP2008516574	申请日	2007-03-15
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	入江健太郎 北山雅江 下敷領文一		
发明人	入江 健太郎 北山 雅江 下敷領 文一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G02F1/136213 G02F2001/134345 G09G2300/0876 G09G2310/061		
FI分类号	G09G3/36 G09G3/20.642.A G09G3/20.660.V G09G3/20.621.A G09G3/20.624.B G09G3/20.641.R G09G3/20.631.M G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC12 2H093/NC13 2H093/NC15 2H093/NC16 2H093/NC28 2H093/NC34 2H093/NC35 2H093/NC49 2H093/NC59 2H093/NC65 2H093/ND04 2H093/ND09 2H093/NE03 2H093/NF09 2H193/ZA04 2H193/ZD23 2H193/ZD32 2H193/ZF36 2H193/ZH40 2H193/ZP03 2H193/ZQ08 5C006/AA22 5C006/AC24 5C006/AC26 5C006/AF13 5C006/AF24 5C006/AF42 5C006/AF44 5C006/AF78 5C006/BB16 5C006/BC06 5C006/BC22 5C006/FA26 5C006/FA29 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD02 5C080/DD05 5C080/EE19 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG17 5C080/JJ02 5C080/JJ04		
优先权	2006140921 2006-05-19 JP		
其他公开文献	JP4790798B2		
外部链接	Espacenet		

摘要(译)

有源矩阵型液晶显示装置可以包括黑信号插入装置，该黑信号插入装置仅在作为一帧周期的一部分的黑信号插入期间，即黑插入中，将与黑显示相对应的电压作为数据信号线的电压来施加。比率改变装置改变插入时间，而不变的存储电容器相位保持装置控制改变之后的插入时间。在改变之前和之后，该控制使在第一存储电容器线或第二存储电容器线的信号电压升高的定时之间的 (i) 定时之间的时间差相同，这两者都在之前。插入期间的开始时刻和与插入期间的开始时刻最接近的时刻，以及 (ii) 插入期间的开始时刻。



(a) SUSTAIN CAPACITY (CS) WAVEFORM
 (b) BLACK WRITE-IN PULSE (BLACK 5% WRITE-IN)
 (c) BLACK WRITE-IN PULSE (BLACK 10% WRITE-IN)