

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5067756号
(P5067756)

(45) 発行日 平成24年11月7日(2012.11.7)

(24) 登録日 平成24年8月24日(2012.8.24)

(51) Int.Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343

請求項の数 2 (全 17 頁)

(21) 出願番号	特願2007-241865 (P2007-241865)	(73) 特許権者	598172398
(22) 出願日	平成19年9月19日(2007.9.19)		株式会社ジャパンディスプレイウエスト
(65) 公開番号	特開2009-75188 (P2009-75188A)		愛知県知多郡東浦町大字緒川字上舟木50番地
(43) 公開日	平成21年4月9日(2009.4.9)	(74) 代理人	100092152
審査請求日	平成22年7月28日(2010.7.28)		弁理士 服部 毅巖
		(72) 発明者	太田 昭雄
			長野県安曇野市豊科田沢6925 エプソンイメージングデバイス株式会社内
		審査官	小濱 健太

最終頁に続く

(54) 【発明の名称】 液晶表示パネル

(57) 【特許請求の範囲】

【請求項 1】

基板上に平行に形成された複数の走査線及びコモン配線と、
前記走査線及び前記コモン配線と直交する方向に延伸する複数の信号線と、
前記走査線と前記信号線に区画された各画素領域内に形成されたコモン電極及び画素電極と、

前記走査線と同方向に延伸し、前記コモン配線と電氣的に接続された導電性材料からなる複数のシールド電極層とを備え、

前記画素電極は前記信号線に対して傾斜するスリットを複数有し、

前記画素電極の外縁の一部が前記スリットと略同方向に形成され、

前記シールド電極層から前記画素電極側に延在する第1延在部が設けられ、前記第1延在部の外縁の一部が前記スリットと略同方向に形成されていることを特徴とする、液晶表示パネル。

【請求項 2】

前記画素電極の一部に切り欠き部が設けられ、

前記シールド電極層から前記切り欠き部に延在する第2延在部が設けられ、

前記第2延在部は、コンタクトホールを介して前記コモン電極と電氣的に接続され、

前記第2延在部の外縁の一部が前記スリットと略同方向に形成されていることを特徴とする、請求項1に記載の液晶表示パネル。

【発明の詳細な説明】

10

20

【技術分野】

【0001】

この発明は、FFS (Fringe Field Switching) モード等の横電界方式の液晶表示パネルに関し、特に画素電極外縁近傍で発生する配向不良を防止する手段を備えた液晶表示パネルに関する。

【背景技術】

【0002】

近年、デジタルカメラ、携帯電話等の液晶表示部を備える電子機器は高精細化、小型化、広視野角化が要求され、それに伴い、従来一般的な駆動方式として採用されていたアクティブマトリクス型の縦電界方式に替わり広視野角化に優れる横電界方式の液晶表示パネルが提案されている。

10

【0003】

横電界方式の液晶表示パネルは、基板に対して面内方向に発生させた横電界により液晶分子を基板に平行な面内で回転させることにより、光の透過率を変化させて種々の映像を表示する。このとき、横電界方式の液晶表示パネルにおける液晶分子の動きは、基板の面内方向に限られ、縦電界方式の液晶表示パネルのように、液晶分子の長軸が基板の面内に対して平行な方向から垂直方向まで変化することがない。このため、横電界方式の液晶表示パネルは見る角度によって、複屈折性が大きく異なることがなく視角特性が非常に優れている。

【0004】

20

また、横電界方式の液晶表示パネルには、IPS (In Plane Switching) モードとFFS (Fringe-Field Switching) モードとがあり、FFSモードはIPS技術をさらに改良して開口率を向上させた液晶表示パネルである。

【0005】

図12～図14は横電界方式の一つであるFFSモードの液晶表示パネル700の動作原理を示す図で、図12はFFSモードの液晶表示パネル700におけるアレイ基板730上の画素領域を示す模式平面図であり、図13は図12のG-G'線に沿った断面図であり、また、図14は図12のH-H'線に沿った断面図である。なお、図13、図14は説明上、図12に示した液晶表示パネル700の画素領域を拡大し、液晶層740を構成する液晶分子を模式的に示して液晶分子の動きを説明している。

30

【0006】

図12～図14に示すように、このFFSモードの液晶表示パネル700は、アレイ基板730とカラーフィルタ基板720の間に液晶を封入して液晶層740を形成している。そして、アレイ基板730はガラス基板732の表面に複数の走査線701及びコモン配線703がそれぞれ平行に形成され、これら走査線701及びコモン配線703に直交する方向に信号線702が複数形成されている。なお、信号線702は絶縁層を介して走査線701及びコモン配線703上に直交するよう形成されており、これらはお互いに絶縁状態にある。

【0007】

40

ここで、走査線701及び信号線702で区画された各画素領域内において、走査線701に沿って設けられたコモン配線703を被覆するようにITO (Indium Tin Oxide) 等からなる透明材料で形成されたコモン電極704が設けられ、このコモン電極704の表面に絶縁層733、735を介して画素電極705が設けられている。また、画素電極705はITO等の透明材料からなり、ストライプ状に複数のスリット705aが形成されている。そして、この画素電極705及び複数のスリット705aの表面は配向膜734により被覆されている。

【0008】

また、走査線701と信号線702との交差点近傍にはスイッチング素子としてのTFT 710が形成され、このTFT 710は、走査線701と信号線702との間に半導体

50

層 709 が配置されている。ここで、半導体層 709 は延在された走査線 701 上の一部を覆うように形成され、この半導体層 709 下部と重なる走査線 701 の延在部分がゲート電極 707 を構成するとともに、半導体層 709 の上面の一部を覆うように信号線 702 の一部が延在されて T F T 710 のソース電極 706 を構成し、また、半導体層 709 の一部分と重なる画素電極 705 の一部分がドレイン電極 708 を構成している。

【0009】

また、カラーフィルタ基板 720 は、ガラス基板 722 の表面にカラーフィルタ層 723、オーバーコート層 725 及び配向膜 724 が設けられている。そして、アレイ基板 730 の画素電極 705 及びコモン電極 704 とカラーフィルタ基板 720 のカラーフィルタ層 723 とが互いに対向するようにアレイ基板 730 及びカラーフィルタ基板 720 を対向させ、その間に液晶を封入して液晶層 740 を形成するとともに、両基板のそれぞれ外側に偏光板 721、731 を偏光方向が互いに直交する方向となるように配置することにより、F F S モードの液晶表示パネル 700 が形成されている。

【0010】

この F F S モードの液晶表示パネル 700 は、図 13 及び図 14 に示すように、画素電極 705 とコモン電極 704 の間に電圧を印加すると、スリット 705a を利用して画素電極 705 からコモン電極 704 へ向かう電界（図中、画素電極 705 から出射する矢印で電気力線を示す）が発生する。このとき、電界は画素電極 705 の両側から下方に形成されたコモン電極 704 方向に向かうが、横方向の電界と共に画素電極 705 外縁の近傍でアレイ基板 730 に垂直な方向にも電界成分が発生している。これにより、スリット 705a 上に存在する液晶分子だけでなく画素電極 705 上に存在する液晶分子も駆動することができる。また、画素電極 705 及びコモン電極 704 は I T O 等の透明材料で形成されているため、これら電極部分を表示に寄与させることで、F F S モードの液晶表示パネル 700 は、I P S モードの液晶表示パネルよりも画素開口率を大きく設計することができる。また、F F S モードの液晶表示パネル 700 は、I P S モードの液晶表示パネルと同様に広視野角かつ高コントラストであり、更に高透過率であるため明るい表示が可能となるという特徴を備えている。加えて、F F S モードの液晶表示パネル 700 は、I P S モードの液晶表示パネルよりも平面視で画素電極 705 とコモン電極 704 との重複面積が大きいことにより大きな保持容量が副次的に生じ、別途補助容量線を設ける必要がなくなるといふ長所も存在する。

【0011】

ここで、F F S モードの液晶表示パネル 700 においては、表示特性上、ラビング方向は信号線 702 と直交するほうがよく、また画素電極 705 とラビング方向とは微小角度の傾きを設けた方がよいことから、画素電極 705 に設けるストライプ状のスリット 705a を信号線 702 に対して所定角度に傾斜させて形成することが行なわれており、同じく視角によって色変化が認められなくなるようにするため、図 15 に示した F F S モードの液晶表示パネル 700 のように、画素電極 705 に設けるストライプ状のスリットを「く」字状に配置してデュアルドメイン化することも行なわれている。

【0012】

しかし、図 12 に示すように、従来の F F S モードの液晶表示パネル 700 においては、スリット 705a が信号線 702 に対して微小角度の傾きを有するよう形成されているが、走査線 701 と対向する画素電極 705 外縁は、信号線 702 に対して微小角度の傾きを有するよう形成されていない。このため、画素電極 705 上、最端に設けられたスリット 705a の内縁と画素電極 705 外縁との距離がスリット 705a の傾斜に沿って同一ではない。これにより、画素電極 705 外縁近傍に配置された液晶層 740 で配向の乱れが生じ、光漏れ等の表示特性の低下を引き起こすことが問題であった。

【0013】

従来、特許文献 1 及び特許文献 2 に示すように F F S モードの液晶表示パネル 700 において、このような検討がなされている発明はなく、画素電極の外縁はスリットの形状に関係なく信号線に対して垂直方向に形成されたものが一般的な形状であった。

【 0 0 1 4 】

また、液晶表示パネルは長時間使用すると焼き付き現象が生じることが知られており、従来の F F S モードの液晶表示パネル 7 0 0 においては、この焼き付き現象が従来の I P S モードの液晶表示パネルに比すると大きく表れることが見出された。発明者等は、この F F S モードの液晶表示パネル 7 0 0 において焼き付き現象が I P S モードの液晶表示パネルの場合よりも大きく表れる原因について発生する電界はその近傍の液晶分子の配向に影響を及ぼすが、これは画素電極から液晶層へ向う電気力線の経路が、I P S モードの液晶表示パネルの場合は対称であるのに対し、F F S モードの液晶表示パネル 7 0 0 の場合は非対称であることがその一因であると推定された。

【 0 0 1 5 】

【特許文献 1】特開 2 0 0 5 - 3 3 8 2 5 6 号公報

【特許文献 2】特開 2 0 0 5 - 2 3 4 5 2 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 6 】

本発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、走査線に印加される電圧に起因する焼き付き防止手段を備えるとともに、画素電極外縁近傍における配向の乱れを防止し、横電界方式の優れた表示特性を低下させることのない液晶表示パネルを提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 7 】

上記目的を達成するために、この発明の第 1 局面による液晶表示パネルは、基板上に平行に形成された複数の走査線及びコモン配線と、走査線及びコモン配線と直交する方向に延伸する複数の信号線と、走査線と信号線に区画された各画素領域内に形成されたコモン電極及び画素電極と、走査線と同方向に延伸し、コモン配線と電氣的に接続された導電性材料からなる複数のシールド電極層とを備え、画素電極は信号線に対して傾斜するスリットを複数有し、画素電極の外縁の一部がスリットと略同方向に形成され、シールド電極層から画素電極側に延在する第 1 延在部が設けられ、第 1 延在部の外縁の一部がスリットと略同方向に形成されている。

【 0 0 1 8 】

この第 1 の局面による液晶表示パネルでは、上記のように、画素電極は信号線に対して所定角度で傾斜するスリットを複数有し、画素電極の外縁の一部がスリットと略同方向に形成されているため、画素電極上、最も走査線側に設けられたスリットの内縁と画素電極外縁との距離がスリットの傾斜に沿って略同一となる。これにより、画素電極外縁近傍に配置された液晶層で配向の不良を防止して、光漏れ等の表示特性の低下を抑えることができる。

【 0 0 1 9 】

また、この第 1 の局面による液晶表示パネルでは、上記のように、走査線と同方向に延伸し、コモン配線と電氣的に接続された導電性材料からなる複数のシールド電極層を備え、シールド電極層から画素電極側に延在する第 1 延在部が設けられ、第 1 延在部の外縁の一部がスリットと略同方向に形成されている。これにより、走査線と同方向に延伸する導電性材料からなるシールド電極層が形成されているため、走査線に印加される高電圧の信号によって発生する画素電極から走査線に向う電気力線は、画素電極から走査線に至る前にシールド電極層により遮断される。したがって、シールド電極層の上部に位置する液晶に印加される走査線からの電界成分を最小限に抑えることができ、走査線に印加される高電圧の信号に基づく横電界方式の液晶表示パネルの焼き付き現象を大幅に低減することができる。

【 0 0 2 0 】

また、シールド電極層から画素電極側に延在する第 1 延在部が設けられ、第 1 延在部の

10

20

30

40

50

外縁の一部がスリットと略同方向に形成されている。画素電極外縁がスリットと略同方向に傾斜した場合、走査線と同方向に延伸するシールド電極層外縁と画素電極外縁との間の距離が不均一に成るため、配向に乱れが生じ、光漏れ等の表示特性が低下することがあった。しかし、外縁の一部がスリットと略同方向に形成された第1延在部をシールド電極層に設けることにより、画素電極外縁と第1延在部外縁の距離が均一化される。これにより、画素電極外縁近傍において、シールド電極層を設けたことにより生じる配向の乱れを防いで、光漏れ等の表示特性の低下をさらに抑えることができる。

【0021】

また、上記第1の局面による液晶表示パネルにおいて、好ましくは、画素電極の一部に切り欠き部が設けられ、シールド電極層から切り欠き部に延在する第2延在部が設けられ、第2延在部は、コンタクトホールを介してコモン電極と電氣的に接続され、第2延在部の外縁の一部がスリットと略同方向に形成されている。

10

【0022】

シールド電極層をフローティング状態とするとシールド電極層の電位が不安定化するが、本発明による液晶表示パネルにおいてはシールド電極層から延在する第2延在部とコモン電極とをコンタクトホールを介して電氣的に接続してシールド電極層の電位を安定化させている。これにより、走査線に印加される高電圧の信号に基づく液晶表示パネルの焼き付き現象をさらに低減することができる。

【0023】

また、画素電極外縁がスリットと略同方向に傾斜した場合、シールド電極層外縁から延在する第2延在部と画素電極外縁との間の距離が不均一に成るため、配向に乱れが生じ、光漏れ等の表示特性が低下することがあった。しかし、外縁の一部がスリットと略同方向に形成された第2延在部をシールド電極層に設けることにより、画素電極外縁と第2延在部外縁の距離が均一化される。これにより、画素電極外縁近傍において、シールド電極層を設けたこと生じる配向の乱れを防いで、光漏れ等の表示特性の低下をさらに抑えることができる。

20

【発明の効果】

【0024】

以上のように、本発明によれば、走査線に印加される電圧に起因する焼き付き防止手段を備えるとともに、画素電極外縁近傍で生じる配向不良を防止する液晶表示パネルを容易に提供することができる。

30

【発明を実施するための最良の形態】

【0025】

以下、本発明を具体化した実施形態を、図面に基づいて詳細に説明する。ただし、以下に示す実施形態は、本発明の技術思想を具体化するための横電界方式の液晶表示パネルとしてFFSモードの液晶表示パネルを例示するものであって、本発明をこのFFSモードの液晶表示パネルに特定するものではなく、その他の実施形態のものにも等しく適用し得るものである。

【0026】

(第1実施形態)

40

図1～図5は本発明の第1実施形態によるFFSモードの液晶表示パネル100の1画素分の構成を示し、図1は本発明の第1実施形態によるFFSモードの液晶表示パネル100におけるアレイ基板130上の画素領域を示す模式平面図である。また、図2は図1に示した第1実施形態によるFFSモードの液晶表示パネル100の一画素領域の端部近傍を拡大して示す模式平面図である。図3は図1に示した第1実施形態による液晶表示パネル100のA-A'線に沿った断面図であり、図4は図1のB-B'線に沿った断面図であり、図5は図1のC-C'線に沿った断面図である。なお、図3、図4は説明上、図2に示した液晶表示パネル100の画素領域を拡大するとともに、液晶層140を構成する液晶分子を模式的に示して液晶分子の動きを説明している。

【0027】

50

本発明の第1実施形態による液晶表示パネル100は、アレイ基板130上に複数の走査線101及びコモン配線103がそれぞれ平行に形成され、これら走査線101及びコモン配線103に直交する方向に信号線102が複数形成されている。また、複数の走査線101と信号線102により区画された画素領域が複数配列して液晶表示パネル100のアクティブ表示領域を形成している。

【0028】

ここで、走査線101は、アクティブ表示領域の外側まで延伸し、走査電極駆動回路に接続されている。また、信号線102は、アクティブ表示領域の外側まで延伸し、信号電極駆動回路に接続されている。コモン配線103はアクティブ表示領域の外側まで延伸してアクティブ表示領域の周縁に沿って設けられた共通電極線に接続され、この共通電極配線は共通電極駆動回路に接続されている。また、これら各駆動回路は、表示制御装置により制御されている。

【0029】

また、アクティブ表示領域を構成する各画素領域は、平行に形成された走査線101及び信号線102に区画された領域である。また、走査線101に沿ってコモン配線103が平行に形成され、信号線102は走査線101及びコモン配線103に直交する方向に形成されている。ここで、走査線101及び信号線102で区画された各画素領域内において、走査線101に沿って設けられたコモン配線103を被覆するようにITO (Indium Tin Oxide) 等からなる透明材料で形成されたコモン電極104が設けられている。また、コモン電極104の表面に絶縁層133、135を介して画素電極105が設けられている。また、画素電極105はITO等の透明材料からなり、画素電極105はストライプ状に複数のスリット105aが形成されている。また、画素電極105、複数のスリット105aの表面は配向膜134により被覆されている。

【0030】

ここで、FFSモードの液晶表示パネル100においては、表示特性上、ラビング方向は信号線102と直交するほうがよく、また画素電極105とラビング方向とは微小角度の傾きを設けた方がよいことから、画素電極105に設けるストライプ状のスリット105aを信号線102に対して所定角度に傾斜させて形成されている。また、走査配線101と対向する画素電極外縁191、192はそれぞれ傾斜させたスリット105aと同角度だけ傾斜して形成されている。したがって、画素電極105上、最も走査線101側に設けられたスリット105aの内縁と画素電極外縁191又は192との距離はスリット105aの傾斜に沿って略同一となっている。したがって、画素電極外縁191、192近傍に配置される液晶層における配向の不良を防止して、光漏れ等の表示特性の低下を抑えることができる。

【0031】

なお、第1実施形態においては、画素電極105に設けるスリットとして一方向に傾いたものを用いた例を示したが、ストライプ状のスリット105aを「く」字状になるように配置してデュアルドメイン化するようにしてもよい。この場合、視角異方性を少なくするために、コモン配線103の両側に設けられたスリット105aの数はそれぞれの側で同一であることが好ましく、また、コモン配線103に最も近接する両側のスリット105aの端部はコモン配線上で結合されているものとするのが好ましい。なお、デュアルドメイン化した画素電極105においても、その外縁191、192は最も近接するスリット105aの傾きと同角度だけ傾斜して形成する必要がある。

【0032】

また、本発明による第1実施形態のFFSモードの液晶表示パネル100では、図3に示すように、走査線101から離れた画素領域の中央部付近では、画素電極105からコモン電極104へ向かう電界（図中、画素電極105から出射する矢印により電気力線により電界方向を示す）が発生し、画素電極105の両側から下方に形成されたコモン電極104方向に向かう。また、横方向の電界成分と共に画素電極105の縁の近傍でアレイ基板130に垂直な方向にも電界成分が発生するため、スリット105a上に存在する液

10

20

30

40

50

晶分子だけでなく画素電極 105 上に存在する液晶分子を駆動することができる。また、図4に示すように、画素電極外縁 192 近傍では画素電極 105 から走査配線 101 へ向かう電界が発生している。

【0033】

次に、本発明の第1実施形態による FFS モードの液晶表示領域 100 の構成について具体的に説明する。図5に示すように、アレイ基板 130 はガラス基板等の透明基板 132 上に形成された走査線 101 及びコモン配線 103 は、透明基板 132 の表面全体に亘って下部が Al 金属からなり表面が Mo 金属からなる 2 層膜を形成した後、フォトリソグラフィ法及びエッチング法によって形成された Mo / Al の 2 層配線である。なお、Mo / Al の 2 層配線にしたのは、アルミニウムは抵抗値が小さいという長所を有するが、その反面、腐食しやすく、ITO との接触抵抗が高いなどの欠点があるためであり、アルミニウムをモリブテンで覆った多層構造にすることでそうした欠点を改善することができる。また、ここではコモン配線 103 を走査線 101 に沿って設けた例を示したが、隣接する走査線 101 の中間に設けてもよい。

10

【0034】

また、コモン電極 104 は走査線 101 及び信号線 102 で区画された各画素領域内において、コモン配線 103 を被覆するように ITO からなる透明材料で形成されている。これは、一度、走査線 101 及びコモン配線 103 を形成した透明基板 132 の表面全体に亘って ITO からなる透明電極層を被覆した後、フォトリソグラフィ法及びエッチング法によって不要な透明電極層を除去して形成されている。また、画素領域内において、コモン電極 104 はコモン配線 103 とは電氣的に接続されるが、走査線 101 ないしゲート電極 107 とは接続されないよう形成されている。

20

【0035】

また、コモン電極 104 を形成した後、走査線 101、コモン配線 103、及びコモン電極 104 を含む透明基板 132 全体に亘って窒化珪素層ないし酸化珪素からなるゲート絶縁膜 133 が被覆されている。

【0036】

また、走査線 101 と信号線 102 との交差点近傍にはスイッチング素子としての TFT 110 が形成され、この TFT 110 は、走査線 101 と信号線 102 との間に半導体層 109 が配置されている。このとき、半導体層 109 は走査線 101 から延在した所定領域上に形成され、この半導体層 109 下部と重なる走査線 101 の延在部分がゲート電極 107 を構成するとともに、半導体層 109 の上面の一部を覆うように信号線 102 の一部が延在されて TFT 110 のソース電極 106 を構成し、また、半導体層 109 の一部分と重なる画素電極 105 の一部分がドレイン電極 108 を構成している。

30

【0037】

この TFT 110 は、まず、CVD 法により例えばアモルファス・シリコン（以下「a-Si」）層をゲート絶縁膜 133 の表面全体に亘って被覆した後に、フォトリソグラフィ法及びエッチング法によって、不要な a-Si 層を除去して TFT 110 形成領域である走査線 101 の延在部に a-Si 層からなる半導体層 109 を形成する。次いで、Mo / Al / Mo の 3 層構造の導電性層を半導体層 109 の上面から透明基板 132 表面全体に亘って被覆し、同じくフォトリソグラフィ法及びエッチング法によって、不要な部分を除去して信号線 102、ソース電極 106 及びドレイン電極 108 を形成し、アクティブ表示領域の外周に沿って共通電極線 31 を形成する。ここで、信号線 102 はその一部が延在して半導体層 109 上面の一部と部分的に重なるように形成され、この半導体層 109 上面と部分的に重なる信号線 102 の延在部が TFT 110 のソース電極 106 となる。また、同様にドレイン電極 108 も半導体層 109 の表面の一部に部分的に重なるよう形成されている。

40

【0038】

また、ドレイン電極 108 はストライプ状に複数のスリット 105a が形成された ITO からなる画素電極 105 と電氣的に接続されている。この製造工程はまず、信号線 10

50

2、ソース電極106及びドレイン電極108を形成した後、基板表面全体に窒化珪素層からなるソース絶縁膜135を被覆し、ドレイン電極108に対応する位置のソース絶縁膜135にコンタクトホール170を形成してドレイン電極の一部を露出させる。その後、この表面全体に亘ってITOからなる透明導電性層を被覆し、同じくフォトリソグラフィ法及びエッチング法によって、ストライプ状に複数のスリット105aが形成されるとともに形成画素電極外縁191、192がスリット105aの傾斜と略同方向に形成された画素電極105を、走査線101及び信号線102で囲まれた画素領域内のソース絶縁膜135上に形成する。このとき、画素電極105はコンタクトホール170を介してドレイン電極108と電氣的に接続される。また、この画素電極105及び複数のスリット105aの表面は配向膜134により被覆されている。

10

【0039】

一方、カラーフィルタ基板120は、図3または図4に示すように、ガラス基板122の表面にカラーフィルタ層123、オーバーコート層125及び配向膜124が設けられている。そして、アレイ基板130の画素電極105及びコモン電極104とカラーフィルタ基板120のカラーフィルタ層123とが互いに対向するようにアレイ基板130及びカラーフィルタ基板120を対向させ、その間に液晶を封入して液晶層140を形成するとともに、両基板120、130のそれぞれ外側に偏光板121、131を偏光方向が互いに直交する方向となるように配置することにより、FFSモードの液晶表示パネル100が形成されている。

【0040】

20

(第2実施形態)

図6、図7は本発明の第2実施形態によるFFSモードの液晶表示パネル200の1画素分の構成を示し、図6は本発明の第2実施形態によるFFSモードの液晶表示パネル200におけるアレイ基板230上の画素領域を示す模式平面図である。また、図7は図6に示した第2実施形態によるFFSモードの液晶表示パネル200の1画素領域の端部近傍を拡大して示す模式平面図である。図8は図6に示した第2実施形態による液晶表示パネル200のD-D'線に沿った断面図であり、図9は図6のE-E'線に沿った断面図であり、なお、第1実施形態によるFFSモードの液晶表示パネル100と同一箇所については説明を省略する。

【0041】

30

本発明の第2実施形態による液晶表示パネル200は、アレイ基板230上に複数の走査線201及びコモン配線203がそれぞれ平行に形成され、これら走査線201及びコモン配線203に直交する方向に信号線202が複数形成されている。また、複数の走査線201と信号線202により区画された画素領域が複数配列して液晶表示パネル200のアクティブ表示領域を形成している。

【0042】

また、アクティブ表示領域を構成する各画素領域は、平行に形成された走査線201及び信号線202に区画された領域で、図6に示すように、走査線201に沿ってコモン配線203が平行に形成され、信号線202は走査線201及びコモン配線203に直交する方向に形成されている。ここで、走査線201及び信号線202で区画された各画素領域内において、走査線201に沿って設けられたコモン配線203を被覆するようにITO(Indium Tin Oxide)等からなる透明材料で形成されたコモン電極204が設けられている。また、コモン電極204の表面に絶縁層233、235を介して画素電極205が設けられている。また、画素電極205はITO等の透明材料からなり、画素電極205はストライプ状に複数のスリット205aが形成されている。また、画素電極205、複数のスリット205aの表面は配向膜234により被覆されている。

40

【0043】

ここで、本発明による第2実施形態のFFSモードの液晶表示パネル200においては、表示特性上、ラビング方向は信号線202と直交するほうがよく、また画素電極205とラビング方向とは微小角度の傾きを設けた方がよいことから、画素電極205に設ける

50

ストライプ状のスリット 205a を信号線 202 に対して所定角度に傾斜させて形成されている。また、走査配線 201 と対向する画素電極外縁 291、292 はそれぞれスリット 205a の信号線に対する傾きと同角度だけ傾斜して形成されている。したがって、画素電極 205 上、最も走査線 201 側に設けられたスリット 205a の内縁と画素電極外縁 291、292 との距離はスリット 205a の傾斜に沿って略同一となっている。したがって、画素電極外縁 291、292 近傍に配置される液晶層における配向の不良を防止して、光漏れ等の表示特性の低下を抑えることができる。

【0044】

なお、第2実施形態においては、画素電極 205 に設けるスリット 205a として一方に傾いたものを用いた例を示したが、ストライプ状のスリット 205a を「く」字状になるように配置してデュアルドメイン化するようにしてもよい。この場合、視角異方性を少なくするために、コモン配線 203 の両側に設けられたスリット 205a の数はそれぞれの側で同一であることが好ましく、また、コモン配線 203 に最も近接する両側のスリット 205a の端部はコモン配線上で結合されているものとするのが好ましい。このとき、画素電極外縁 291、292 は最も近接するスリット 205a の信号線 202 に対する傾きと同角度だけ信号線 202 に対して傾斜するように形成する必要がある。

【0045】

また、本発明による第2実施形態の FFS モードの液晶表示パネル 200 では、図 8 に示すように、走査線 201 から離れた画素領域の中央部付近では、画素電極 205 からコモン電極 204 へ向かう電界（図中、画素電極 205 から出射する矢印により電気力線により電界方向を示す）が発生し、画素電極 205 の両側から下方に形成されたコモン電極 204 方向に向かう。また、横方向の電界成分と共に画素電極 205 の縁の近傍でアレイ基板 230 に垂直な方向にも電界成分が発生するため、スリット 205a 上に存在する液晶分子だけでなく画素電極 205 上に存在する液晶分子を駆動することができる。

【0046】

また、走査線 201 と隣接する画素領域においては、図 9 に示すように、画素電極 205 から発生する電界（図中、画素電極 205 から出射する矢印により電気力線により電界方向を示す）のうち走査線 201 方向に発生する電界は画素電極 205 から配向膜 234 を経て液晶層 240 に入り、液晶層 240 から走査線 201 に向かう途中、シールド電極層 250 により、遮断される。このため、本発明による第2実施形態の FFS モードの液晶表示パネル 200 は、シールド電極層 250 を有さない FFS モードの液晶表示パネル 100 よりも画素電極 205 又は配向膜 234 が走査線 201 に印加される信号に起因する直流電界によって受ける不可逆的影響を抑えることができる。また、シールド電極層 250 の上部に位置する液晶に印加される電界成分を最小限に抑えることができ、走査線 201 近傍の焼き付き現象を大幅に低減することができる。また、シールド電極層 250 をフローティング状態にすると電位が不安定化するため、コモン配線 203 等と電氣的に接続させてシールド電極層 250 の電位を安定化させる必要がある。そこで、第2実施形態の FFS モードの液晶表示パネル 200 では、シールド電極 250 がアクティブ表示領域の外側において、コモン配線 203 と電氣的に接続されている。したがって、シールド電極層 250 を走査線 201 上に帯状に形成して、シールド電極層 150 の電位を安定化させるとともに、画素開口率の低下を抑えることができる。

【0047】

また、図 6、図 7 に示すように、シールド電極層 250 は走査線 201 上に焼き付き現象を抑えるのに必要な所定の幅で帯状に形成されている。しかし、シールド電極層 250 外縁を走査線 201 に対して平行に形成した場合、画素電極外縁 291、292 近傍において、シールド電極層 250 からの電界的影響を若干受け、画素電極外縁 291、292 近傍に配列する液晶層 250 の配向を乱すおそれがある。しかし、本発明による第2実施形態の FFS モードの液晶表示パネル 200 ではシールド電極 250 外縁の一部は延在し第1延在部 293、294 が形成され、第1延在部 293、294 の外縁はスリット 205a の信号線 202 に対する傾きと略同方向に傾斜を有している。この構成により、画素

10

20

30

40

50

電極外縁 291、292 と第 1 延在部外縁 293、294 の距離がそれぞれ均等に形成されている。したがって、画素電極外縁 291、292 近傍において、シールド電極層 250 を設けたことにより生じる配向の乱れを防いで、光漏れ等の表示特性の低下をさらに抑えることができる。

【0048】

また、本発明の第 2 実施形態による FFS モードの液晶表示パネル 200 の構成については、画素電極 205 の形成時にシールド電極層 250 を形成以外、本発明の第 1 実施形態による FFS モードの液晶表示パネル 100 と同一の構成であるため説明を省略する。

【0049】

なお、TF T 210 の動作特性に影響を与えないようにするため、シールド電極層 250 は半導体層 209 の表面を覆わないようにした方がよい。したがって、本発明の第 2 実施形態による FFS モードの液晶表示領域 200 では画素電極 205 の一部に切り欠き部を設け、この部分に TF T 210 を配している。また、シールド電極 250 は ITO に変えてアルミニウム等の導電性金属で形成してもよい。また、この画素電極 205 及び複数のスリット 205a、シールド電極層 250 の表面は配向膜 234 により被覆されている。

【0050】

(第 3 実施形態)

図 10、図 11 は本発明の第 3 実施形態による FFS モードの液晶表示パネル 300 の 1 画素分の構成を示し、図 10 は本発明の第 3 実施形態による FFS モードの液晶表示パネル 300 におけるアレイ基板 330 上の画素領域を示す模式平面図である。また、図 11 は図 10 に示した第 2 実施形態による FFS モードの液晶表示パネル 200 の一画素領域の端部近傍を拡大して示す模式平面図である。なお、第 1 実施形態による FFS モードの液晶表示パネル 100 と第 2 実施形態による FFS モードの液晶表示パネル 200 と同一箇所については説明を省略する。

【0051】

本発明の第 3 実施形態による液晶表示パネル 300 は、アレイ基板 330 上に複数の走査線 301 及びコモン配線 303 がそれぞれ平行に形成され、これら走査線 301 及びコモン配線 303 に直交する方向に信号線 302 が複数形成されている。また、複数の走査線 301 と信号線 302 により区画された画素領域が複数配列して液晶表示パネル 300 のアクティブ表示領域を形成している。

【0052】

また、アクティブ表示領域を構成する各画素領域は、平行に形成された走査線 301 及び信号線 302 に区画された領域である。また、走査線 301 に沿ってコモン配線 303 が平行に形成され、信号線 302 は走査線 301 及びコモン配線 303 に直交する方向に形成されている。ここで、走査線 301 及び信号線 302 で区画された各画素領域内において、走査線 301 に沿って設けられたコモン配線 303 を被覆するように ITO (Indium Tin Oxide) 等からなる透明材料で形成されたコモン電極 304 が設けられている。また、第 1 実施形態及び第 2 実施形態で示した液晶表示パネル 100、200 と同様に、コモン電極 304 の表面には絶縁層を介して画素電極 305 が設けられている。また、画素電極 305 は ITO 等の透明材料からなり、画素電極 305 はストライプ状に複数のスリット 305a が形成されている。また、画素電極 305、複数のスリット 305a の表面も第 1 実施形態及び第 2 実施形態で示した液晶表示パネル 100、200 と同様に、配向膜により被覆されている。

【0053】

ここで、第 3 実施形態による FFS モードの液晶表示パネル 300 においては、表示特性上、ラビング方向は信号線 302 と直交するほうがよく、また画素電極 305 とラビング方向とは微小角度の傾きを設けた方がよいことから、画素電極 305 に設けるストライプ状のスリット 305a を信号線 302 に対して所定角度に傾斜させて形成されている。また、走査配線 301 と対向する画素電極外縁 391、392 はそれぞれスリット 305

aに設けた信号線302に対する傾きと同角度だけ傾斜して形成されている。したがって、画素電極305上、最も走査線301側に設けられたスリット305aの内縁と画素電極外縁391又は392との距離がスリット305aの傾斜に沿って略同一となる。これにより、画素電極外縁391及び392近傍に配置される液晶層における配向の不良を防止して、光漏れ等の表示特性の低下を抑えることができる。

【0054】

なお、第3実施形態においては、画素電極305に設けるスリット305aとして一方に傾いたものを用いた例を示したが、ストライプ状のスリット305aを「く」字状になるように配置してデュアルドメイン化するようにしてもよい。この場合、視角異方性を少なくするために、コモン配線303の両側に設けられたスリット305aの数はそれぞれの側で同一であることが好ましく、また、コモン配線303に最も近接する両側のスリット305aの端部はコモン配線上で結合されているものとするのが好ましい。このとき、画素電極外縁391、392は最も近接するスリット205aの信号線302に対する傾きと同角度だけ傾斜して形成する必要がある。

【0055】

また、本発明による第3実施形態のFFSモードの液晶表示パネル300は、本発明による第2実施形態のFFSモードの液晶表示パネル200と同様に、横方向の電界成分と共に画素電極305の縁の近傍でアレイ基板330に垂直な方向にも電界成分が発生するため、スリット305a上に存在する液晶分子だけでなく画素電極305上に存在する液晶分子を駆動することができる。

【0056】

また、走査線301と隣接する画素領域においては、画素電極305から発生する電界のうち走査線301方向に発生する電界は画素電極305から配向膜を経て液晶層に入り、液晶層から走査線301に向かう途中、シールド電極層350により、遮断される。このため、本発明による第3実施形態のFFSモードの液晶表示パネル300は、シールド電極層350を有さない従来のFFSモードの液晶表示パネル100よりも画素電極305又は配向膜334が走査線301に印加される信号に起因する直流電界によって受ける不可逆的影響を抑えることができる。また、シールド電極層350の上部に位置する液晶に印加される電界成分を最小限に抑えることができ、走査線301近傍の焼き付き現象を大幅に低減することができる。

【0057】

また、シールド電極層350をフローティング状態にすると電位が不安定化するため、本発明による第3実施形態のFFSモードの液晶表示パネル300はコンタクトホール373を介してコモン電極304とシールド電極層350を電氣的に接続させている。これにより、シールド電極層350の電位を安定化させている。具体的には、図10に示すように、本発明による第3実施形態のFFSモードの液晶表示パネル300は画素領域においてシールド電極層350とコモン電極304を接続するために、画素電極305の一部に切り欠き部を設けるとともに、その切り欠き部にシールド電極層350から第2延在部395を延在させコンタクトホール373を介してシールド電極層350とコモン電極304を接続している。

【0058】

また、シールド電極350外縁を走査線301に対して平行に形成した場合、画素電極外縁391、392近傍において、シールド電極層350からの電界的影響を受け、画素電極外縁391、392近傍に配列する液晶層350の配向を乱すおそれがある。そこで、本発明による第3実施形態のFFSモードの液晶表示パネル300ではシールド電極350外縁から延在する第1延在部393、394が形成され、この第1延在部393、394外縁はスリットの信号線302に対する傾斜と略同方向の形状に形成されている。この構成により、画素電極外縁391、392と第1延在部393、394の外縁の距離がそれぞれ均等に形成されている。したがって、画素電極外縁391、392近傍において、シールド電極層350を設けたことにより生じる配向の乱れを防いで、光漏れ等の表示

特性の低下をさらに抑えることができる。

【 0 0 5 9 】

また、本発明による第 3 実施形態の F F S モードの液晶表示パネル 3 0 0 では、画素電極 3 0 5 に形成された切り欠き部にシールド電極層 3 5 0 から延在する第 2 延在部 3 9 5 の外縁がスリットの信号線 3 0 2 に対する傾斜と略同方向の形状に形成されている。また第 2 延在部 3 9 5 と対向する画素電極外縁 3 9 6 もスリットの信号線 3 0 2 に対する傾斜と略同方向の形状に形成されている。これにより画素電極 3 0 5 の切り欠き部近傍において、シールド電極層 3 5 0 から延在する第 2 延在部 3 9 5 を設けたことにより生じる配向の乱れを防いで、光漏れ等の表示特性の低下をさらに抑えることができる。

【図面の簡単な説明】

10

【 0 0 6 0 】

【図 1】本発明の第 1 実施形態による F F S モードの液晶表示パネルを構成するアレイ基板上の画素領域を示した模式平面図である。

【図 2】図 1 に示した本発明の第 1 実施形態による F F S モードの液晶表示パネルの画素領域の一部を拡大して示した模式平面図である。

【図 3】図 1 に示した本発明の第 1 実施形態による F F S モードの液晶表示パネルの画素領域における A - A ' 線に沿った断面図である。

【図 4】図 1 に示した本発明の第 1 実施形態による F F S モードの液晶表示パネルの画素領域における B - B ' 線に沿った断面図である。

【図 5】図 1 に示した本発明の第 1 実施形態による F F S モードの液晶表示パネルの画素領域における C - C ' 線に沿った断面図である。

20

【図 6】本発明の第 2 実施形態による F F S モードの液晶表示パネルを構成するアレイ基板上の画素領域を示した模式平面図である。

【図 7】図 6 に示した本発明の第 2 実施形態による F F S モードの液晶表示パネルの画素領域の一部を拡大して示した模式平面図である。

【図 8】図 6 に示した本発明の第 2 実施形態による F F S モードの液晶表示パネルの画素領域における D - D ' 線に沿った断面図である。

【図 9】図 6 に示した本発明の第 2 実施形態による F F S モードの液晶表示パネルの画素領域における E - E ' 線に沿った断面図である。

【図 1 0】本発明の第 3 実施形態による F F S モードの液晶表示パネルを構成するアレイ基板上の画素領域を示した模式平面図である。

30

【図 1 1】図 1 0 に示した本発明の第 3 実施形態による F F S モードの液晶表示パネルの画素領域の一部を拡大して示した模式平面図である。

【図 1 2】従来の F F S モードの液晶表示パネルを構成するアレイ基板の画素領域を示した模式平面図である。

【図 1 3】図 1 2 に示した従来の F F S モードの液晶表示パネルの画素領域における G - G ' 線に沿った断面図である。

【図 1 4】図 1 2 に示した従来の F F S モードの液晶表示パネルの画素領域における H - H ' 線に沿った断面図である。

【図 1 5】図 1 2 に示した従来の F F S モードの液晶表示パネルの画素領域における変形例を示す模式平面図である。

40

【符号の説明】

【 0 0 6 1 】

1 0 0	液晶表示パネル
1 0 1	走査線
1 0 2	信号線
1 0 3	コモン配線
1 0 4	コモン電極
1 0 5	画素電極
1 0 5 a	スリット

50

1 0 6

1 0 7

1 0 8

1 0 9

1 1 0

1 2 0

1 3 0

1 4 0

1 5 0

1 7 0

1 9 1、 1 9 2、 3 9 6

3 9 3、 3 9 4

3 9 5

ソース電極

ゲート電極

ドレイン電極

半導體層

T F T

カラーフィルタ基板

アレイ基板

液晶層

シールド電極層

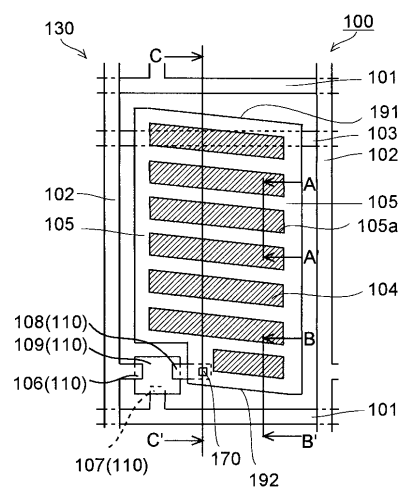
コンタクトホール

画素電極外縁

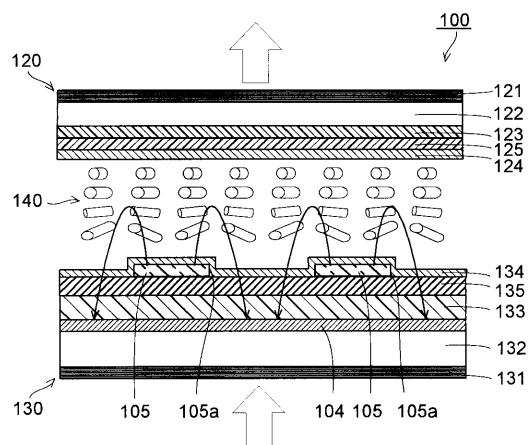
第1延在部

第 2 延在部

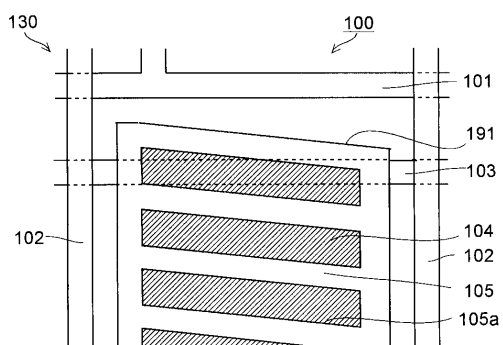
【图 1】



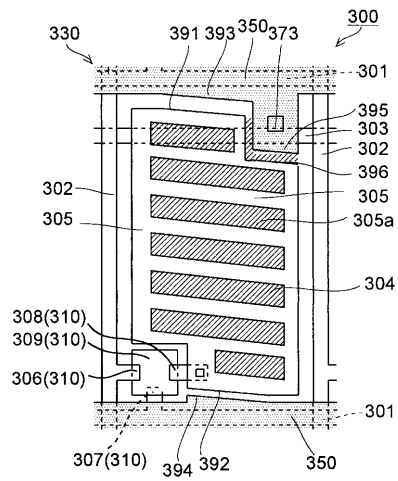
【图 3】



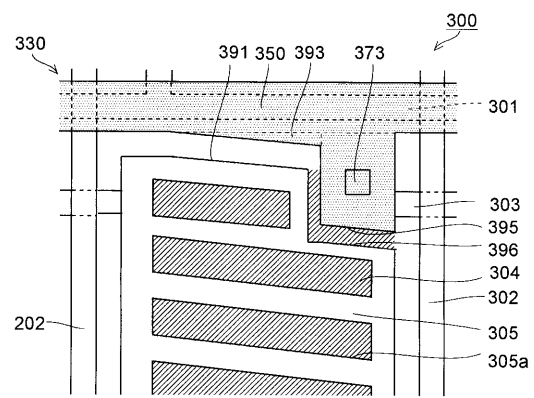
【圖 2】



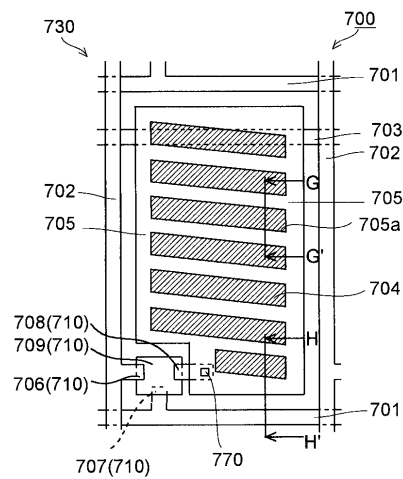
【図 10】



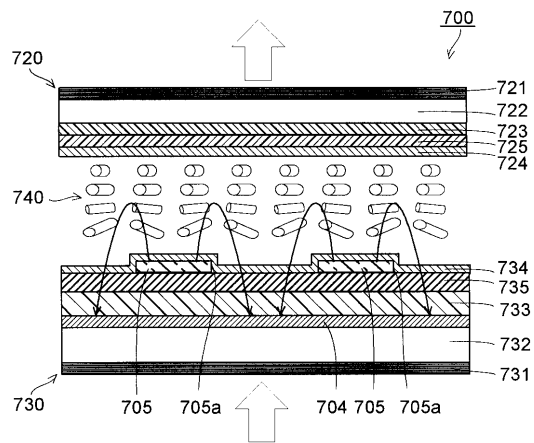
【図 11】



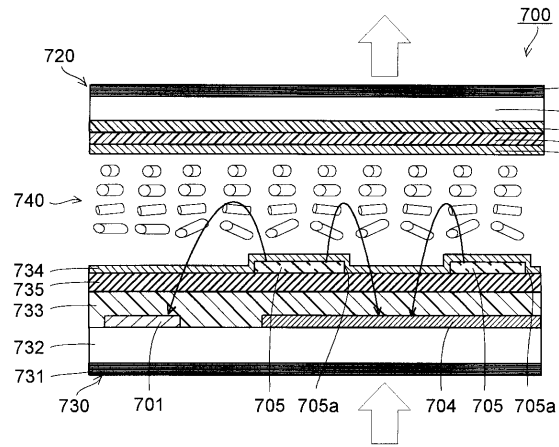
【図 12】



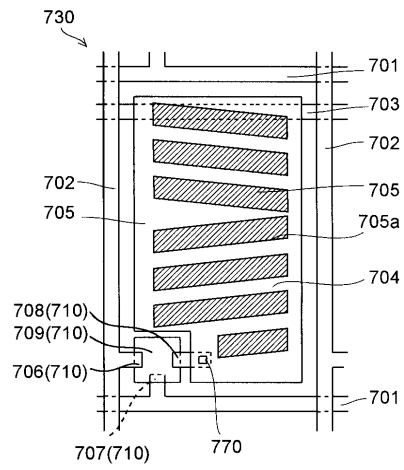
【図 13】



【図 14】



【図 15】



フロントページの続き

(56)参考文献 特開 2 0 0 7 - 0 4 7 7 3 4 (J P , A)
特開 2 0 0 6 - 3 5 0 2 8 2 (J P , A)
特開 2 0 0 7 - 0 1 1 2 5 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 4 3

专利名称(译)	液晶显示面板		
公开(公告)号	JP5067756B2	公开(公告)日	2012-11-07
申请号	JP2007241865	申请日	2007-09-19
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
当前申请(专利权)人(译)	有限公司日本西显示器		
[标]发明人	太田昭雄		
发明人	太田 昭雄		
IPC分类号	G02F1/1343		
FI分类号	G02F1/1343		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/GA64 2H092/JA24 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB56 2H092/NA01 2H092/NA11 2H092/NA25		
其他公开文献	JP2009075188A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供由施加在扫描线上的电压和定向缺陷引起的抗癫痫发作方法 提供一种具有防止装置的液晶显示面板。液晶显示面板100包括在基板上平行形成的多条扫描线10。在垂直于扫描线101和公共布线103的方向上延伸。在每个像素区域中形成分成多条信号线102和扫描线101以及信号线102。公共电极104和像素电极105以及像素电极105连接到信号线102。它具有相对于彼此倾斜的多个狭缝105a，以及像素电极105的外边缘191和192中的一个 该部分形成在与狭缝105a基本相同的方向上 [选图]图1

