

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5025244号
(P5025244)

(45) 発行日 平成24年9月12日(2012.9.12)

(24) 登録日 平成24年6月29日(2012.6.29)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G09G 3/20 621B

G09G 3/20 623W

G09G 3/20 642A

請求項の数 11 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2006-327062 (P2006-327062)
 (22) 出願日 平成18年12月4日(2006.12.4)
 (65) 公開番号 特開2007-156483 (P2007-156483A)
 (43) 公開日 平成19年6月21日(2007.6.21)
 審査請求日 平成21年11月12日(2009.11.12)
 (31) 優先権主張番号 10-2005-0118067
 (32) 優先日 平成17年12月6日(2005.12.6)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeon
 g-tong-gu, Suwon-si, G
 yeonggi-do, Republic
 of Korea

(74) 代理人 110000671
 八田国際特許業務法人
 (74) 代理人 100072349
 弁理士 八田 幹雄
 (74) 代理人 100110995
 弁理士 奈良 泰男

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

行列状に配列されている複数の画素と、
 前記画素に連結されているスイッチング素子と、
 前記スイッチング素子に連結されているデータ線及びゲート線と、
 データ電圧を生成して前記データ線に印加するデータ駆動部と
 を含み、
 前記データ線は前記画素の左右に一对で配置されていて、
 前記一对のデータ線には同じ大きさの互いに異なる極性を有するデータ電圧が印加され
 、
 前記スイッチング素子は、前記一对のデータ線のうちの一つのデータ線にだけ連結され
 ていることを特徴とする液晶表示装置。

【請求項 2】

前記画素の列方向に隣接した二つの画素のスイッチング素子は、前記一对のデータ線に
 交互に連結されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記データ駆動部は、行方向に並んだデータ線に対して、隣接する 2 本のデータ線ごと
 に極性を変えてデータ電圧を印加するか、または行方向に並んだデータ線の一番左側のデ
 ータ線にだけ次のデータ線に印加するデータ電圧と逆極性のデータ電圧を印加し、その後
 は隣接する 2 本のデータ線ごとに極性を変えてデータ電圧を印加することを特徴とする請

求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記画素の列のうちの偶数番目画素列の画素配置は、奇数番目画素列とその間のデータ線を中心に鏡対称をなすことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記データ駆動部は、行方向に並んだデータ線に対して、二つの極性を交互に変えてデータ電圧を印加することを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

行列状に配列されて各々第 1 及び第 2 副画素を含む複数の画素と、
前記第 1 及び第 2 副画素に連結されている第 1 及び第 2 スイッチング素子と、
前記第 1 及び第 2 副画素に連結されているデータ線及びゲート線と、
データ電圧を生成して前記データ線に印加するデータ駆動部と
を含み、
前記データ線は前記画素の左右に一对で配置されていて、
前記一对のデータ線には同じ大きさの互いに異なる極性のデータ電圧が印加され、
前記第 1 及び第 2 スイッチング素子は、前記一对のデータ線のうちの互いに異なるデータ線に各々連結されていることを特徴とする液晶表示装置。

【請求項 7】

前記データ駆動部は、行方向に並んだデータ線に対して、隣接する 2 本のデータ線ごとに極性を変えてデータ電圧を印加するか、または行方向に並んだデータ線の一番左側のデータ線にだけ次のデータ線に印加するデータ電圧と逆極性のデータ電圧を印加し、その後は隣接する 2 本のデータ線ごとに極性を変えてデータ電圧を印加することを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記データ駆動部は、行方向に並んだデータ線に対して、二つの極性を交互に変えてデータ電圧を印加することを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 9】

前記画素の列のうちの偶数番目画素列の画素配置は、奇数番目画素列とその間のデータ線を中心に鏡対称をなすことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 10】

列方向に隣接した画素の隣接した前記第 1 及び第 2 副画素の前記第 1 及び第 2 スイッチング素子は、同じデータ線に連結されていることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 11】

前記画素の列のうちの偶数番目画素列の画素配置は、奇数番目画素列とその間のデータ線を中心に鏡対称をなすことを特徴とする請求項 8 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関する。

【背景技術】

【0002】

一般的な液晶表示装置（LCD）は、画素電極及び共通電極が備えられた二つの表示板とその間に入っている誘電率異方性を有する液晶層を含む。画素電極は行列状に配列されていて、薄膜トランジスタ（TFT）などスイッチング素子に連結されて一行ずつ順次にデータ電圧を印加される。共通電極は表示板の全面にわたって形成され、共通電圧を印加される。画素電極と共通電極及びそれらの間の液晶層は電気回路として見ると、液晶蓄電器をなし、液晶蓄電器はこれに連結されたスイッチング素子と共に画素を構成する基本単位となる。

【0003】

10

20

30

40

50

このような液晶表示装置では二つの電極に電圧を印加して液晶層に電界を生成し、この電界の強さを調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。この時、液晶層に一方向の電界が長時間印加されることによって発生する劣化現象を防止するためにフレーム別に、行別に、または画素別に共通電圧に対するデータ電圧の極性を反転させる。

【 0 0 0 4 】

一方、このような液晶表示装置は動画像表示特性を向上させるために様々な方法が試みられているが、例えば、秒当たり 120 フレーム速度で駆動する高速駆動が開発中である。高速駆動のために液晶は秒当たり 60 フレームの速度に比べて応答速度を 2 倍ほど速くしなければならないが、現在は実現可能であると判断される。

10

【 0 0 0 5 】

また、高速駆動ではフレーム速度が速いほど多くの電力が消費されるため、反転駆動方式において、列反転を取り入れて電力消費の最少化を試みている。

【 0 0 0 6 】

列反転は 1 フレーム単位で同じデータ線を通るデータ電圧の極性を変えることであり、データ電圧の反転回数が 1 フレーム当たり一回であるため、消費電力面では非常に有利である。

【 0 0 0 7 】

しかし、列反転は大きい 2 つの問題があって、一つはカップリング欠陥 (coupling defect) であり、他の一つは縦線状欠陥 (stripe defect) である。

20

【 0 0 0 8 】

カップリング欠陥は、データ線と画素電極が重なって生じる寄生容量によって 1 フレーム間同じ極性のデータ電圧が続けて印加されることによって、液晶表示板組立体の上側と下側が互いに異なる輝度を示すことである。特に、低階調の背景画面にそれより高い (明るい) 階調の小領域を画面中に配置すると、この小領域の上下により背景画面とは異なる階調の垂直クロストーク現象が現れることもある。このようなカップリング欠陥を工程において解決するためには、データ線と画素電極の重畳による寄生容量を全体容量対比 1 % 以下に抑えなければならない問題がある。

【 0 0 0 9 】

30

縦線状欠陥は同じ極性のデータ電圧が縦方向に印加されて正極性と負極性のデータ電圧の差が生じる時に縦線が現れる現象である。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

本発明が目的とする技術的課題は、高速駆動時にカップリング欠陥または縦線状欠陥を防止できる液晶表示装置を提供することである。

【 課題を解決するための手段 】

【 0 0 1 1 】

40

このような技術的課題を達成するための本発明の液晶表示装置は、行列状に配列されている複数の画素と、前記画素に連結されているスイッチング素子と、前記スイッチング素子に連結されているデータ線及びゲート線と、データ電圧を生成して前記データ線に印加するデータ駆動部と、を含み、前記データ線は前記画素の左右に一对で配置されていて、前記一对のデータ線には同じ大きさの互いに異なる極性を有するデータ電圧が印加され、前記スイッチング素子は、前記一对のデータ線のうちの一つのデータ線にだけ連結されていることを特徴とする。

【 0 0 1 2 】

本発明において、前記画素の列方向に隣接した二つの画素のスイッチング素子は前記一对のデータ線に交互に連結されている。

【 0 0 1 3 】

50

また、本発明においては、前記データ駆動部は、行方向に並んだデータ線に対して、隣接する２本のデータ線ごとに極性を変えてデータ電圧を印加するか、または行方向に並んだデータ線の一番左側のデータ線にだけ次のデータ線に印加するデータ電圧と逆極性のデータ電圧を印加し、その後は隣接する２本のデータ線ごとに極性を変えてデータ電圧を印加する。

【００１４】

また、本発明においては、前記画素列のうちの偶数番目画素列の画素配置は奇数番目画素列とその間のデータ線を中心に鏡対称をなし、この時前記データ駆動部は $N \times 1$ 反転駆動を行うことができる。

【００１５】

また、本発明による液晶表示装置は、行列状に配列されて各々第１及び第２副画素を含む複数の画素と、前記第１及び第２副画素に連結されている第１及び第２スイッチング素子と、前記第１及び第２副画素に連結されているデータ線及びゲート線と、データ電圧を生成して前記データ線に印加するデータ駆動部と、を含み、前記データ線は前記画素の左右に一对で配置されていて、前記一对のデータ線には同じ大きさの互いに異なる極性のデータ電圧が印加され、前記第１及び第２スイッチング素子は、前記一对のデータ線のうちの互いに異なるデータ線に各々連結されていることを特徴とする。

【００１６】

また、本発明においては、前記データ駆動部は行方向に並んだデータ線に対して、二つの極性を交互に変えてデータ電圧を印加する。

【００１７】

これとは異なって、前記データ駆動部は $N \times 1$ 反転駆動を行うことができる。

【００１８】

また、本発明においては、前記画素列のうちの偶数番目画素列の画素配置は奇数番目画素列とその間のデータ線を中心に鏡対称をなすことができる。

【００１９】

また、本発明においては、列方向に隣接した画素の隣接した前記第１及び第２副画素の前記第１及び第２スイッチング素子は同じデータ線に連結できる。

【００２０】

また、本発明においては、前記画素列のうちの偶数番目画素列の画素配置は奇数番目画素列とその間のデータ線を中心に鏡対称をなすことができる。

【発明の効果】

【００２２】

本発明によれば、カップリング欠陥と縦線状欠陥を防止すると共に、高速駆動を行うことができる。

【発明を実施するための最良の形態】

【００２３】

以下、添付図を参照して本発明の実施形態について本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。

【００２４】

図面から多様な層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似する部分については同一図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“直ぐ上”にある場合だけでなく、その中間に他の部分がある場合も含む。反対にある部分が他の部分の“直上”にあるとする時には中間に他の部分がないことを意味する。

【００２５】

まず、図１及び図２を参照して本発明の実施形態１による液晶表示装置について詳細に説明する。

【００２６】

(実施形態１)

10

20

30

40

50

図 1 は本発明の実施形態 1 による液晶表示装置のブロック図であり、図 2 は本発明の実施形態 1 による液晶表示装置の一つの画素に対する等価回路図である。

【 0 0 2 7 】

図 1 に示したように、本発明の実施形態 1 による液晶表示装置は、液晶表示板組立体 3 0 0 及びこれと連結されたゲート駆動部 4 0 0 及びデータ駆動部 5 0 0、データ駆動部 5 0 0 に連結された階調電圧生成部 8 0 0、そしてこれらを制御する信号制御部 6 0 0 を含む。

【 0 0 2 8 】

液晶表示板組立体 3 0 0 は等価回路から見ると、複数の信号線 ($G_1 - G_n$ 、 $D_1 - D_m$) とこれに連結されて行列状に配列された複数の画素 (PX) を含む。一方、図 2 に示した構造から見ると、液晶表示板組立体 3 0 0 は互いに対向する下部及び上部表示板 1 0 0、2 0 0 とその間に入っている液晶層 3 を含む。

10

【 0 0 2 9 】

信号線 ($G_1 - G_n$ 、 $D_1 - D_m$) はゲート信号 (“ 走査信号 ” という) を伝達する複数のゲート線 ($G_1 - G_n$) とデータ信号を伝達する複数のデータ線 ($D_1 - D_m$) を含む。ゲート線 ($G_1 - G_n$) は行方向に延びて互いに平行し、データ線 ($D_1 - D_m$) はほぼ列方向に延びて互いに平行する。

【 0 0 3 0 】

各画素 (PX)、例えば、 i 番目 ($i = 1, 2, n$) のゲート線 (G_i) と j 番目 ($j = 1, 2, m$) のデータ線 (D_j) に連結された画素 (PX) は、信号線 (G_i, D_j) に連結されたスイッチング素子 (Q) とこれに連結された液晶蓄電器 (Clc) 及び維持蓄電器 (Cst) を含む。なお、液晶蓄電器 (Clc) 等価回路として、一つ画素において液晶層によって生じる容量成分を示す。一方、維持蓄電器 (Cst) は不要ならば省略できる。

20

【 0 0 3 1 】

スイッチング素子 (Q) は下部表示板 1 0 0 に備えられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線 (G_i) と連結されており、入力端子はデータ線 (D_j) と連結されており、出力端子は液晶蓄電器 (Clc) 及び維持蓄電器 (Cst) と連結されている。

【 0 0 3 2 】

液晶蓄電器 (Clc) は、下部表示板 1 0 0 の画素電極 1 9 1 と上部表示板 2 0 0 の共通電極 2 7 0 を二つの端子とし、二つの電極 1 9 1、2 7 0 の間の液晶層 3 は誘電体として機能する。画素電極 1 9 1 はスイッチング素子 (Q) と連結され、共通電極 2 7 0 は上部表示板 2 0 0 の前面に形成されて共通電圧 (V_{com}) を印加される。

30

【 0 0 3 3 】

図 2 とは異なり、共通電極 2 7 0 が下部表示板 1 0 0 に備えられる場合もあり、この時には二つの電極 1 9 1、2 7 0 のうちの少なくとも一つが線状または棒状に形成できる。

【 0 0 3 4 】

液晶蓄電器 (Clc) の補助的役割を果たす維持蓄電器 (Cst) は、下部表示板 1 0 0 に備えられた別途の信号線 (図示せず) と画素電極 1 9 1 が絶縁体を間に置いて重なって形成される。この別途の信号線には共通電圧 (V_{com}) などの決められた電圧が印加される。しかし、維持蓄電器 (Cst) は画素電極 1 9 1 が絶縁体を媒介として直ぐ上の前段ゲート線と重なって形成できる。

40

【 0 0 3 5 】

一方、色表示を実現するためには、各画素 (PX) が基本色のうちの一つを固有表示したり (空間分割)、各画素 (PX) が時間によって交互に基本色を表示するように (時間分割) して、これら基本色の空間的、時間的合計に願う色相が認識されるようにする。基本色の例としては、赤色、緑色、青色など三原色がある。図 2 は空間分割の一例であり、各画素 (PX) が画素電極 1 9 1 に対応する上部表示板 2 0 0 の領域に基本色のうちの一つを示す色フィルター 2 3 0 を備えることを示している。図 2 とは異なって、色フィルタ

50

ー 2 3 0 は下部表示板 1 0 0 の画素電極 1 9 1 上または下に形成できる。

【 0 0 3 6 】

液晶表示板組立体 3 0 0 の外側面には光を偏光させる少なくとも一つの偏光子（図示せず）が付着されている。

【 0 0 3 7 】

再び図 1 を参照すると、階調電圧生成部 8 0 0 は画素（ PX ）の透過率と関連する二組の階調電圧集合（または基準階調電圧集合）を生成する。二組のうちの一組は共通電圧（ V_{com} ）に対して正の値を有し、他の一組は負の値を有する。

【 0 0 3 8 】

ゲート駆動部 4 0 0 は液晶表示板組立体 3 0 0 のゲート線（ $G_1 - G_n$ ）と連結されてゲートオン電圧（ V_{on} ）とゲートオフ電圧（ V_{off} ）を組み合わせで構成されたゲート信号をゲート線（ $G_1 - G_n$ ）に印加する。

10

【 0 0 3 9 】

データ駆動部 5 0 0 は、液晶表示板組立体 3 0 0 のデータ線（ $D_1 - D_m$ ）に連結されており、階調電圧生成部 8 0 0 からの階調電圧を選択してこれをデータ信号としてデータ線（ $D_1 - D_m$ ）に印加する。しかし、階調電圧生成部 8 0 0 が全ての階調に対する電圧を全て提供することではなく、決められた数の基準階調電圧のみを提供する場合に、データ駆動部 5 0 0 は基準階調電圧を分圧して全体階調に対する階調電圧を生成し、この中でデータ信号を選択する。

【 0 0 4 0 】

20

信号制御部 6 0 0 はゲート駆動部 4 0 0 及びデータ駆動部 5 0 0 などを制御する。

【 0 0 4 1 】

このような駆動装置 4 0 0、5 0 0、6 0 0、8 0 0 各々は、少なくとも一つの集積回路チップの形態に液晶表示板組立体 3 0 0 上に直接装着されたり、可撓性印刷回路膜（図示せず）上に装着されて T C P の形態に液晶表示板組立体 3 0 0 に付けられたり、別途の印刷回路基板（図示せず）上に装着できる。これとは異なって、これら駆動装置 4 0 0、5 0 0、6 0 0、8 0 0 が信号線（ $G_1 - G_n$ 、 $D_1 - D_m$ ）及び薄膜トランジスタスイッチング素子（ Q ）などと共に液晶表示板組立体 3 0 0 に集積されてもよい。また、駆動装置 4 0 0、5 0 0、6 0 0、8 0 0 は単一チップで集積できるが、この場合、これらのうちの少なくとも一つまたはこれらをなす少なくとも一つの回路素子が単一チップの外側に付けられる。

30

【 0 0 4 2 】

このような液晶表示装置の動作について詳細に説明する。

【 0 0 4 3 】

信号制御部 6 0 0 は外部のグラフィック制御機（図示せず）から入力映像信号（ R 、 G 、 B ）及びその表示を制御する入力制御信号を受信する。入力制御信号の例としては、垂直同期信号（ V_{sync} ）と水平同期信号（ H_{sync} ）、メインクロック（ $MCLK$ ）、データイネーブル信号（ DE ）などがある。

【 0 0 4 4 】

信号制御部 6 0 0 は、入力映像信号（ R 、 G 、 B ）と入力制御信号に基づいて入力映像信号（ R 、 G 、 B ）を液晶表示板組立体 3 0 0 の動作条件に合うように適切に処理してゲート制御信号（ $CONT1$ ）及びデータ制御信号（ $CONT2$ ）などを生成した後、ゲート制御信号（ $CONT1$ ）をゲート駆動部 4 0 0 に送信し、データ制御信号（ $CONT2$ ）と処理した映像信号（ DAT ）をデータ駆動部 5 0 0 に送信する。

40

【 0 0 4 5 】

ゲート制御信号（ $CONT1$ ）は走査開始を指示する走査開始信号（ STV ）とゲートオン電圧（ V_{on} ）の出力周期を制御する少なくとも一つのクロック信号を含む。ゲート制御信号（ $CONT1$ ）は、また、ゲートオン電圧（ V_{on} ）の持続時間を限定する出力イネーブル信号（ OE ）をさらに含むことができる。

【 0 0 4 6 】

50

データ制御信号 (CONT2) は、一行の画素 (PX) に対する映像データの伝送開始を知らせる水平同期開始信号 (STH) と、データ線 ($D_1 - D_m$) にデータ信号を印加することを指示するロード信号 (LOAD) 及びデータクロック信号 (HCLK) を含む。データ制御信号 (CONT2) は、また、共通電圧 (Vcom) に対するデータ信号の電圧極性 (以下、“共通電圧に対するデータ信号の電圧極性”を略して“データ信号の極性”という) を反転させる反転信号 (RVS) をさらに含むことができる。

【0047】

信号制御部 600 からのデータ制御信号 (CONT2) によって、データ駆動部 500 は一つの行の画素 (PX) に対するデジタル映像信号 (DAT) を受信して、各デジタル映像信号 (DAT) に対応する階調電圧を選択することによって、デジタル映像信号 (DAT) をアナログデータ信号に変換した後に、これを当該データ線 ($D_1 - D_m$) に印加する。

10

【0048】

ゲート駆動部 400 は信号制御部 600 からのゲート制御信号 (CONT1) によってゲートオン電圧 (Von) をゲート線 ($G_1 - G_n$) に印加してこのゲート線 ($G_1 - G_n$) に連結されたスイッチング素子 (Q) を導通させる。それによりデータ線 ($D_1 - D_m$) に印加されたデータ信号が導通したスイッチング素子 (Q) を通して当該画素 (PX) に印加される。

【0049】

画素 (PX) に印加されたデータ信号の電圧と共通電圧 (Vcom) の差は液晶蓄電器 (Clc) の充電電圧、つまり、画素電圧として現れる。液晶分子は画素電圧の大きさによってその配列を異ならせ、そのために液晶層 3 を通過する光の偏光が変化する。このような偏光の変化は表示板組立体 300 に付着された偏光子によって光の透過率変化として現れる。

20

【0050】

1 水平周期 [“1H”ともいい、水平同期信号 (Hsync) 及びデータイネーブル信号 (DE) の一周期と同一] を単位として、このような過程を繰り返すことによって、全てのゲート線 ($G_1 - G_n$) に対して順次にゲートオン電圧 (Von) を印加して全ての画素 (PX) にデータ信号を印加して 1 フレームの映像を表示する。

【0051】

30

1 フレームが終わると次のフレームが始まるようになり、各画素 (PX) に印加されるデータ信号の極性が直前のフレームでの極性と反対となるようにデータ駆動部 500 に印加される反転信号 (RVS) の状態が制御される (“フレーム反転”)。この時、1 フレーム内でも反転信号 (RVS) の特性によって一つのデータ線を通して流れるデータ信号の極性が変わったり (例：行反転、点反転)、一つの画素行に印加されるデータ信号の極性も互いに異なることもありうる (例：列反転、点反転)。

【0052】

本発明の実施形態による液晶表示装置の画素配置について図 3 乃至図 8 B を参照して詳細に説明する。

【0053】

40

図 3 は本発明の実施形態 1 による液晶表示装置の画素配置を示した図である。

【0054】

ここで、説明のために、データ線の一部 ($D_1 - D_7$) とゲート線の一部 ($G_{j-1} - G_{j+2}$) を示す。データ線 ($D_1 - D_7$) は画素 (PX) の列方向に延びて配置されており、ゲート線 ($G_{j-1} - G_{j+2}$) は画素 (PX) の行方向に延びて配置されている。

【0055】

データ駆動部 500 はデータ線 ($D_1 - D_7$) 上に、図示した極性のように一つの画素を見たときその左右にあるデータ線に互いに異なる極性を有するデータ電圧が印加されるようにしている (列反転と称する)。

50

【 0 0 5 6 】

この列反転は正極性と負極性が交互に現れるだけでなく、同じ極性が一度繰り返される場合も含む。例えば、データ電圧の極性が ‘ +、 -、 +、 -、 +、 -、 . . . ’ のように二つの極性が交互に現れるもの ($N \times 1$ 反転) と、 ‘ +、 +、 -、 -、 +、 +、 -、 -、 +、 +、 . . . ’ のように同じ極性が一度繰り返された後、極性が変わる場合 ($N \times 2$ 反転) も含む。

【 0 0 5 7 】

さらに、一番左側のデータ線にだけ別の電圧が印加されて、 $1 + N \times 2$ 反転駆動になる場合にも以下では単に $N \times 2$ 反転駆動という。また、画素 (PX) のスイッチング素子 (Q) がデータ線 ($D_1 - D_7$) 及びゲート線 ($D_1 - D_7$ 、 $G_{j-1} - G_{j+2}$) に連結 10
されるが、画素 (PX) が二つの信号線 ($D_1 - D_7$ 、 $G_{j-1} - G_{j+2}$) に連結され
るとして説明する。

【 0 0 5 8 】

図 3 は、一行の画素 (PX) は右側または左側のデータ線 ($D_1 - D_7$) に連結されて
おり、一列の画素 (PX) は右側と左側データ線 ($D_1 - D_7$) に交互に連結されている
。それにより、画素 (PX) に現れるデータ電圧の極性 (以下、 ‘ 画素の極性 ’ という)
は正極性 (+) と負極性 (-) を交互に帯びるようになって、点反転を行う結果となる。
従って、一列の画素 (PX) の極性が同じ時に現れる縦線状欠陥を防止できる。

【 0 0 5 9 】

(実施形態 2)

図 4 は本発明の実施形態 2 による液晶表示装置の画素配置を示した図である。

【 0 0 6 0 】

図 4 には、図 3 とは異なって、各画素 (PX) の左右に一对のデータ線 (D_{1a} 、 D_{1b} 、 D_{2a} 、 D_{2b} 、 D_{3a} 、 D_{3b} 、 D_{4a} 、 D_{4b} 、 D_{5a} 、 D_{5b} 、 D_{6a} 、 D_{6b}) が画素 (PX) の列方向に配置されていて、画素 (PX) は全て右側に位置したデー 20
タ線 (D_{1b} 、 D_{2b} 、 D_{3b} 、 D_{4b} 、 D_{5b} 、 D_{6b}) に連結されている。

【 0 0 6 1 】

これにより、一行の画素 (PX) の極性は交互に変わって、一列の画素 (PX) の極性
は同一になる。この時、一对のデータ線 (D_{1a} 、 D_{1b} 、 D_{2a} 、 D_{2b} 、 D_{3a} 、 D_{3b} 、 D_{4a} 、 D_{4b} 、 D_{5a} 、 D_{5b} 、 D_{6a} 、 D_{6b}) のうち画素 (PX) が連結さ 30
れていないデータ線 (D_{1a} 、 D_{1b} 、 D_{2a} 、 D_{2b} 、 D_{3a} 、 D_{3b} 、 D_{4a} 、 D_{4b} 、 D_{5a} 、 D_{5b} 、 D_{6a} 、 D_{6b}) の極性は画素 (PX) が連結されているデータ線
(D_{1a} 、 D_{1b} 、 D_{2a} 、 D_{2b} 、 D_{3a} 、 D_{3b} 、 D_{4a} 、 D_{4b} 、 D_{5a} 、 D_{5b} 、 D_{6a} 、 D_{6b}) の極性と反対となる。

【 0 0 6 2 】

これは、例えば、第 1 列に属するデータ線 (D_{1a} 、 D_{1b}) を見ると、右側のデータ
線 (D_{1b}) には負極性のデータ電圧 (V_{dtb}) が、左側のデータ線 (D_{1a}) が正極
性のデータ電圧 (V_{dta}) が印加されて、これを共通電圧 (V_{com}) を基準に示すと
図 5 のようになる。つまり、左側のデータ線 (D_{1a}) には右側のデータ線 (D_{1b}) に
印加されるデータ電圧と大きさが同一であって極性だけが反対であるデータ電圧を印加す 40
ることである。このようにすると、各画素 (PX) には、画素の寄生容量にかかる電圧が
互いに相殺されてカップリング欠陥が生じない。

【 0 0 6 3 】

なお、ゲート線 ($G_{j-1} - G_{j+2}$) は実施形態 1 と同様に画素 (PX) の行方向に
配置されている。

【 0 0 6 4 】

図 6 A 及び図 6 B は図 4 に示した画素配置を変形した例である。

【 0 0 6 5 】

図 6 A に示した画素配置は同一行の画素 (PX) は同一データ線 (D_{1a} 、 D_{1b} 、 D_{2a} 、 D_{2b} 、 D_{3a} 、 D_{3b} 、 D_{4a} 、 D_{4b} 、 D_{5a} 、 D_{5b} 、 D_{6a} 、 D_{6b}) に 50

連結されており、同一列の画素 (PX) は一対のデータ線 (D_{1a} 、 D_{1b} 、 D_{2a} 、 D_{2b} 、 D_{3a} 、 D_{3b} 、 D_{4a} 、 D_{4b} 、 D_{5a} 、 D_{5b} 、 D_{6a} 、 D_{6b}) に一行単位で交互に連結されている。図 6 B に示した画素配置は、奇数番目画素列の画素配置は図 8 A に示した画素配置と同じで、偶数番目画素列の画素配置は奇数番目画素列とその間のデータ線を中心に鏡対称をなす。例えば、第 2 列の画素配置はデータ線 (D_{1b} 、 D_{2a}) を中心に第 1 列の画素配置と鏡対称をなす。

【0066】

図 4 に示した画素配置では一列の画素 (PX) に印加されるデータ電圧の極性が同一で縦線状欠陥が生じることがありうるが、図 6 A 及び図 6 B に示した画素配置ではカップリング欠陥だけでなく縦線状欠陥も防止できる。

10

【0067】

図 7 は本発明の実施形態 2 による液晶表示装置の画素配置を示した図であり、図 8 A 乃至図 8 D は図 7 に示した画素配置の変形例である。

【0068】

図 7 を見ると、図 4、図 6 A 及び図 6 B に示した画素構造における一つの画素 (PX) をゲート線 (G_{j-1} - G_{j+2}) を中心に二つの副画素 (PXa、PXb) に分けた構造を有する。これは側面視認性を改善するために現在開発中の構造であって、主に垂直配向方式の液晶表示装置に使用される。

【0069】

一つの画素 (PX) を構成する二つの副画素 (PXa、PXb) は互いに異なるデータ線 (D_{1a} 、 D_{1b} 、 D_{2a} 、 D_{2b} 、 D_{3a} 、 D_{3b} 、 D_{4a} 、 D_{4b} 、 D_{5a} 、 D_{5b} 、 D_{6a} 、 D_{6b}) に連結されており、このような構造が行方向及び列方向に繰り返し採用され、ここで示したような画素 (PX) の極性が現れる。

20

【0070】

従って、画素 (PX) を間に置いた一対のデータ線 (D_{1a} 、 D_{1b} 、 D_{2a} 、 D_{2b} 、 D_{3a} 、 D_{3b} 、 D_{4a} 、 D_{4b} 、 D_{5a} 、 D_{5b} 、 D_{6a} 、 D_{6b}) の極性が互いに反対であるため、カップリング欠陥が生じないで、また、一列の画素 (PX) の極性が交互に繰り返し変化するため、縦線状欠陥が生じない。

【0071】

図 8 A の場合には図 7 に示した画素配置と同一である。ただし、印加されるデータ電圧の極性が異なって、これによって同じ構造でも画素 (PX) の極性が変わる。つまり、図 7 に示した画素配置では行方向及び列方向に画素 (PX) の極性が正極性と負極性を示したが、図 8 A に示した画素配置では行方向に同じ極性を有する。しかし、この場合にもカップリング欠陥や縦線状欠陥を防止できる。

30

【0072】

図 8 B の場合、一つの画素 (PX) を構成する二つの副画素 (PXa、PXb) は互いに異なるデータ線 (D_{1a} 、 D_{1b} 、 D_{2a} 、 D_{2b} 、 D_{3a} 、 D_{3b} 、 D_{4a} 、 D_{4b} 、 D_{5a} 、 D_{5b} 、 D_{6a} 、 D_{6b}) に連結されている。ただし、列方向に隣接した画素の隣接した二つの副画素は同じデータ線 (D_{1a} 、 D_{1b} 、 D_{2a} 、 D_{2b} 、 D_{3a} 、 D_{3b} 、 D_{4a} 、 D_{4b} 、 D_{5a} 、 D_{5b} 、 D_{6a} 、 D_{6b}) に連結されている。例えば、第 1 列 ($j-1$) 行の下側副画素 (PXb) とこれと隣接した j 行の上側副画素 (PXa) は同じデータ線 (D_{1a}) に連結されており、 j 行の下側副画素 (PXb) とこれと隣接した ($j+1$) 行の上側副画素 (PXa) は同じデータ線 (D_{1b}) に連結されている。

40

【0073】

図 8 C の場合、奇数番目画素列の画素配置は図 8 B に示した画素配置と同じで、偶数番目画素列の画素配置は奇数番目画素列とその間のデータ線を中心に鏡対称をなす。例えば、第 2 列の画素配置はデータ線 (D_{1b} 、 D_{2a}) を中心に第 1 列の画素配置と鏡対称をなす。

【0074】

50

図 8 D の場合、奇数番目画素列の画素配置は図 7 a に示したのと同様である。つまり、一つの画素 (P X) を構成する二つの副画素 (P X a 、 P X b) は互いに異なるデータ線 (D _{1 a} 、 D _{1 b} 、 D _{2 a} 、 D _{2 b} 、 D _{3 a} 、 D _{3 b} 、 D _{4 a} 、 D _{4 b} 、 D _{5 a} 、 D _{5 b} 、 D _{6 a} 、 D _{6 b}) に連結されており、このような構造が列方向に繰り返し採用される。偶数番目画素列の画素配置は図 8 C のように奇数番目画素列とその間のデータ線を中心に鏡対称をなす。

【 0 0 7 5 】

このように、一对のデータ線 (D _{1 a} 、 D _{1 b} 、 D _{2 a} 、 D _{2 b} 、 D _{3 a} 、 D _{3 b} 、 D _{4 a} 、 D _{4 b} 、 D _{5 a} 、 D _{5 b} 、 D _{6 a} 、 D _{6 b}) に同じ大きさの互いに異なる極性のデータ電圧を印加し、列方向の画素の極性が交互に繰り返し変化することによって、カップリング欠陥と縦線状欠陥を防止することが分かる。

10

【 0 0 7 6 】

以上で本発明の望ましい実施形態について詳細に説明しましたが、本発明の権利範囲はこれに限定されることはなく、特許請求の範囲で定義している本発明の基本概念を利用した当業者による多様な変形及び改良形態も本発明の権利範囲に属する。

【図面の簡単な説明】

【 0 0 7 7 】

【図 1】本発明の実施形態 1 による液晶表示装置のブロック図である。

【図 2】本発明の実施形態 1 による液晶表示装置の一つの画素に対する等価回路図である。

20

【図 3】本発明の実施形態 1 による液晶表示装置の画素配置を示した図である。

【図 4】本発明の実施形態 2 による液晶表示装置の画素配置の一例を示した図である。

【図 5】図 4 に示した画素配置でカップリング欠陥を除去する原理を説明する図である。

【図 6 A】図 4 に示した画素配置の変形例を示した図である。

【図 6 B】図 4 に示した画素配置の変形例を示した図である。

【図 7】本発明の実施形態 2 による液晶表示装置の画素配置を示した図である。

【図 8 A】図 7 に示した画素配置の変形例を示した図である。

【図 8 B】図 7 に示した画素配置の変形例を示した図である。

【図 8 C】図 7 に示した画素配置の変形例を示した図である。

【図 8 D】図 7 に示した画素配置の変形例を示した図である。

30

【符号の説明】

【 0 0 7 8 】

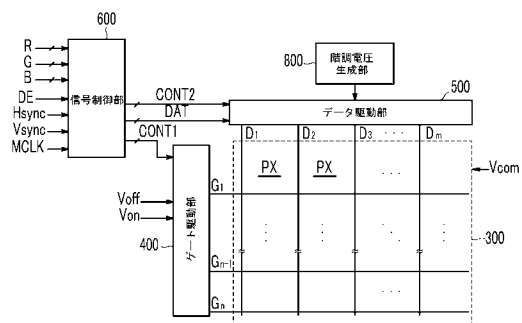
3 ... 液晶層、
 1 0 0 ... 下部表示板、
 1 9 1 ... 画素電極、
 2 0 0 ... 上部表示板、
 2 3 0 ... 色フィルター、
 2 7 0 ... 共通電極、
 3 0 0 ... 液晶表示板組立体、
 4 0 0 ... ゲート駆動部、
 5 0 0 ... データ駆動部、
 6 0 0 ... 信号制御部、
 8 0 0 ... 階調電圧生成部、
 R、G、B ... 入力映像データ、
 D E ... データイネーブル信号、
 M C L K ... メインクロック、
 H s y n c ... 水平同期信号、
 V s y n c ... 垂直同期信号、
 C O N T 1 ... ゲート制御信号、
 C O N T 2 ... データ制御信号、

40

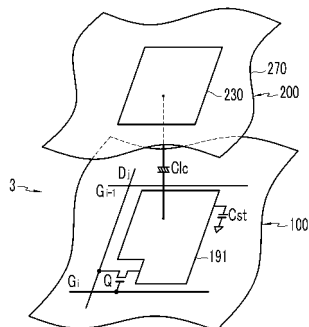
50

D A T ... デジタル映像信号、
 C l c ... 液晶蓄電器、
 C s t ... 維持蓄電器、
 Q ... スイッチング素子、
 P X ... 画素、
 P X a、P X b ... 副画素。

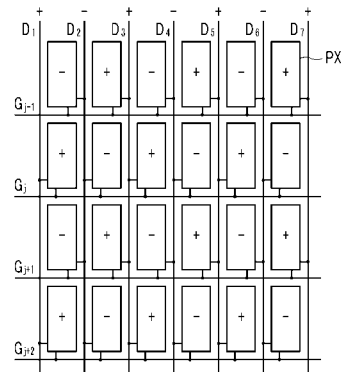
【図 1】



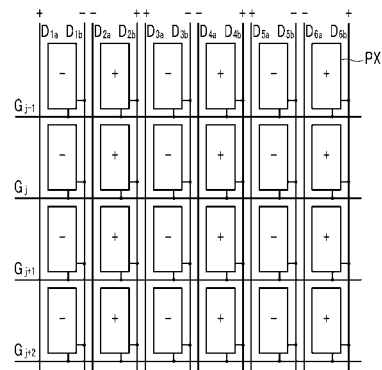
【図 2】



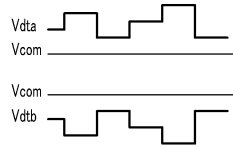
【図 3】



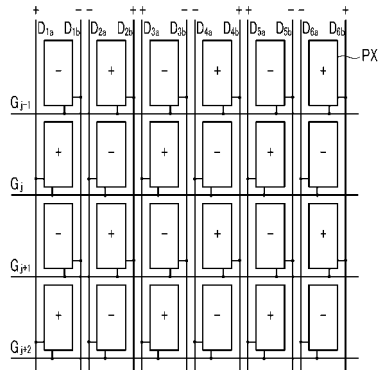
【図 4】



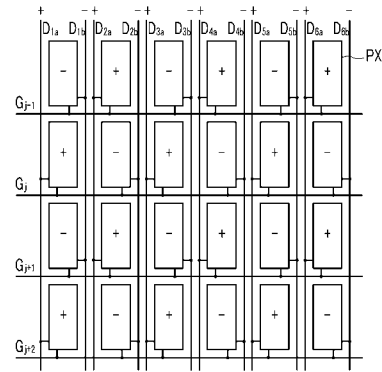
【図 5】



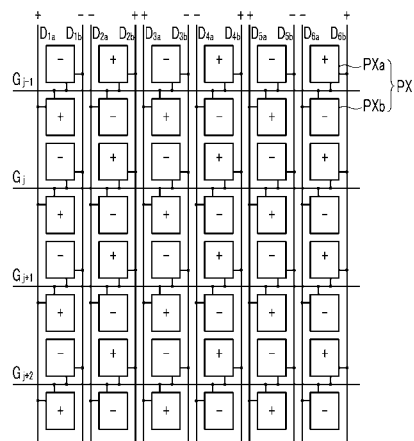
【図 6 A】



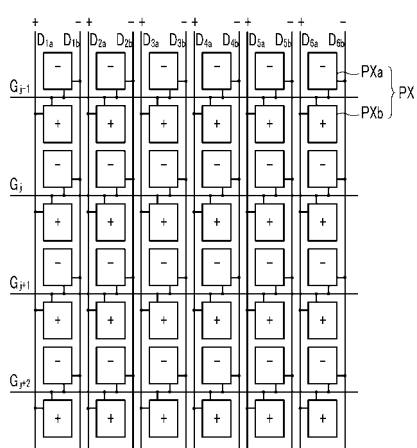
【図 6 B】



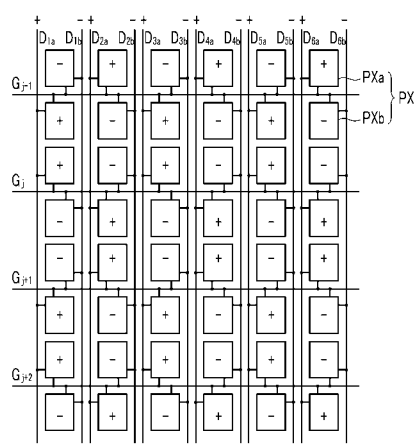
【図 7】



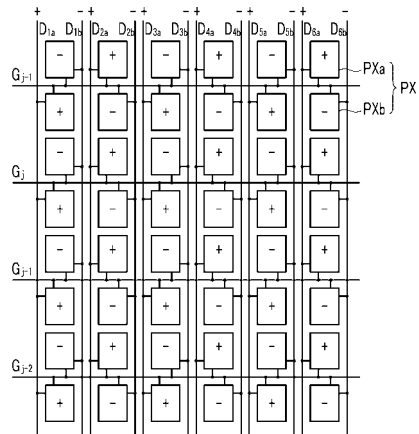
【図 8 A】



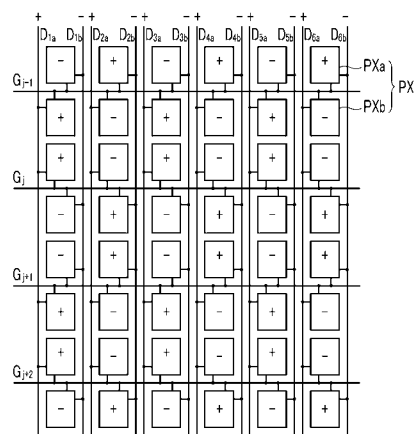
【図 8 B】



【図 8 C】



【図 8 D】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 D

(74)代理人 100114649
弁理士 宇谷 勝幸

(74)代理人 100129126
弁理士 藤田 健

(74)代理人 100130971
弁理士 都祭 正則

(74)代理人 100134348
弁理士 長谷川 俊弘

(72)発明者 白 承 洙
大韓民国ソウル特別市冠岳区南 けん 洞 6 0 2 - 5 5 番地 3 0 2 号

(72)発明者 金 東 奎
大韓民国京畿道龍仁市豊徳川 2 洞 三星 5 次アパート 5 2 3 棟 1 3 0 5 号

(72)発明者 李 栢 遠
大韓民国忠清南道天安市佛堂洞 テドンダスツプ 1 1 0 棟 8 0 2 号

審査官 堀部 修平

(56)参考文献 特開 2 0 0 2 - 0 2 3 7 0 9 (J P , A)
特開平 0 6 - 2 6 6 3 1 5 (J P , A)
特開 2 0 0 3 - 2 2 8 3 4 2 (J P , A)
特開 2 0 0 4 - 0 5 4 2 9 5 (J P , A)
特開 2 0 0 5 - 3 0 9 4 3 8 (J P , A)
特開平 1 1 - 0 4 4 8 8 5 (J P , A)
特開 2 0 0 1 - 0 3 3 7 5 7 (J P , A)
特開 2 0 0 6 - 3 0 1 3 9 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP5025244B2	公开(公告)日	2012-09-12
申请号	JP2006327062	申请日	2006-12-04
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	白承洙 金東奎 李栢遠		
发明人	白 承 洙 金 東 奎 李 栢 遠		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3614 G09G2300/08 G09G2310/0218		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.B G09G3/20.623.W G09G3/20.642.A G09G3/20.623.D		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NC09 2H093/NC11 2H093/NC34 2H093/ND32 2H093/NE06 2H193/ZA04 2H193/ZA08 2H193/ZA19 2H193/ZC04 2H193/ZC13 5C006/AC26 5C006/AF43 5C006/AF71 5C006/BB14 5C006/BB16 5C006/BC12 5C006/BC23 5C006/FA16 5C006/FA22 5C080/AA10 5C080/BB06 5C080/DD05 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06		
代理人(译)	宇谷 胜幸 藤田 健		
优先权	1020050118067 2005-12-06 KR		
其他公开文献	JP2007156483A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供防止耦合缺陷和条纹缺陷的液晶显示器，并且可以高速驱动。ŽSOLUTION：液晶显示器包括以矩阵形状排列的多个像素PX，连接到每个像素PX的开关元件Q，数据线D 1a 到D 6b 和连接到开关元件的栅极线和产生数据电压并将数据电压施加到数据线D 1a 到D 6b 的数据驱动器。数据线D 1a 至D 6b 成对地设置在像素的两侧，并且相同幅度但具有不同极性的数据电压被施加到成对的数据线上。数据线D 1a 至D 6b 。

