

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4606577号
(P4606577)

(45) 発行日 平成23年1月5日 (2011.1.5)

(24) 登録日 平成22年10月15日 (2010.10.15)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G09G 3/20 622Q

G09G 3/20 624D

請求項の数 3 (全 12 頁)

(21) 出願番号 特願2000-401329 (P2000-401329)
(22) 出願日 平成12年12月28日 (2000.12.28)
(65) 公開番号 特開2002-202761 (P2002-202761A)
(43) 公開日 平成14年7月19日 (2002.7.19)
審査請求日 平成18年12月8日 (2006.12.8)

(73) 特許権者 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74) 代理人 100098464
弁理士 河村 洸
(74) 代理人 100149630
弁理士 藤森 洋介
(74) 代理人 100154449
弁理士 谷 征史
(72) 発明者 柴田 晋
熊本県菊池郡西合志町御代志997番地
株式会社アドバンスト・ディスプレイ内
(72) 発明者 大浦 久治
熊本県菊池郡西合志町御代志997番地
株式会社アドバンスト・ディスプレイ内
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

一対の基板間に液晶を挟持してなり、一方の基板上に複数のゲート配線および複数のソース配線が設けられ、該ソース配線と前記ゲート配線との交差部にスイッチング素子としてTFTが設けられ、該TFTのゲート電極は前記ゲート配線に接続され、ソース電極は前記ソース配線に接続されており、前記TFTがオンすることにより前記ソース配線の電圧が前記TFTのドレイン電極へと印加され、該ドレイン電極の電圧と対向電極電圧との差によって両電極間の前記液晶が駆動され、表示がおこなわれる液晶表示装置において、

順方向走査とは、 n 番目の前記ゲート配線、 $(n+1)$ 番目の前記ゲート配線の順序で前記ゲート配線の選択をおこなうことであり、逆方向走査とは、前記ゲート配線の選択順序を切り替えることであって、 $(n+1)$ 番目の前記ゲート配線、 n 番目の前記ゲート配線の順序で前記ゲート配線の選択をおこなうことであって、

$(n+1)$ 番目の前記ゲート配線に接続された前記TFTの前記ドレイン電極と n 番目の前記ゲート配線との間で容量を構成しており、前記順方向走査時と前記逆方向走査時とで、前記ソース配線に印加される交番状電圧の中心値に対して前記対向電極電圧を異ならせることを特徴とする液晶表示装置。

【請求項2】

一対の基板間に液晶を挟持してなり、一方の基板上に複数のゲート配線および複数のソース配線が設けられ、該ソース配線と前記ゲート配線との交差部にスイッチング素子としてTFTが設けられ、該TFTのゲート電極は前記ゲート配線に接続され、ソース電極は

10

20

前記ソース配線に接続されており、前記T F Tがオンすることにより前記ソース配線の電圧が前記T F Tのドレイン電極へと印加され、該ドレイン電極の電圧と対向電極電圧との差によって両電極間の前記液晶が駆動され、表示がおこなわれる液晶表示装置において、

順方向走査とは、n番目の前記ゲート配線、(n+1)番目の前記ゲート配線の順序で前記ゲート配線の選択をおこなうことであり、逆方向走査とは、前記ゲート配線の選択順序を切り替えることであって、(n+1)番目の前記ゲート配線、n番目の前記ゲート配線の順序で前記ゲート配線の選択をおこなうことであって、

(n+1)番目の前記ゲート配線に接続された前記T F Tの前記ドレイン電極とn番目の前記ゲート配線との間で容量を構成しており、前記順方向走査時と前記逆方向走査時とで、前記ソース配線に印加される交番状電圧の中心値に対して異なる電圧を生成して対向電極に印加する対向電極電圧生成回路を備えることを特徴とする液晶表示装置。

10

【請求項3】

前記対向電極電圧生成回路が、前記順方向走査時に対向電極に印加する電圧および前記逆方向走査時に対向電極に印加する電圧の調整機能を備え、前記順方向走査時および前記逆方向走査時に、前記調整機能によって調整された電圧を、それぞれ、対向電極に印加することを特徴とする請求項2記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はアクティブマトリクス型の液晶表示装置に関する。

20

【0002】

【従来の技術】

図4にアクティブマトリクス型の液晶表示装置について、その一画素の等価回路を示す。

【0003】

アクティブマトリクス型液晶表示装置は、一对の基板間に液晶を挟持してなり、基板上には複数のゲート配線Gおよび複数のソース配線Sが設けられている。さらに、ゲート配線Gとソース配線Sとの交点には、スイッチング素子としてT F T（薄膜トランジスタ）7が設けられている。T F T 7のゲート電極はゲート配線Gに接続され、ソース電極はソース配線Sに接続されている。ゲート配線Gに印加される電圧（以下、ゲート電圧という）が、“H”（高）レベルであるときT F T 7は“オン”となり、ソース配線Sの電圧がT F T 7のドレイン電極へと印加される。

30

【0004】

別途設ける対向電極8には対向電極電圧V COMが印加されており、ドレイン電極の電圧（以下、ドレイン電圧V Dという）と対向電極電圧V COMとの差によって、両電極間の液晶が駆動され、表示がおこなわれる。

【0005】

複数あるゲート配線Gに順次“H”レベルのゲート電圧を印加していき、これに同期して各ソース配線Sに所望の電圧を与えることにより、すべての画素のドレイン電極にそれぞれ所望の電圧を印加し、一画面の表示を得ることができる。なお、ゲート配線に“H”レベルのゲート電圧を入力することを、ゲート配線を選択するという。また、隣り合うゲート配線を順番に選択していく方式を、順次走査方式という。

40

【0006】

“H”レベルのゲート電圧印加後、つぎに再度“H”レベルのゲート電圧が印加されるまでの間、ドレイン電極の電圧は、対向電極8とドレイン電極の間の液晶により形成される液晶容量C L C、およびドレイン電極とゲート配線とのあいだに設ける蓄積容量C Sによって保持される。なお、ドレイン電極とゲート配線との間に蓄積容量C Sを形成する構造を、C Sオンゲート構造という。

【0007】

図4に示したC Sオンゲート構造の液晶表示装置について、各部の電圧波形を図5に示す。

50

【0008】

図5において、 V_{G_n} 、 $V_{G_{n+1}}$ はそれぞれ n 番目のゲート配線 G_n および $n+1$ 番目のゲート配線 G_{n+1} に入力されるゲート電圧であり、ゲート電圧が“H”レベル(V_{GH})にあるときTFTは“オン”され、“L”レベル(V_{GL})のときTFTは“オフ”される。

【0009】

V_{S_m} は、 m 番目のソース配線に印加される電圧（以下、ソース電圧という）であり、液晶に印加される電圧の極性が交互に反転するように、中心値 V_{SO} を中心とした交番状電圧とされている。

【0010】

10

ソース電圧 V_{S_m} が対向電極の電圧 V_{COM} より電位が高い正極性の場合、ゲート電圧 $V_{G_{n+1}}$ が“H”レベルに変化すると、TFTが“オン”され、ドレイン電極の電圧 V_D はソース電圧 V_{S_m} と同じ電位まで上昇する。

【0011】

その後、ゲート電圧 $V_{G_{n+1}}$ が“L”レベル(V_{GL})へと変化しTFTが“オフ”する瞬間に、ドレイン電圧 V_D は、ゲート電極とドレイン電極との間の容量カップリングの影響を受けて ΔV_{GD1} だけ減少する。 ΔV_{GD1} はフィードスルー電圧と呼ばれ、次の（式1）で表わされる。

【0012】

$$\Delta V_{GD1} = CGD / (CGD + CLC + CS) \cdot \Delta V_{G_{n+1}} \quad (\text{式1})$$

20

ここで、 CGD はTFTのゲート・ドレイン間の寄生容量であり、 $\Delta V_{G_{n+1}}$ はゲート電圧 $V_{G_{n+1}}$ の変化量、すなわち $\Delta V_{G_{n+1}} = V_{GH} - V_{GL}$ である。

【0013】

また、ゲート電圧 $V_{G_{n+1}}$ は実際には液晶表示装置内部の容量や抵抗の影響を受け、破線で示した理想的な波形から遅延して、実線で示した波形となる。したがって、ゲート電圧 $V_{G_{n+1}}$ が V_{GH} から V_{GL} に変化し始めても、TFTは瞬時に完全に“オフ”となるわけではない。したがって、TFTが完全に“オフ”するまでのわずかの期間、ドレイン電極は再充電されドレイン電極の電圧 V_D は ΔV_{RC1} だけ増加する。

【0014】

結果として、ドレイン電圧 V_D はソース電圧 V_{S_m} より ΔV_{DC1} （ $= \Delta V_{GD1} - \Delta V_{RC1}$ ）だけ低い電位となり、つぎにゲート電圧 $V_{G_{n+1}}$ が“H”レベルとなるまでの間、この電圧を保持することになる。

30

【0015】

ソース電圧 V_{S_m} が対向電極の電圧 V_{COM} より電位が低い負極性的場合も、同様に、フィードスルー電圧 ΔV_{GD1} 、およびTFTが完全に“オフ”するまでの間の再充電 ΔV_{RC1} により、ドレイン電圧 V_D は、やはりソース電圧 V_{S_m} より ΔV_{DC1} （ $= \Delta V_{GD1} - \Delta V_{RC1}$ ）だけ低い電位となる。

【0016】

したがって、対向電極の電圧 V_{COM} をソース電圧 V_{S_m} の中心値 V_{SO} に設定すると、正極性と逆極性で液晶に印加される電圧が異なってしまう、液晶へDC電圧が印可され、ヤキツキやフリッカなどの表示不良を引き起こすという問題があった。

40

【0017】

そこで、従来は、このTFT“オフ”時の電圧低下および再充電を補償するために、対向電極電圧 V_{COM} を、ソース電圧 V_{S_m} の中心値 V_{SO} より ΔV_{DC1} だけ低い電圧に設定していた。

【0018】

【発明が解決しようとする課題】

ところで、液晶表示装置には、ゲート配線の選択順序の切り替えをおこなうものがある。すなわち、通常は n 番目のゲート配線 G_n 、 $n+1$ 番目のゲート配線 G_{n+1} の順序でゲート配線の選択をおこない（順方向走査）、切り替え時には、 $n+1$ 番目のゲート配線 G_{n+1}

50

、 n 番目のゲート配線 G_n の順序でゲート配線 G の選択をおこなう（逆方向走査）。

【0019】

図4に示した液晶表示装置について、逆方向走査を行なった場合の各部の電圧波形を図6に示す。

【0020】

逆方向走査をおこなった場合も、図5で説明した順方向走査の場合と同様、ゲート配線 G_{n+1} のゲート電圧 $V_{G_{n+1}}$ が V_{GH} から V_{GL} に変化する際に、ドレイン電圧 V_D に、電圧低下（フィードスルー電圧）が生じる。

【0021】

さらに、このときほぼ同時に、となりのゲート配線 G_n のゲート電圧 V_{G_n} が V_{GL} から V_{GH} に変化し、ゲート配線 G_n とドレイン電極との間に設けた蓄積容量 C_S の影響によりドレイン電圧 V_D に変化が生じる。

【0022】

これらにより、ドレイン電圧 V_D は、次の（式2）で表わされる ΔV_{GD2} だけ変動する。

$$\Delta V_{GD2} = C_{GD} / (C_{GD} + C_{LC} + C_S) \cdot \Delta V_{G_{n+1}} - C_S / (C_{GD} + C_{LC} + C_S) \cdot \Delta V_{G_n} \quad (\text{式2})$$

ここで、 $\Delta V_{G_{n+1}} = \Delta V_{G_n} = V_{GH} - V_{GL}$ である。一般に、ゲート・ドレイン間の寄生容量 C_{GD} よりも蓄積容量 C_S の方が大きい、すなわち $C_{GD} < C_S$ であるので、ドレイン電圧 V_D はソース電圧 V_{S_m} より上の電位へと変動する。

【0023】

したがって、その後のTFTが完全に“オフ”までの間の再充電期間において、ドレイン電圧 V_D は ΔV_{RC2} だけ減少する。さらに、その後、ドレイン電圧 V_D はゲート配線 G_n のゲート電圧 V_{G_n} が V_{GH} から V_{GL} へと変動する瞬間に、蓄積容量 C_S の影響を受けて、 $C_S / (C_{GD} + C_{LS} + C_S) \cdot \Delta V_{G_n}$ だけ減少する。

【0024】

このため最終的には、ドレイン電圧 V_D はソース電圧 V_{S_m} より ΔV_{DC2} だけ低い電位を保持することになる。ここで ΔV_{DC2} は、次の（式3）によりあらわすことができる。

$$\begin{aligned} \Delta V_{DC2} &= \Delta V_{GD2} + \Delta V_{RC2} \\ &\quad + C_S / (C_{GD} + C_{LS} + C_S) \cdot \Delta V_{G_n} \\ &= C_{GD} / (C_{GD} + C_{LC} + C_S) \cdot \Delta V_{G_{n+1}} + \Delta V_{RC2} \\ &= \Delta V_{GD1} + \Delta V_{RC2} \quad (\text{式3}) \end{aligned}$$

【0025】

すでに述べたように、順方向走査時に対向電極電圧 V_{COM} が最適電圧となるように設定した場合、 $V_{COM} = V_{SO} - \Delta V_{DC1}$ となる。一方、逆方向走査時には、最適 V_{COM} 値は $V_{COM} = V_{SO} - \Delta V_{DC2}$ である。

【0026】

したがって、順方向走査時にあわせて V_{COM} を設定した場合、逆方向走査時には V_{COM} が最適値から $\Delta V_{DC2} - \Delta V_{DC1}$ だけずれることになり、液晶にDC電圧が印可される。このようなDC電圧の印加は、ヤキツキやフリッカなどの表示不良の原因となる。

【0027】

なお、このような不具合は、 C_S オンゲート構造の液晶表示装置に特有のものではなく、蓄積容量 C_S が対向電極と同電位の共通配線とドレイン電極とのあいだに形成される共通 C_S 構造においても、ドレイン電極の一部がゲート配線と絶縁層を介して対向している構造などでも同様に生じる。

【0028】

【課題を解決するための手段】

10

20

30

40

50

本発明は前記課題を解決するものであり、一对の基板間に液晶を挟持してなり、一方の基板上に複数のゲート配線および複数のソース配線が設けられ、該ソース配線と前記ゲート配線との交差部にスイッチング素子としてTFTが設けられ、該TFTのゲート電極は前記ゲート配線に接続され、ソース電極は前記ソース配線に接続されており、前記TFTがオンすることにより前記ソース配線の電圧が前記TFTのドレイン電極へと印加され、該ドレイン電極の電圧と対向電極電圧との差によって両電極間の前記液晶が駆動され、表示がおこなわれる液晶表示装置において、

順方向走査とは、n番目の前記ゲート配線、(n+1)番目の前記ゲート配線の順序で前記ゲート配線の選択をおこなうことであり、逆方向走査とは、前記ゲート配線の選択順序を切り替えることであって、(n+1)番目の前記ゲート配線、n番目の前記ゲート配線の順序で前記ゲート配線の選択をおこなうことであって、

(n+1)番目の前記ゲート配線に接続された前記TFTの前記ドレイン電極とn番目の前記ゲート配線との間で容量を構成しており、前記順方向走査時と前記逆方向走査時とで、前記ソース配線に印加される交番状電圧の中心値に対して前記対向電極電圧を異ならせることを特徴とする。

【0029】

また、本発明による液晶表示装置は、一对の基板間に液晶を挟持してなり、一方の基板上に複数のゲート配線および複数のソース配線が設けられ、該ソース配線と前記ゲート配線との交差部にスイッチング素子としてTFTが設けられ、該TFTのゲート電極は前記ゲート配線に接続され、ソース電極は前記ソース配線に接続されており、前記TFTがオンすることにより前記ソース配線の電圧が前記TFTのドレイン電極へと印加され、該ドレイン電極の電圧と対向電極電圧との差によって両電極間の前記液晶が駆動され、表示がおこなわれる液晶表示装置において、

順方向走査とは、n番目の前記ゲート配線、(n+1)番目の前記ゲート配線の順序で前記ゲート配線の選択をおこなうことであり、逆方向走査とは、前記ゲート配線の選択順序を切り替えることであって、(n+1)番目の前記ゲート配線、n番目の前記ゲート配線の順序で前記ゲート配線の選択をおこなうことであって、

(n+1)番目の前記ゲート配線に接続された前記TFTの前記ドレイン電極とn番目の前記ゲート配線との間で容量を構成しており、前記順方向走査時と前記逆方向走査時とで、前記ソース配線に印加される交番状電圧の中心値に対して異なる電圧を生成して対向電極に印加する対向電極電圧生成回路を備えることを特徴とする。

【0030】

さらに、対向電極電圧生成回路が、順方向走査時に対向電極に印加する電圧および逆方向走査時に対向電極に印加する電圧の調整機能を備え、前記順方向走査時および前記逆方向走査時に、前記調整機能によって調整された電圧を、それぞれ、対向電極に印加することを特徴とする。

【0031】

【発明の実施の形態】

実施の形態1

図1に、本実施の形態におけるVCOM生成回路（対向電極電圧生成回路）を示す。

【0032】

図1において、SCMD信号は走査方向情報をもった信号であり、通常、液晶表示装置が取り付けられるパソコン、液晶モニター装置などの信号源から供給される。ここでは一例として、SCMD信号は0[V]、3.3[V]レベルのロジック信号であるとし、SCMD=L(0[V])のとき順方向走査がおこなわれ、SCMD=H(3.3[V])のとき逆方向走査がおこなわれるものとする。

【0033】

VCOM生成回路に供給されたSCMD信号は、VCC(=9[V])とGND(=0[V])を電源とした非反転バッファ3を介し、信号SCMD₂としてPチャンネルMOSFET1のゲートに入力される。したがって、信号SCMD₂は、順方向走査時には0

10

20

30

40

50

〔V〕、逆方向走査時には9〔V〕である。

【0034】

さらに、信号SCMD₂は、VCC(=9〔V〕)とGND(=0〔V〕)を電源とした反転バッファ4を介し、信号SCMD₃としてNチャンネルMOS FET2のゲートに入力される。したがって、信号SCMD₃は順方向走査時には9〔V〕、逆方向走査時には0〔V〕であり、信号SCMD₂と信号SCMD₃は反転の関係である。

【0035】

PチャンネルMOS FET1はゲート入力SCMD₂=0〔V〕のとき“オン”され、NチャンネルMOS FET2はゲート入力SCMD₃=9〔V〕のとき“オン”される。前述のとおり、順方向走査時にはSCMD=Lであるため、SCMD₂=0〔V〕、SCMD₃=9〔V〕となり、したがって、PチャンネルMOS FET1およびNチャンネルMOS FET2はともに“オン”される。一方、逆方向走査時にはSCMD=Hであるため、SCMD₂=9〔V〕、SCMD₃=0〔V〕となり、PチャンネルMOS FET1およびNチャンネルMOS FET2はともに“オフ”される。

【0036】

このとき、MOS FET1、2が“オン”されたときにはVR2が無視できる程度に、“オフ”されたときはMOS FET1、2のオフ抵抗が無視できるように、VR2は数〔kΩ〕から数十〔kΩ〕程度に設定する。

【0037】

これらの条件の下、まずSCMD=Lと設定し、順方向走査を行ない、3端子の可変抵抗VR1にて、前述のΔVDC1を補償するようにVCOMを調整する。このときのVCOM値は、R1、R2、MOS FET1、2のオン抵抗およびVR1の調整値の比で与えられる。つぎにSCMD=Hと設定し、逆方向走査を行ない、3端子の可変抵抗VR2にて前述のΔVDC2を補償するようにVCOMを調整する。このときのVCOM値はR1、R2、およびVR1、VR2の調整値の比で表わされる。

【0038】

以下、VR1およびVR2の調整について、さらに詳細に説明する。

【0039】

ここでは一例として、VSO=4.5〔V〕、ΔVDC1=0.5〔V〕、ΔVDC2=1.0〔V〕である液晶表示装置を考える。この液晶表示装置において、順方向走査時の最適VCOM値は4.0〔V〕となり、逆方向走査時の最適VCOM値は3.5〔V〕となる。さらに、図1に示すVCOM生成回路において、VCC=9〔V〕、R1=R2=20〔kΩ〕、VR1=50〔kΩ〕、VR2=20〔kΩ〕であるとする。ここでは簡単のため、MOS FET1、2のオン抵抗は0〔Ω〕であると仮定する。

【0040】

順方向走査に対してはMOS FET1、2がオンとなり、VR2がバイパスされているので、VCC(=9〔V〕)をR1、R2、VR1の抵抗比率で分割してVCOMが4.0〔V〕となるように、3端子の可変抵抗器VR1を調整する。この場合は、電源側(VCC側)が30〔kΩ〕、接地側が20〔kΩ〕となるようにVR1を調整すれば、VCOM=4.0〔V〕となる。

【0041】

この状態で逆方向走査を行なうと、VCOMはR1、R2、VR1、VR2の抵抗比率で決定される。ここで、3端子の可変抵抗器VR2を電源側(VCC側)が12.9〔kΩ〕となるように調整すれば、VCOM=3.5〔V〕とすることができる。

【0042】

このようにVR1、VR2を調整しておけば、SCMD信号の状態によって順方向走査、逆方向走査の双方でVCOMが最適化されるため、走査方向に関係なく液晶へのDC電圧の印加を低減できるため、ヤキツキやフリッカなどの表示不良を低減できる。

【0043】

なお、実際のMOS FETにおいてはオン抵抗は0〔Ω〕でなく、VR2の調整により

ゲート・ソース間電圧 V_{GS} は変化するため、本実施の形態のように十分な V_{GS} が得られない場合は、MOS FET の伝達特性（ドレイン電流 I_D - ゲート・ソース間電圧 V_{GS} 特性）の非線型領域における相互コンダクタンス g_m の変化からわかるように、オン抵抗が変化してしまう。

【0044】

このような状況では、順方向走査時の最適 V_{COM} を V_{R1} にて調整したのち、逆方向走査時の最適 V_{COM} を V_{R2} を変化させて調整した場合、逆方向走査時の V_{R2} による調整の前後で MOS FET のオン抵抗が変化してしまい、再度順方向走査時の V_{COM} を V_{R1} で調整し、その後逆方向走査時の V_{COM} を V_{R2} で調整し、さらにまた順方向走査時の V_{COM} を V_{R1} で調整するというように、調整を何度も繰り返して微調整を行なうことが必要となる。

10

【0045】

したがって、ここでは、伝達特性が対称な P チャンネルおよび N チャンネル MOS FET を並列に使用することが望ましい。これにより V_{R2} の値に関係なく実効的なオン抵抗 (g_m) を一定にすることが可能となる。

【0046】

なお、本実施の形態では、 V_{COM} の出力段としてオペアンプ 5 を使用しているが、 V_{COM} 負荷が大きく、大きなラッシュ電流が要求される場合はオペアンプ 5 の出力に大容量のコンデンサやプッシュプル回路を付加してもよい。

【0047】

20

実施の形態 2

図 2 に、本実施の形態における V_{COM} 生成回路（対向電極電圧生成回路）を示す。

【0048】

図 2 において、SCMD 信号は走査方向の情報をもった信号であり、通常、液晶表示装置が取り付けられるパソコン、液晶モニター装置などの信号源から供給される。ここでは一例として、SCMD 信号は 0 [V]、3.3 [V] レベルのロジック信号であるとし、SCMD = L (0 [V]) のとき順方向走査がおこなわれ、SCMD = H (3.3 [V]) のとき逆方向走査がおこなわれるものとする。

【0049】

V_{COM} 生成回路に供給された SCMD 信号は、 V_{DD} (= 2.0 [V]) と GND (= 0 [V]) を電源とした反転バッファ 12 を介し、信号 SCMD₂ として N チャンネル MOS FET 11 のゲートに入力される。したがって、信号 SCMD₂ は、順方向走査時には 2.0 [V]、逆方向走査時には 0 [V] である。

30

【0050】

N チャンネル MOS FET 11 はゲート入力 SCMD₂ = 2.0 [V] のとき“オン”される。前述のとおり、順方向走査時には SCMD = L であるため、SCMD₂ = 2.0 [V] となり、したがって、N チャンネル MOS FET 11 は“オン”される。一方、逆方向走査時には SCMD = H であるため、SCMD₂ = 0 [V] となり、N チャンネル MOS FET 11 は“オフ”される。

【0051】

40

このとき、MOS FET が“オン”されたときには V_{R2} が無視できる程度に、“オフ”されたときは MOS FET のオフ抵抗が無視できるように、 V_{R2} は数 [kΩ] から数十 [kΩ] 程度に設定する。

【0052】

これらの条件の下、まず SCMD = L と設定し、順方向走査を行ない、3 端子の可変抵抗 V_{R1} にて、前述の ΔV_{DC1} を補償するように V_{COM} を調整する。このときの V_{COM} 値は、 $R1$ 、 $R2$ 、MOS FET のオン抵抗および V_{R1} の調整値の比で与えられる。つぎに SCMD = H と設定し、逆方向走査を行ない、3 端子の可変抵抗 V_{R2} にて前述の ΔV_{DC2} を補償するように V_{COM} を調整する。このときの V_{COM} 値は $R1$ 、 $R2$ 、および V_{R1} 、 V_{R2} の調整値の比で表わされる。

50

【0053】

以下、VR1およびVR2の調整について、さらに詳細に説明する。

【0054】

ここでは一例として、 $V_{SO} = 4.5$ [V]、 $\Delta V_{DC1} = 0.5$ [V]、 $\Delta V_{DC2} = 1.0$ [V]である液晶表示装置を考える。この液晶表示装置において、順方向走査時の最適VCOM値は4.0 [V]となり、逆方向走査時の最適VCOM値は3.5 [V]となる。さらに、図2に示すVCOM生成回路において、 $V_{CC} = 9$ [V]、 $R1 = R2 = 20$ [k Ω]、 $VR1 = 50$ [k Ω]、 $VR2 = 20$ [k Ω]であるとする。ここでは簡単のため、MOS FETのオン抵抗は0 [Ω]であると仮定する。

【0055】

順方向走査に対してはMOS FET11がオンとなり、VR2がバイパスされているので、 V_{CC} (= 9 [V])をR1、R2、VR1の抵抗比率で分割してVCOMが4.0 [V]となるように、3端子の可変抵抗器VR1を調整する。この場合は、電源側(VCC側)が30 [k Ω]、接地側が20 [k Ω]となるようにVR1を調整すれば、 $V_{COM} = 4.0$ [V]となる。

【0056】

この状態で逆方向走査を行なうと、VCOMはR1、R2、VR1、VR2の抵抗比率で決定される。ここで、3端子の可変抵抗器VR2を電源側(VCC側)が12.9 [k Ω]となるように調整すれば、 $V_{COM} = 3.5$ [V]とすることができる。

【0057】

このようにVR1、VR2を調整しておけば、SCMD信号の状態によって順方向走査、逆方向走査の双方でVCOMが最適化されるため、走査方向に関係なく液晶へのDC電圧の印可を低減できるため、ヤキツキやフリッカなどの表示不良を低減できる。

【0058】

なお、ここで使用するNチャンネルMOS FETの“オン”時のゲート電圧は20 [V]であり、VCOM生成回路の電源電圧9 [V]に対して充分大きく、伝達特性における線形領域での使用が可能となり、VR2の設定に依存したオン抵抗(gm)の変化はほとんど発生しない。

【0059】

また、本実施の形態では、VCOMの出力段としてオペアンプ13を使用しているが、VCOM負荷が大きく、大きなラッシュ電流が要求される場合はオペアンプ13の出力に大容量のコンデンサやプッシュプル回路を付加してもよい。

【0060】

実施の形態3

図3に、本実施の形態におけるVCOM生成回路(対向電極電圧生成回路)を示す。

【0061】

図3において、SCMD信号は走査方向の情報をもった信号であり、ここでは順方向走査時に“L”レベル、逆方向走査時に“H”レベルであるとする。SCMD信号はアナログスイッチ21のコントロール信号として作用し、SCMD=L(順方向走査)の場合、アナログスイッチ21はVR1を選択し、SCMD=L(逆方向走査)の場合には、VR2を選択する。

【0062】

このような条件の下で、まず順方向走査を行ない、3端子の可変抵抗VR1にて前述の ΔV_{DC1} を補償するようVCOMを調整する。このときのVCOM値はR1、R2およびVR1の調整値の比で与えられる。つぎに逆方向走査を行ない、3端子の可変抵抗VR2にて前述の ΔV_{DC2} を補償するようVCOMを調整する。このときのVCOM値はR3、R4、およびVR2の調整値の比で表わされる。

【0063】

以下、VR1およびVR2の調整について、さらに詳細に説明する。

【0064】

10

20

30

40

50

ここでは一例として、 $V_{SO} = 4.5$ [V]、 $\Delta V_{DC1} = 0.5$ [V]、 $\Delta V_{DC2} = 1.0$ [V]である液晶表示装置を考える。この液晶表示装置において、順方向走査時の最適 V_{COM} 値は 4.0 [V]となり、逆方向走査時の最適 V_{COM} 値は 3.5 [V]となる。さらに、図3に示す V_{COM} 生成回路において、 $V_{CC} = 9$ [V]、 $R1 = R2 = R3 = R4 = 20$ [k Ω]、 $V_{R1} = 50$ [k Ω]、 $V_{R2} = 50$ [k Ω]であるとする。

【0065】

順方向走査に対しては V_{CC} (= 9 [V]) を $R1$ 、 $R2$ 、 V_{R1} の抵抗比率で分割して V_{COM} が 4.0 [V]となるように3端子の可変抵抗 V_{R1} を調整する。この場合は、電源側 (V_{CC} 側) が 30 [k Ω]、接地側が 20 [k Ω]となるように V_{R1} を調整すれば、 $V_{COM} = 4.0$ [V]となる。つぎに逆方向走査を行なうと、 V_{COM} は $R3$ 、 $R4$ 、 V_{R2} の抵抗比率で決定される。ここで、3端子の可変抵抗 V_{R2} を電源側 (V_{CC} 側) が 35 [k Ω]、接地側が 15 [k Ω]となるように調整して、 $V_{COM} = 3.5$ [V]とする。

10

【0066】

このように V_{R1} 、 V_{R2} を調整しておけば、SCMD信号の状態によって順方向走査、逆方向走査の双方で V_{COM} が最適化されるため、走査方向に関係なく液晶へのDC電圧の印可を低減できるため、ヤキツキやフリッカなどの表示不良を低減できる。

【0067】

なお、本実施の形態では、 V_{COM} の出力段としてオペアンプ22を使用しているが、 V_{COM} 負荷が大きく、大きなラッシュ電流が要求される場合はオペアンプ22の出力に大容量のコンデンサやプッシュプル回路を付加してもよい。

20

【0068】

【発明の効果】

本発明によれば、対向電極電圧 V_{COM} の生成回路に走査方向情報をもった信号を入力し、それぞれ順方向および逆方向の走査方向に対応した最適な電圧 V_{COM} を液晶表示装置の対向電極へと供給するようにしたため、走査方向に関係なく液晶へのDC電圧の印可を低減でき、ヤキツキやフリッカなどの表示不良を低減することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における V_{COM} 生成回路を示す図である。

30

【図2】本発明の実施の形態2における V_{COM} 生成回路を示す図である。

【図3】本発明の実施の形態3における V_{COM} 生成回路を示す図である。

【図4】CSオンゲート構造の液晶表示装置における一画素の等価回路図である。

【図5】図4の液晶表示装置を順方向に走査した場合の、各部の電圧波形である。

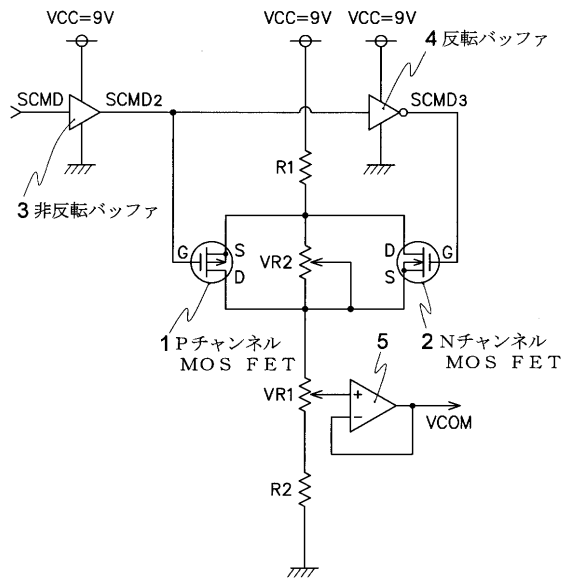
【図6】図4の液晶表示装置を逆方向に走査した場合の、各部の電圧波形である。

【符号の説明】

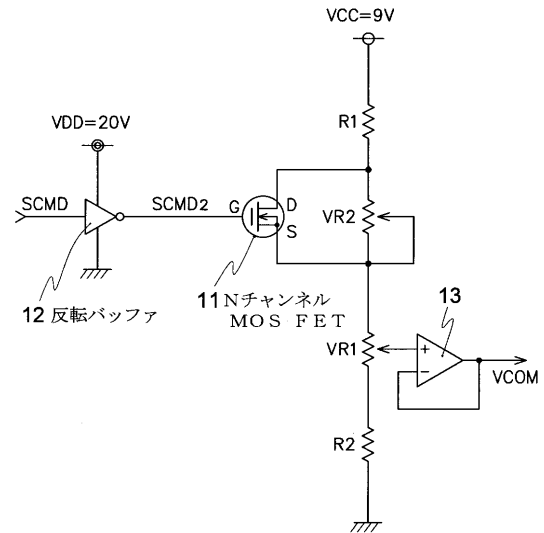
- 1 PチャンネルMOS FET
- 2 NチャンネルMOS FET
- 3 非反転バッファ
- 4 反転バッファ
- 5 オペアンプ
- 7 TFT (薄膜トランジスタ)
- 8 対向電極
- 11 NチャンネルMOS FET
- 12 反転バッファ
- 13 オペアンプ
- 21 アナログスイッチ
- 22 オペアンプ

40

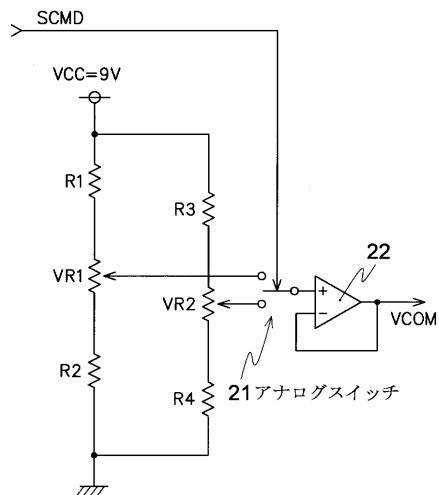
【図 1】



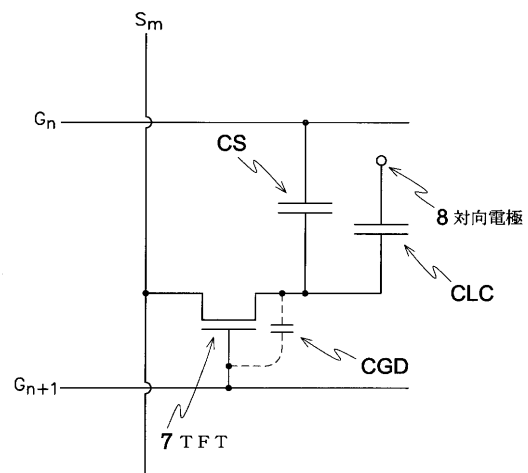
【図 2】



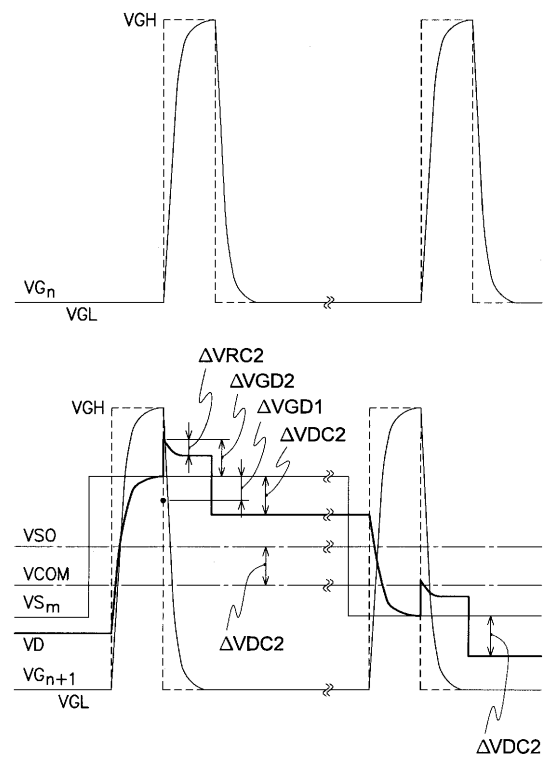
【図 3】



【図 4】



【図 6】



フロントページの続き

- (72)発明者 権藤 賢二
熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内
- (72)発明者 岩永 博文
熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内

審査官 西島 篤宏

- (56)参考文献 特開平06-161390 (JP, A)
特表2002-503358 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
- G09G 3/00 - 3/38
G02F 1/133 505-580

专利名称(译)	液晶表示装置		
公开(公告)号	JP4606577B2	公开(公告)日	2011-01-05
申请号	JP2000401329	申请日	2000-12-28
申请(专利权)人(译)	有限公司高级显示		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	柴田 晋 大浦 久治 権藤 賢二 岩永 博文		
发明人	柴田 晋 大浦 久治 権藤 賢二 岩永 博文		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.622.Q G09G3/20.624.D		
F-TERM分类号	2H093/NA36 2H093/NA44 2H093/NB11 2H093/NC02 2H093/ND10 2H093/ND12 2H093/ND35 2H193/ZB07 2H193/ZC20 2H193/ZC30 2H193/ZF02 5C006/AA16 5C006/AC11 5C006/AF42 5C006/BB16 5C006/BC03 5C006/BC06 5C006/FA36 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD10 5C080/EE28 5C080/FF11 5C080/JJ03 5C080/JJ04		
其他公开文献	JP2002202761A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在能够在正向扫描和反向扫描之间切换的液晶显示装置中，防止了向液晶施加DC电压，并且抑制了诸如刻痕和闪烁的显示缺陷。 解决方案：提供一种对电极电压产生电路，其在正向扫描和反向扫描中产生不同的电压，并将相同的电压施加到相对的电极，并且还提供相对的电极电压产生电路。它具有施加电压的调节功能和在反向扫描时施加到相对电极的电压，并且选择任何一个调节电压并施加到相对电极。

【 図 2 】

