

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4584131号  
(P4584131)

(45) 発行日 平成22年11月17日(2010.11.17)

(24) 登録日 平成22年9月10日(2010.9.10)

(51) Int.Cl.

F 1

G09G 3/36 (2006.01)

G09G 3/36

G09G 3/20 (2006.01)

G09G 3/20 621 F

G02F 1/133 (2006.01)

G09G 3/20 621 G

G09G 3/20 621 H

G09G 3/20 623 V

請求項の数 7 (全 21 頁) 最終頁に続く

(21) 出願番号

特願2005-346689 (P2005-346689)

(22) 出願日

平成17年11月30日 (2005.11.30)

(65) 公開番号

特開2006-323341 (P2006-323341A)

(43) 公開日

平成18年11月30日 (2006.11.30)

審査請求日

平成17年11月30日 (2005.11.30)

(31) 優先権主張番号

特願2005-119818 (P2005-119818)

(32) 優先日

平成17年4月18日 (2005.4.18)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100103894

弁理士 家入 健

(72) 発明者 橋本 義春

神奈川県川崎市中原区下沼部1753番地  
NECエレクトロニクス株式会社内

審査官 安藤 達哉

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動回路

## (57) 【特許請求の範囲】

## 【請求項 1】

基準電圧に対して極性の異なる正極のアナログ映像信号と負極のアナログ映像信号とを液晶表示装置のデータ線に出力する液晶表示装置の駆動回路であって、

前記基準電圧と前記基準電圧より高い第1の電圧とで規定される第1の電圧範囲で動作し、デジタル映像信号に応じて前記基準電圧に対して正極のアナログ映像信号を出力する正極D/A変換回路と、

前記基準電圧と前記基準電圧より低い第2の電圧とで規定される第2の電圧範囲で動作し、デジタル映像信号に応じて前記基準電圧に対して負極のアナログ映像信号を出力する負極D/A変換回路と、

前記正極D/A変換回路と奇数又は偶数出力端子との間に設けられ、前記第1の電圧範囲で動作し、データ線に供給された正極のアナログ映像信号の電位が定常状態になり、前記データ線に供給されたアナログ映像信号の極性が変化する前に、前記データ線を前記基準電圧に近づくようにプリチャージする正極プリチャージ回路と、

前記負極D/A変換回路と前記偶数又は奇数出力端子との間に設けられ、前記第2の電圧範囲で動作し、データ線に供給された負極のアナログ映像信号の電位が定常状態になり、前記データ線に供給されたアナログ映像信号の極性が変化する前に、前記データ線を前記基準電圧に近づくようにプリチャージする負極プリチャージ回路と、

前記デジタル映像信号を保持するラッチ回路と前記正極及び負極D/A変換回路との間に設けられ、前記ラッチ回路で保持した前記デジタル映像信号を時分割に出力するマルチ

フレクサ回路と、

を前記データ線が形成されるパネル基板と異なる半導体基板に形成し、

時分割に出力される前記デジタル映像信号に応じ、前記正極のアナログ映像信号を第1の複数の画素に時分割に連続して出力すると同時に前記負極のアナログ映像信号を第2の複数の画素に時分割に連続して出力する液晶表示装置の駆動回路。

#### 【請求項2】

前記データ線に供給されたアナログ映像信号の電位が定常状態になり、前記データ線に供給されたアナログ映像信号の極性が変化する前に、前記データ線を前記基準電圧にプリチャージすることを特徴とする請求項1に記載の液晶表示装置の駆動回路。

#### 【請求項3】

前記奇数又は偶数出力端子と前記データ線との間に設けられ、前記第1の電圧以上である電圧と前記第2の電圧以下である電圧とで規定される第3の電圧範囲で動作し、前記正極D/A変換回路から出力される正極のアナログ映像信号を第1の複数のデータ線のうちのいずれかに選択的に出力し、前記負極D/A変換回路から出力される負極のアナログ映像信号を第2の複数のデータ線のうちのいずれかに選択的に出力するデマルチフレクサ回路を前記パネル基板に形成した請求項1又は2に記載の液晶表示装置の駆動回路。

#### 【請求項4】

前記正極及び負極プリチャージ回路を制御する制御回路を備える請求項1又は2に記載の液晶表示装置の駆動回路。

#### 【請求項5】

前記正極及び負極プリチャージ回路と前記データ線との間に設けられ、前記第1の電圧以上である電圧と前記第2の電圧以下である電圧とで規定される第3の電圧範囲で動作し、前記正極のアナログ映像信号または前記負極のアナログ映像信号を極性信号に応じて選択する極性選択回路を前記半導体基板又は前記パネル基板に形成した請求項1に記載の液晶表示装置の駆動回路。

#### 【請求項6】

前記正極及び負極プリチャージ回路は、

複数のスイッチと、

第1及び第2の容量とを備え、

前記複数のスイッチ又は前記デマルチフレクサ回路を制御して、プリチャージ期間の第1の期間に、前記第1の容量と前記第1の複数のデータ線を接続すると同時に前記第2の容量と前記第2の複数のデータ線を接続し、

プリチャージ期間の第2の期間に、前記第1及び第2の複数のデータ線を基準電圧に近く付くようにプリチャージし、

プリチャージ期間の第3の期間に、前記第1の容量と前記第2の複数のデータ線を接続すると同時に前記第2の容量と前記第1の複数のデータ線を接続することを特徴とする請求項3に記載の液晶表示装置の駆動回路。

#### 【請求項7】

前記正極及び負極D/A変換回路に接続され、色単位を構成する色ごとに調整可能である正極及び負極の階調電圧生成回路とをさらに備える請求項1に記載の液晶表示装置の駆動回路。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、液晶表示装置及びその駆動回路に関し、特にパネルの片側にのみD/A変換回路を含むデータ線駆動回路を配置してドット反転駆動するのに好適な液晶表示装置及び駆動回路に関する。

#### 【背景技術】

#### 【0002】

公知の液晶表示装置において、データ線からTFTを介して画素に印加される電圧(以

10

20

30

40

50

下、画素電圧という)の極性は、所定の期間ごとに反転する。つまり、画素は交流的に駆動される。ここで、極性とは、液晶の共通電極の電圧( c o m 電圧)を基準とした場合の画素電圧の正負を示す。このような駆動方法は、液晶材料が劣化するのを抑制するために適用されている。

#### 【 0 0 0 3 】

例えば、隣り合う画素ごとに極性が異なるように隣り合うデータ線及び隣り合う走査線ごとに画素電圧の極性を反転するドット反転駆動方式や、隣り合うデータ線ごとに反転し、2本走査線ごとに極性を反転する2 H ドット反転駆動方式などが知られ、これらの駆動方式により、フリッカなどが低減され画質が向上する。

#### 【 0 0 0 4 】

また、特許文献1には、1つのD / A 変換回路で複数のデータ線を時分割に駆動する回路が開示されている。特許文献1では、奇数番目のデータ線は上側のデータ線駆動回路に接続し、偶数番目のデータ線は下側のデータ線駆動回路に接続し、任意の水平期間(走査期間ともいう)に上側のデータ線駆動回路で正極のアナログ映像信号を出力すると同時に下側のデータ線駆動回路で負極のアナログ映像信号を出力し、次の水平期間では、上側のデータ線駆動回路で負極のアナログ映像信号を出力すると同時に下側のデータ線駆動回路で正極のアナログ映像信号を出力することでドット反転駆動を実現している。また、水平プランギング期間にデータ線を c o m 電圧に初期化する初期化回路を有し、書き込み時間、書き込む順序を制御して時分割駆動している。そして、データ線駆動回路の外部から供給される階調電圧は、1水平期間ごとに反転させている。そのため、階調電圧を選択するスイッチ群は高圧素子で製造している。尚、特許文献2には、R G B 時分割駆動を行う構成が記載されている。

10

【特許文献1】特開平8 - 1 2 9 3 6 2号公報

【特許文献2】特開2 0 0 4 - 2 5 8 4 8 5号公報

#### 【発明の開示】

##### 【発明が解決しようとする課題】

#### 【 0 0 0 5 】

しかしながら、この従来の駆動回路にはいくつかの問題点がある。第1の問題点は、パネルの上下にデータ線駆動回路を実装する領域が必要となることである。このことによりパネルサイズが大きくなるため1枚のマザーガラスから取れるパネル数が減少する。また、データ線駆動回路に信号や電源を供給するフレキシブル基板の配線の面積が大きくなる。

30

#### 【 0 0 0 6 】

第2の問題点は、階調電圧を選択するスイッチ群は高圧素子で製造するので、回路面積が増大することである。通常、電源電圧が高いと回路を構成する素子の耐圧を高くする必要があり、ゲート酸化膜T o x を厚く、ゲート長Lを長く、また素子間の距離を長くするなどしているため、回路面積が大きくなる。

#### 【課題を解決するための手段】

#### 【 0 0 0 7 】

本発明の液晶表示装置は、複数の走査線と、複数のデータ線と、前記複数の走査線と前記複数のデータ線との各交点に設けられた画素とを有する液晶表示装置であって、連続する複数の前記データ線と一の前記走査線との各交点に設けられる画素からなる画素グループを複数備え、各画素グループに含まれる全てのデータ線には、信号を順次出力する時分割駆動によって同一極性の信号を出力し、互いに隣接する前記画素グループには逆極性の信号を出力し、前記各画素グループに含まれるデータ線には、1フレーム毎に極性が反転した信号を出力する。これによって回路規模を低減することができる。

40

#### 【 0 0 0 8 】

次に、本発明の液晶表示装置の駆動回路は、基準電圧に対して極性の異なる正極のアナログ映像信号と負極のアナログ映像信号とを液晶表示装置のデータ線に出力する液晶表示装置の駆動回路であって、1水平期間の所定の期間に前記正極のアナログ映像信号を第1

50

の複数のデータ線に時分割に連続して出力すると同時に前記負極のアナログ映像信号を第2の複数のデータ線に時分割に連続して出力する。これによって回路規模を低減することができる。

#### 【0009】

また、本発明の液晶表示装置の駆動回路は、基準電圧に対して極性の異なる正極のアナログ映像信号と負極のアナログ映像信号とを表示装置のデータ線に出力する液晶表示装置の駆動回路であって、基板上の第1の連続領域に形成され、前記正極のアナログ映像信号を出力端子に出力する正極駆動回路と、前記正極駆動回路と出力端子との間に設け、前記データ線の極性が正極から負極に変化する前に前記データ線を前記基準電圧にプリチャージする正極プリチャージ回路と、前記基板上の前記第1の連続領域と異なる第2の連続領域に形成され、前記負極のアナログ映像信号を出力端子に出力する負極駆動回路と、前記負極駆動回路と出力端子との間に設け、前記データ線の極性が負極から正極に変化する前に前記データ線を前記基準電圧にプリチャージする負極プリチャージ回路を備える。これにより高耐圧素子の使用を低減することができ、回路規模の低減を図ることができる。10

#### 【発明の効果】

#### 【0010】

本発明によれば、液晶表示装置のデータ線駆動回路の回路規模の低減を図ることができ  
る。

#### 【発明を実施するための最良の形態】

#### 【0011】

以下に、本発明を適用可能な実施の形態が説明される。以下の説明は、本発明の実施形態を説明するものであり、本発明が以下の実施形態に限定されるものではない。説明の明確化のため、以下の記載は、適宜、省略及び簡略化がなされている。又、当業者であれば、以下の実施形態の各要素を、本発明の範囲において容易に変更、追加、変換することが可能である。20

#### 【0012】

#### 実施の形態1.

図1に本形態の液晶表示装置100のブロック図を示す。液晶パネルの基板2上には、複数のデータ線3と、データ線3と直交するように複数の走査線4とが形成され、その各交点にスイッチング素子としてのTFT(Thin Film Transistor)と液晶などを含む画素5が形成されている。画素5には、液晶に電界を印加する表示電極と共に通電極が形成されている。表示電極にはデータ線3から画素の輝度(光の透過量)を制御するアナログ映像信号が供給され、共通電極には直流電圧(DC)のcom電圧が共通電極線7から供給される。さらに、基板2上には、走査線4を駆動する走査線駆動回路6と、データ線駆動回路10のデータ線90から供給されるアナログ映像信号を時分割に切り換える時分割選択回路8などが形成されている。30

#### 【0013】

また、基板2の片側のみにドライバIC1が配置され、このドライバIC1にデータ線駆動回路10、信号処理回路11、及び電源回路12が設けられている。データ線駆動回路10は、デジタル映像信号に対応してデータ線3及び画素5にアナログ映像信号を供給する。このデータ線駆動回路10は、上記のように、基板2の片側のみに配置し、また、後述するD/A変換回路から出力されるアナログ映像信号の出力電圧精度の点から、相対精度の高いシリコンなどの半導体基板上にドライバIC1として集積化することが好ましい。また、信号処理回路11などはマクロ化された回路を使用し自動レイアウトすることから多層配線が容易である半導体基板上に集積化するのが好ましい。40

#### 【0014】

次に、図2に、本発明の液晶表示装置の駆動回路の一部である時分割選択回路8の詳細図を示す。データ線駆動回路10の1つの出力端子Xn(データ線90)に対し、3つのデータ線3が時分割スイッチ81、82、83を介して接続されている。ここでは、例として、3分割駆動で説明するが分割数は4以上であってもよい。ただし、表示単位が3色で50

ある場合において分割数が 4 であった場合、一の色を構成する R G B の各信号が分割される場合がある。一の色を構成する R G B の各信号が異なる経路を通過することにより、経路による微細な特性の違いが与える影響によって、R G B 間のバランスに誤差が生じ、色むらの原因となる場合がある。一つの色を構成する表示単位が R G B の 3 色であり、表示単位を構成する画素数が 3 であることから、色むら等が発生しないように 6 分割や 9 分割など 3 の倍数の分割数であることが好ましい。

#### 【 0 0 1 5 】

ここで、本明細書においては、データ線駆動回路 10 の同一の出力端子 X n から出力され、時分割選択回路 8 によって分割されるアナログ映像信号が供給される画素及びデータ線を夫々画素グループ、データ線グループと定義する。図 2 においては、R 1、G 1、B 1 の 3 本のデータ線が一つのデータ線グループ D\_G n であり、更に一のデータ線グループにおける一のライン Y 1、Y 2、Y 3 毎に画素グループ P\_G m が定義される。10

#### 【 0 0 1 6 】

また、時分割選択回路 8 は、前述したように基板 2 上に製造され、ドライバ I C 1 内部の信号処理回路 11 で制御される。時分割選択回路 8 の制御回路を基板 2 上に形成して制御してもよいが、データ線駆動回路 10 との制御信号の同期が取りやすいようにドライバ I C 1 内部の信号処理回路 11 で直接行うのが好ましい。

#### 【 0 0 1 7 】

次に電源回路 12 について説明する。電源回路 12 は、ドライバ I C 1 の外部から供給される直流電源 V D C からデータ線駆動回路 10 や走査線駆動回路 6 に供給する電圧を生成する回路で、D C D C コンバータやレギュレータなどで構成され、データ線駆動回路 10 の正極の高位電源電圧 V P H、負極の低位電源電圧 V N L、走査線駆動回路 6 の高位電源電圧 V G H、低位電源電圧 V G Lなどを生成する。ここでは、データ線駆動回路 10 の正極の低位電源電圧及び負極の高位電源電圧をシステムグランド G N D とし、V P H = 5 V、V N L = - 5 V、V G H = 10 V、V G L = - 10 として説明する。20

#### 【 0 0 1 8 】

この電源回路 12 は、電源の出力インピーダンス特性などから基板 2 上に形成する T F T に比べ移動度が高く、多層配線が容易なシリコン基板上に集積化するのが好ましい。本実施の形態においては、ドライバ I C 1 として上記データ線駆動回路 10 及び信号処理回路 11 と共に集積化されている。30

#### 【 0 0 1 9 】

また、電源回路 12 では、液晶の共通電極の電圧 (c o m 電圧) も生成している。c o m 電圧は、例えば G N D より低く、負極駆動回路の低位電圧より高い直流電圧か、又は G N D より高く、正極駆動回路の高位電圧より低い直流電圧とすることができます。これは、液晶パネルの T F T をオフにするとフィードスルー誤差が発生するために、その誤差を補正する必要があり、液晶の共通電極の電圧は - 1 V など直流電圧にする。フィードスルー誤差の量はパネルごとに異なるため、例えば、T F T が n 型であれば、フィードスルー誤差は負側になりやすいので G N D から - 2 V 程度の範囲で微調整する。T F T が p 型であれば、フィードスルー誤差は正側になりやすいので G N D から + 2 V 程度の範囲で微調整する。一般に n 型の T F T が多いので、以降の説明では n 型の T F T での説明をする。40

#### 【 0 0 2 0 】

c o m 電圧は、正極の高位電圧 V P H と負極の低位電圧 V N L で動作するバッファで生成し、c o m 電圧として 2 V から - 2 V の電圧を出力してもよい。なお、バッファは高圧素子で製造する。バッファを G N D と負側の電圧 V N L で動作させると、G N D の電圧が出力されにくくなるが、調整電圧範囲を G N D まで保証しないのであればバッファを中圧素子で製造してもよい。

#### 【 0 0 2 1 】

また、c o m 電圧は、G N D と V N L との間に抵抗分圧回路を設け、抵抗と抵抗との接続点にバイパスコンデンサを設ける簡単な構成の回路により生成するようにしてもよい。

#### 【 0 0 2 2 】

50

図3には、正極のガンマカーブ(Positive)と負極のガンマカーブ(Negative)及びcom電圧の関係を示す。正極のガンマカーブはGND以上VPH以下の電圧で、負極のガンマカーブはVNL以上GND以下となるようにして、com電圧を-1±1Vの範囲で微調整する。微調整の範囲は便宜的に±1としたが、前述のようにGNDと負極の低位電圧VNLで製造すれば、その範囲で調整可能である。このように、com電圧を、GND付近の電圧にすることで、電源回路12でのDCDCコンバータの昇圧回数を削減して電源回路12の効率を向上させ、消費電力の低減を図ることができる。

#### 【0023】

次に、信号処理回路11について説明する。信号処理回路11に入力する信号は、少なくともデジタル映像信号DX、クロック信号CLK、垂直同期信号Vsync、水平同期信号Hsyncを含み、これらの信号から信号処理回路11にて水平スタート信号STH、ラッチ信号STB、極性信号POL、時分割スイッチ制御信号、垂直スタート信号STVなどの所望のタイミング信号を生成し、データ線駆動回路10の各回路、時分割選択回路8及び走査線駆動回路6等を制御している。基板2上の回路は、VGH、VGLの電源電圧で動作させるので、基板2上に供給する各信号は、レベルシフトしたVGH、VGLの信号を供給する。

#### 【0024】

信号処理回路11は、クロックCK1、CK2のタイミングでデジタル映像信号DX(DR、DG、DB)をラッチするそれぞれラッチ回路11a、11bと、極性信号POLに応じてデータバスDRO、DGO、DBOとデータバスDRE、DGE、DBEとを切り換える切替回路11cとを有する。この信号処理回路11は、図4に示すように、外部から供給される1画素分(18ビット)のデジタル映像信号DX(DR、DG、DB)をラッチ回路11a及びラッチ回路11bで2クロック分つまり2画素分(36ビット)にまとめてからデータ線駆動回路10に出力している。図に示されるようにデジタル映像信号DXはデータバスDRO、DRE、DGO、DGE、DBO、DBEに出力される。また、切替回路11cが極性信号POLに応じて、デジタル映像信号DXのデータバスDRO、DGO、DBO、又はデータバスDRE、DGE、DBEへの出力を切り替える。これは、正極と負極のアナログの映像信号がデータ線駆動回路10内部で切り換えられるので、これに対応するようにデジタル映像信号DXのデータバスへの出力の入れ替えを行うためである。さらに、2画素分まとめてデータ線駆動回路10に供給することで、データ線駆動回路10でのクロック信号の周波数が半減し、高周波数の電磁波が発生しないという効果がある。

#### 【0025】

本発明のデータ線駆動回路10は、正極のアナログ映像信号と負極のアナログ映像信号をデータ線駆動回路10のそれぞれの出力端子Xnから同時に出力する駆動回路である。ここで、正極、負極とは液晶の液晶共通電極の電圧(com電圧)を基準とした場合の画素電圧の正負を示すが、本形態においては、基準電圧をシステムグランドGND(0V)とした場合の画素電圧の正負として説明する。

#### 【0026】

図5に、データ線駆動回路10のブロック図を示し、各部の構成について説明する。データ線駆動回路10は、少なくともデータラッチ回路17、正極レベルシフト回路21、負極レベルシフト回路22、正極D/A変換回路31、負極D/A変換回路32、正極階調電圧生成回路41、負極階調電圧生成回路42、及びプリチャージ回路60を含む回路で構成される。さらに、デジタル映像信号時分割回路50や、シフトレジスタ回路15や、データレジスタ回路16、フレームメモリ(図示なし)を内蔵してもよい。

#### 【0027】

データレジスタ回路16は正極データレジスタ回路16a、及び負極データレジスタ回路16bを有する。正極データレジスタ回路16aはデジタル映像信号DXのデータバスDRO、DGO、DBOに接続されており、シフトレジスタ回路15から入力されるサンプリング信号SPnに応じてデータバスDRO、DGO、DBOからのデジタル映像信号

10

20

30

40

50

をラッチする。負極データレジスタ回路 16 b はデジタル映像信号 D<sub>x</sub> のデータバス D R e、D G e、D B e に接続されており、シフトレジスタ回路 15 のサンプリング信号 S P n に応じてデータバス D R e、D G e、D B e からのデジタル映像信号をラッチする。

#### 【 0 0 2 8 】

データレジスタ回路 16 はデータラッチ回路 17 に接続されている。データラッチ回路 17 は正極データラッチ回路 17 a、負極データラッチ回路 17 b を有し、データレジスタ回路 16 でラッチしたデジタル映像信号 D<sub>x</sub> を再度ラッチする。データラッチ回路 17 はデジタル映像信号時分割回路 50 に接続されている。デジタル映像信号時分割回路 50 は時分割スイッチ 51、52、53 を備え、これらのスイッチを切り換えることによって、データラッチ回路 17 でラッチされたデジタル映像信号 D<sub>x</sub> を時系列に順次出力する。デジタル映像信号時分割回路 50 による当該時分割動作は、信号処理回路 11 から入力される制御信号により制御される。

#### 【 0 0 2 9 】

プリチャージ回路 60 は、少なくともデータ線を基準電圧にプリチャージするプリチャージスイッチ 63、64 と、D/A 変換回路 31、32 と出力端子 X<sub>n</sub> 間の接続スイッチ 65、66 を有する。更に本実施の形態においては、低消費電力に駆動するための電荷リサイクルスイッチ 61、62 と電荷リサイクル容量 67、68 を有する。そして、これらのスイッチは後述の中圧素子で形成する。電荷リサイクル容量 67、68 は、容量値が大きい方が電荷のリサイクル効果が向上するためドライバ IC 1 の外部に設けるのが好ましい。ここで、電荷リサイクルスイッチ 61、プリチャージスイッチ 63 及び接続スイッチ 65 は、GND から VPL (5V) の電圧範囲で動作し、電荷リサイクルスイッチ 62、プリチャージスイッチ 64 及び接続スイッチ 66 は、VNL (-5V) から GND の電圧範囲で動作する。これらの各スイッチは夫々の出力端子 X<sub>n</sub> ごとに設けられるが、信号処理回路 11 から正極及び負極のレベルシフト回路 21、22 を介して一括して制御される。プリチャージスイッチ 63、64 は、MOS トランジスタで構成するアナログスイッチ以外でもよく、例えば、ダイオードなどの p-n 接合素子であってもよい。

#### 【 0 0 3 0 】

また、プリチャージ回路 60 と出力端子 X<sub>n</sub> との間には、極性切換回路 70 を設ける。極性切換回路 70 は、各出力端子 X<sub>n</sub> ごとに極性切換スイッチ 71、72 を有し、極性信号 P O L に応じて正極または負極のアナログ映像信号を選択する回路である。極性切換回路 70 では、奇数番目の出力端子 X<sub>n</sub> に正極のアナログ映像信号を選択すると同時に偶数番目の出力端子 X<sub>n</sub> には負極のアナログ映像信号を選択するか、または、奇数番目の出力端子 X<sub>n</sub> に負極のアナログ映像信号を選択すると同時に偶数番目の出力端子 X<sub>n</sub> には正極のアナログ映像信号を選択するように、奇数番目の出力端子 X<sub>n</sub> と偶数番目の出力端子 X<sub>n</sub> との極性が互いに異なるように選択する。ここでも、出力端子ごとに設ける極性切換スイッチ 71、72 は、信号処理回路 11 から高圧レベルシフト回路 21、22 を介して一括して制御される。

#### 【 0 0 3 1 】

階調電圧生成回路 41、42 は、複数の抵抗を直列に接続した抵抗分圧回路であって、ガンマ特性に適合するような所望の電圧を生成する。本発明においては、正極と負極のアナログ映像信号を同時に出力することから、正極階調電圧生成回路 41 と負極階調電圧生成回路 42 を設け、それぞれ、64 値の正極の階調電圧 (VPO ~ VP63) と、負極の階調電圧 (VN0 ~ VN63) であって、RGB の色ごとに微調整された複数の階調電圧を時分割に出力することができる。階調電圧生成回路 41、42 は、正極と負極の 2 個あり、微調整レジスタにより RGB ごとの補正值を格納して微調整された正極及び負極の階調電圧を生成している。

#### 【 0 0 3 2 】

正極 D/A 変換回路 31 は、デジタル映像信号 D<sub>x</sub> に応じて基準電圧に対して正極のアナログ映像信号を出力し、負極 D/A 変換回路 32 はデジタル映像信号 D<sub>x</sub> に応じて基準電圧に対して負極のアナログ映像信号を出力する。正極 D/A 変換回路 31 及び負極 D/A

10

20

30

40

50

A 変換回路 3 2 は、それぞれ後述の中圧素子で形成する。

#### 【 0 0 3 3 】

図 6 に、正極 D / A 変換回路 3 1 の詳細図を示す。正極 D / A 変換回路 3 1 は、増幅器 3 3 と、6 4 個のスイッチで構成するセレクタ 3 5 と、デコーダ 3 7 とで構成され、各回路は、G N D から V P L ( 5 V ) の電圧範囲で動作する。セレクタ 3 5 の各スイッチには、正極階調電圧生成回路 4 1 から正極の階調電圧 ( V P 0 ~ V P 6 3 ) が供給され、デジタル映像信号 D x に応じて、デコーダ 3 7 により 6 4 値の正極の階調電圧から 1 値の階調電圧が選択され、選択された階調電圧が増幅器 3 3 を介して出力される。

#### 【 0 0 3 4 】

図 7 に、負極 D / A 変換回路 3 2 の詳細図を示す。負極 D / A 変換回路 3 2 は、増幅器 3 4 と、6 4 個のスイッチで構成するセレクタ 3 6 と、デコーダ 3 8 とで構成され、各回路は、V N L ( - 5 V ) から G N D の電圧範囲で動作する。セレクタ 3 6 の各スイッチには、負極階調電圧生成回路 4 2 から負極の階調電圧 ( V N 0 ~ V N 6 3 ) が供給され、デジタル映像信号 D x に応じて、デコーダ 3 8 により 6 4 値の負極の階調電圧から 1 値の階調電圧が選択され、選択された階調電圧が増幅器 3 4 を介して出力される。

#### 【 0 0 3 5 】

なお、信号処理回路 1 1 、データラッチ回路 1 7 などのロジック部は G N D から V D D ( 2 . 5 V ) で動作している。そのため、データラッチ回路 1 7 又はデジタル映像信号時分割回路 5 0 と正極 D / A 変換回路 3 1 及び負極 D / A 変換回路 3 2 との間にはそれぞれ正極レベルシフト回路 2 1 又は負極レベルシフト回路 2 2 を設ける。正極レベルシフト回路 2 1 と負極レベルシフト回路は、後述の中圧素子と高圧素子で形成する。

#### 【 0 0 3 6 】

また、時分割選択回路 8 は、上述したようにデータ線駆動回路 1 0 の出力端子 X n と複数のデータ線 3 を複数のスイッチを介して接続する回路である。詳細には、図 2 に示すように出力端子 X 1 とデータ線 R 1 、 G 1 、 B 1 との間に時分割スイッチ 8 1 、 8 2 、 8 3 を設ける。即ち、出力端子 X n とデータ線 R n 、 G n 、 B n との間に時分割スイッチ 8 1 、 8 2 、 8 3 を設ける。この時分割駆動回路 8 は、走査線駆動回路 6 と同じ V G H 、 V G L の電源電圧で動作させる。

#### 【 0 0 3 7 】

カラー表示の Q V G A ( 2 4 0 R G B × 3 2 0 ) 画素を 3 分割駆動するには、ドライバ I C 1 には正極 D / A 変換回路 3 1 、負極 D / A 変換回路 3 2 などは 1 2 0 個ずつ設け、6 分割駆動では、6 0 個ずつ設ける。しかし、電荷リサイクル容量 6 7 、 6 8 は、液晶表示装置に 1 個ずつ設ければよい。この様に、正極、負極の駆動回路毎に時分割駆動を行い、時分割駆動されるデータ線グループ毎に極性反転させることにより、回路構成を単純化することができる。

#### 【 0 0 3 8 】

次に動作について説明する。水平スタート信号 S T H がシフトレジスタ回路 1 5 に入力されると、順に内部クロック信号 C K に同期したサンプリング信号 S P n が生成され、デジタル映像信号 D x は、サンプリング信号 S P n に応じてデータレジスタ回路 1 6 にラッチされる。データレジスタ回路 1 6 でラッチされた、デジタル映像信号 D x は、ラッチ信号 S T B の入力に応答して、並列にデータラッチ回路 1 7 にラッチされる。データラッチ回路 1 7 は正極レベルシフト回路 2 1 又は負極レベルシフト回路 2 2 に接続されており、正極レベルシフト回路 2 1 又は負極レベルシフト回路 2 2 を介してそれぞれ正極 D / A 変換回路 3 1 又は負極 D / A 変換回路 3 2 に入力される。正極 D / A 変換回路 3 1 又は負極 D / A 変換回路 3 2 にて正極アナログ映像信号、負極アナログ映像信号に変換され、極性信号 P O L に応じて正極アナログ映像信号と負極アナログ映像信号を選択する極性切換回路 7 0 及び時分割選択回路 8 を介し、正極及び負極のアナログ映像信号を各データ線 3 に供給する。

#### 【 0 0 3 9 】

次に詳細な動作について説明する。尚、説明の明確化のため、図 8 に示すようにデータ

10

20

30

40

50

線が 6 本 ( R 1、 G 1、 B 1、 R 2、 G 2、 B 2 ) で走査線が 2 本 ( Y 1、 Y 2 ) の場合について説明する。また、各データ線 ( R 1、 G 1、 B 1、 R 2、 G 2、 B 2 ) に対応するデジタル映像信号を ( D R 1、 D G 1、 D B 1、 D R 2、 D G 2、 D B 2 ) とする。そして、図 2 に示すように第 1 走査線 Y 1 での各画素の極性は ( +, +, +, -, -, - ) 、第 2 走査線 Y 2 での各画素の極性は ( -, -, -, +, +, + ) となるように R G B 画素反転駆動される。また、各画素は図 8 に示すように、1 フレームごとに各画素が反転するように駆動される。

#### 【 0 0 4 0 】

デジタル映像信号は、図 4 に示す信号処理回路 1 1 内部で、表示する画素に対応するように入れ換えられる。極性信号 P O L が L の時は、デジタル映像信号 ( D R 1、 D G 1、 D B 1 ) はデータバス ( D R o、 D G o、 D B o ) に供給され正極データレジスタ回路 1 6 a にラッチされ、デジタル映像信号 ( D R 2、 D G 2、 D B 2 ) はデータバス ( D R e、 D G e、 D B e ) に供給され負極データレジスタ回路 1 6 b にラッチされ、反対に、極性信号 P O L が H の時は、デジタル映像信号 ( D R 1、 D G 1、 D B 1 ) はデータバス ( D R e、 D G e、 D B e ) に供給され負極データレジスタ回路 1 6 b にラッチされ、デジタル映像信号 ( D R 2、 D G 2、 D B 2 ) はデータバス ( D R o、 D G o、 D B o ) に供給され正極データレジスタ回路 1 6 a にラッチされる。

#### 【 0 0 4 1 】

図 9 は信号処理回路 1 1 から出力される制御信号による、各部の動作を示すタイミングチャートである。図 9 のタイミングチャートおよび図 1 0、図 1 1 の電荷リサイクル動作模式図によれば、第 1 の水平期間の第 1 のプリチャージ期間 T 1 に、電荷リサイクルスイッチ 6 1、6 2、極性切換スイッチ 7 2 及び時分割スイッチ 8 1、8 2、8 3 をオン ( 図 1 0 の ( a ) の状態 ) し、前の水平期間に正極に駆動されたデータ線 ( R 2、G 2、B 2 ) の正極の電荷を電荷リサイクル容量 6 7 に充電し、同様に、負極に駆動されたデータ線 ( R 1、G 1、B 1 ) の負極の電荷を電荷リサイクル容量 6 8 に充電する。

#### 【 0 0 4 2 】

当該動作について更に詳細に説明する。画像信号として正極 D / A 変換回路 3 1 及び負極 D / A 変換回路 3 2 から出力端子 X n を介してデータ線 3 に電圧が印加された後、プリチャージスイッチ 6 3、6 4 が閉じられるまでは、正極 D / A 変換回路 3 1 及び負極 D / A 変換回路 3 2 から画素 5 に含まれる T F T との間に電荷が滞留している。そこで、出力端子 X n を介してデータ線 3 に画素信号の電圧を印加した後、極性切換スイッチ 7 1、7 2 をそのままの状態にして、時分割スイッチ 8 1、8 2、8 3 を閉じ、更に電荷リサイクルスイッチ 6 1、6 2 を閉じることによって、データ線 3 に滞留している電荷が電荷リサイクル容量 6 7、6 8 に回収される。

#### 【 0 0 4 3 】

次に、第 1 の水平期間の第 2 のプリチャージ期間 T 2 に、プリチャージスイッチ 6 3、6 4、極性切換スイッチ 7 2 及び時分割スイッチ 8 1、8 2、8 3 をオン ( 図 1 0 の ( b ) の状態 ) し、前の水平期間に正極に駆動されたデータ線 3 ( R 2、G 2、B 2 ) を基準電圧 ( G N D ) にプリチャージし、同様に、負極に駆動されたデータ線 3 ( R 1、G 1、B 1 ) を基準電圧 ( G N D ) にプリチャージして中和させる。この時、電荷リサイクルスイッチ 6 1、6 2 は開いた状態でプリチャージを行うので、電荷リサイクル容量 6 7、6 8 には電荷が保持される。

#### 【 0 0 4 4 】

次に、第 1 の水平期間の第 3 のプリチャージ期間 T 3 に、電荷リサイクルスイッチ 6 1、6 2、極性切換スイッチ 7 1 及び時分割スイッチ 8 1、8 2、8 3 をオン ( 図 1 1 の ( c ) の状態 ) し、第 2 のプリチャージ期間 T 2 に基準電圧になっているデータ線 3 ( R 1、G 1、B 1 ) に電荷リサイクル容量 6 7 から正極の電荷を放電し、同様に、データ線 3 ( R 2、G 2、B 2 ) に電荷リサイクル容量 6 8 から負極の電荷を放電する。即ち、第 1 のプリチャージ期間 T 1 において回収して電荷リサイクル容量 6 7、6 8 に保持した電荷を、極性切換スイッチ 7 1、7 2 を切り換えて開放することにより、当該電荷を回収した

10

20

30

40

50

データ線とは逆のデータ線 3 に放電する。こうすることにより、電荷の再利用が行われ、次に画素信号としてデータ線 3 に印加される電圧が、正極 D / A 変換回路 3 1 又は負極 D / A 変換回路 3 2 から印加される電圧に達するのに要する電力が低減される。

#### 【 0 0 4 5 】

次に、第 1 の水平期間の駆動期間に接続スイッチ 6 5、6 6、極性切換スイッチ 7 1 をオン（図 11 の（d）の状態）し、時分割スイッチ 8 1、8 2、8 3 を切り換えることによりアナログ映像信号をデータ線 3 に出力する。即ち、第 1 の水平期間の第 1 の駆動期間 T 4 に接続スイッチ 6 5、6 6、極性切換スイッチ 7 1 及び時分割スイッチ 8 1 をオンしてデータ線 R 1 に出力端子 X 1 から正極のアナログ映像信号を出力し、データ線 R 2 に出力端子 X 2 から負極のアナログ映像信号を出力する。次に、第 1 の水平期間の第 2 の駆動期間 T 5 に接続スイッチ 6 5、6 6、極性切換スイッチ 7 1 及び時分割スイッチ 8 2 をオンしてデータ線 G 1 に出力端子 X 1 から正極のアナログ映像信号を出力し、データ線 G 2 に出力端子 X 2 から負極のアナログ映像信号を出力する。次に、第 1 の水平期間の第 3 の駆動期間 T 6 に接続スイッチ 6 5、6 6、極性切換スイッチ 7 1 及び時分割スイッチ 8 3 をオンしてデータ線 B 1 に出力端子 X 1 から正極のアナログ映像信号を出力し、データ線 B 2 に出力端子 X 2 から負極のアナログ映像信号を出力する。10

#### 【 0 0 4 6 】

次に、第 2 の水平期間の第 1 のプリチャージ期間 T 1 1 に、電荷リサイクルスイッチ 6 1、6 2、極性切換スイッチ 7 1 及び時分割スイッチ 8 1、8 2、8 3 をオンし、第 1 の水平期間に正極に駆動されたデータ線 3 (R 1、G 1、B 1) の正極の電荷を電荷リサイクル容量 6 7 に充電し、同様に、負極に駆動されたデータ線 3 (R 2、G 2、B 2) の負極の電荷を電荷リサイクル容量 6 8 に充電する。次に、第 2 の水平期間の第 2 のプリチャージ期間 T 1 2 に、プリチャージスイッチ 6 3、6 4、極性切換スイッチ 7 1 及び時分割スイッチ 8 1、8 2、8 3 をオンし、第 1 の水平期間に正極に駆動されたデータ線 3 (R 1、G 1、B 1) を基準電圧 (GND) にプリチャージし、同様に、負極に駆動されたデータ線 (R 2、G 2、B 2) を基準電圧 (GND) にプリチャージして中和させる。次に、第 2 の水平期間の第 3 のプリチャージ期間 T 1 3 に、電荷リサイクルスイッチ 6 1、6 2、極性切換スイッチ 7 2 及び時分割スイッチ 8 1、8 2、8 3 をオンし、第 2 のプリチャージ期間 T 1 2 に基準電圧になっているデータ線 (R 2、G 2、B 2) に電荷リサイクル容量 6 7 から正極の電荷を放電し、同様に、データ線 3 (R 1、G 1、B 1) に電荷リサイクル容量 6 8 から負極の電荷を放電する。20

#### 【 0 0 4 7 】

次に、第 2 の水平期間の第 1 の駆動期間 T 1 4 に接続スイッチ 6 5、6 6、極性切換スイッチ 7 2、時分割スイッチ 8 1 をオンしてデータ線 R 1 に出力端子 X 1 から負極のアナログ映像信号を出力し、データ線 R 2 に出力端子 X 2 から正極のアナログ映像信号を出力する。次に、第 2 の水平期間の第 2 の駆動期間 T 1 5 に接続スイッチ 6 5、6 6、極性切換スイッチ 7 2 及び時分割スイッチ 8 2 をオンしてデータ線 G 1 に出力端子 X 1 から負極のアナログ映像信号を出力し、データ線 G 2 に出力端子 X 2 から正極のアナログ映像信号を出力する。次に、第 2 の水平期間の第 3 の駆動期間 T 1 6 に接続スイッチ 6 5、6 6、極性切換スイッチ 7 2 及び時分割スイッチ 8 3 をオンしてデータ線 B 1 に出力端子 X 1 から負極のアナログ映像信号を出力し、データ線 B 2 に出力端子 X 2 から正極のアナログ映像信号を出力する。30

#### 【 0 0 4 8 】

以上の動作によれば、正極 D / A 変換回路 3 1 及び電荷リサイクルスイッチ 6 1、プリチャージスイッチ 6 3、接続スイッチ 6 5 には、正極の電圧しか印加されず、また、負極 D / A 変換回路 3 2 及び電荷リサイクルスイッチ 6 2、プリチャージスイッチ 6 4、接続スイッチ 6 6 には、負極の電圧しか印加されない。よって、これらの素子は、後述の中圧素子 (5V) で形成することができる。中圧素子では、高圧素子に比べゲート酸化膜が薄く、またゲート長が短いので回路面積を縮小することができる。40

#### 【 0 0 4 9 】

また、フリッカの発生を抑制するには、com電圧の変動を抑制するのが効果的である。本形態のように、R1画素とR2画素のように画素が隣接していないとも、1回の書き込みにおいて、画素に同時に書き込まれる正極と負極のアナログ信号の総電荷量がほぼ同じであれば、正の電荷と負の電荷がうち消し合いcom電圧の変動は微少である。

#### 【0050】

また、一連のプリチャージ動作により、データ線に蓄積された正極と負極の電荷の回収及び再利用を行い、最大で50%の電荷リサイクル効果が得られ、消費電力を低減することができる。

#### 【0051】

次に、本発明のドライバIC1を半導体製造装置で製造する例を説明する。本発明では10、低電圧(2.5V)で動作する低圧素子、中電圧(5V)で動作する中圧素子、高電圧(20V)で動作する高圧素子を拡散プロセスで製造する例を説明する。尚、上記の電圧は例であって、低電圧<中電圧<高電圧の関係であれば、これら以外の電圧でもよい。但し、中圧素子には正極で用いられるものと負極で用いられるものがあり、高圧素子はその両方の電圧範囲で用いることが可能である。

#### 【0052】

一般に、半導体集積回路におけるトランジスタなどのデバイス素子は、電圧が高いと素子面積が大きくなることが知られており、最小となるゲート長Lmin、ゲート幅Wmin、ゲート酸化膜厚Toxの関係は、Lmin(低圧素子)<Lmin(中圧素子)<Lmin(高圧素子)、Wmin(低圧素子)<Wmin(中圧素子)<Wmin(高圧素子)、Tox(低圧素子)<Tox(中圧素子)<Tox(高圧素子)である。よって、高圧素子をできるだけ使用しない回路構成にすることで、ドライバIC1のチップサイズを小さくすることができる。  
20

#### 【0053】

本形態では、信号処理回路11、データラッチ回路17などのロジック部は低圧素子で製造し、正極D/A変換回路31、負極D/A変換回路32、プリチャージ回路60は中圧素子で製造し、極性切換回路70と負極レベルシフト回路22の一部及び信号処理回路11の一部を高電圧素子で製造する。信号処理回路11の一部に高圧素子が使われるのは、走査線駆動回路6及び時分割選択回路8への制御信号はレベルシフト回路を介して入力されるからである。  
30

#### 【0054】

図12は半導体集積回路における基板及び基板上の素子の構成を示す断面図である。高圧(20V)基準で製造したN型トランジスタをQ1n、P型トランジスタをQ1p、中圧(5V)基準で製造したNwell1-2上のN型トランジスタをQ2n、P型トランジスタをQ2pとし、Nwell1-3上のN型トランジスタをQ3n、P型トランジスタをQ3pとし、低圧(2.5V)基準で製造したNwell1-4上のN型トランジスタをQ4n、P型トランジスタをQ4pとする。

#### 【0055】

基板(Psub)の電圧は最低電圧VGL=-10Vとして、信号処理回路11はNwell1-4上に、正極D/A変換回路31などはNwell1-3上に、負極D/A変換回路32などはNwell1-2上に製造し、極性切換回路70と負極レベルシフト回路22の一部、信号処理回路11の一部はPsubとNwell1-1上に製造する。ドライバIC1には、トランジスタ以外に抵抗や、コンデンサやダイオードなどのデバイス素子も設けられるが、それらの素子の耐圧も確保する。  
40

#### 【0056】

データ線駆動回路10は、複数のデータ線を駆動するため、D/A変換回路などが複数あり、動作電圧に応じてそれぞれの回路が、各Nwell1の連続した領域に配置される。異電位のNwell1間隔は、数十μm程度必要であるため、同一の電圧範囲の回路は、連続したNwell1内に配置すると回路面積が小さくなる。

#### 【0057】

10

20

30

40

50

本形態では、極性切換回路 70 は、高圧素子 (20V) で製造しているため、極性切換回路 70 を動作する電圧は、VGL = -10V と VPH = 5Vとの電圧範囲であってもよいし、VGL = -10V と VGH = 10Vとの電圧範囲であってもよいため、Nwell -1 の電圧は、VPH = 5V または VGH = 10V とする。

#### 【0058】

本形態では、基板は P 型半導体で説明したが、基板は N 型半導体 (Nsub) でもよい。この場合には、Nsub の電圧は最高電圧 VGH = 10V とすればよい。

#### 【0059】

実施の形態 2 .

実施の形態 1 においては、極性切換回路 70 は、ドライバ I C 1 に形成され、時分割選択回路 8 はパネル上に形成されていたが、極性切換の機能と時分割切換の機能を有する選択回路をパネル上に形成してもよい。本形態におけるドライバ I C 1 の D / A 変換回路部とプリチャージ回路部の詳細図を図 13 に示す。

#### 【0060】

実施の形態 1 では、プリチャージ回路 60 と出力端子 Xn との間に極性切換回路 70 を設けていたが、本実施の形態では、プリチャージ回路 60 と出力端子 Xn とを直接接続し、図 14 に示すように、時分割選択回路 8 は、データ線 3 ごとに 2 個のスイッチで構成し、それぞれのスイッチは、奇数番目の出力端子と偶数番目の出力端子に接続され、極性切換機能を含んでいる。その結果、パネル 2 上の時分割選択回路 8 を構成するスイッチ数は、実施の形態 1 に比べ 2 倍になっている。例えば、出力端子 X1 は、3 本のデータ線 (R1, G1, B1) にスイッチ 81, 82, 83 を介して接続されると共に 3 本のデータ線 (R2, G2, B2) にスイッチ 84, 85, 86 を介して接続される。そして、出力端子 X1 に隣接する出力端子 X2 は、3 本のデータ線 (R2, G2, B2) にスイッチ 81, 82, 83 を介して接続されると共に 3 本のデータ線 (R1, G1, B1) にスイッチ 84, 85, 86 を介して接続される。

#### 【0061】

また、実施の形態 1 では、ドライバ I C 1 の出力端子 Xn からは正極または負極のアナログ映像信号が出力されたが、本形態では、奇数番目の出力端子からは正極のアナログ映像信号、偶数番目の出力端子からは負極のアナログ映像信号が出力される。いうまでもないが、奇数番目の出力端子からは負極のアナログ映像信号、偶数番目の出力端子からは正極のアナログ映像信号が出力される回路構成でもよい。

#### 【0062】

本実施の形態では、電源回路 12 など高圧素子はパネル 2 上に形成し、データ線駆動回路 10 及び信号処理回路 11 をドライバ I C 1 上に形成している。この構成によれば、正極または負極の D / A 変換回路からのアナログ映像信号は、実施の形態 1 では、接続スイッチ 65, 66、極性切換スイッチ 71, 72 及び時分割選択回路 8 に含まれるスイッチの計 3 個のスイッチを介して各データ線に出力されているが、本実施の形態では、接続スイッチ 65, 66、時分割選択回路 8 に含まれるスイッチの計 2 個のスイッチを介して各データ線 3 にアナログ映像信号が出力されることにより、スイッチのオン抵抗が小さくなることで駆動時間を短くすることができる。

#### 【0063】

また、ドライバ I C に含まれる高圧素子は、負極レベルシフト回路の一部のみとなり、ドライバ I C 1 のチップサイズを小さくすることができる。

#### 【0064】

さらに、実施の形態 1 と同様に、プリチャージ回路 60 を構成する各スイッチ (61 ~ 66) は中圧素子で製造する。このプリチャージ回路 60 のスイッチは、ガラス基板などのパネル 2 上に形成するより半導体基板上に製造した方がトランジスタの能力が 1 枝以上よいため、プリチャージ時間を短くすることができる。プリチャージ時間が短くなるということは、相対的に駆動時間が長くなるので、分割数を増やして、D / A 変換回路の数を低減することができる。

10

20

30

40

50

**【 0 0 6 5 】**

次に図15のタイミングチャートを用いて本実施の形態の動作について説明する。第1の水平期間の第1のプリチャージ期間T21に、電荷リサイクルスイッチ61、62、時分割スイッチ84、85、86をオンし、前の水平期間に正極に駆動されたデータ線(R2、G2、B2)の正極の電荷を電荷リサイクル容量67に充電し、同様に、負極に駆動されたデータ線(R1、G1、B1)の負極の電荷を電荷リサイクル容量68に充電する。次に、第1の水平期間の第2のプリチャージ期間T22に、プリチャージスイッチ63、64、時分割スイッチ84、85、86をオンし、前の水平期間に正極に駆動されたデータ線(R2、G2、B2)を基準電圧(GND)にプリチャージし、同様に、負極に駆動されたデータ線(R1、G1、B1)を基準電圧(GND)にプリチャージして中和させる。

10

**【 0 0 6 6 】**

次に、第1の水平期間の第3のプリチャージ期間T23に、電荷リサイクルスイッチ61、62、時分割スイッチ81、82、83をオンし、第2のプリチャージ期間T22に基準電圧になっているデータ線(R1、G1、B1)に電荷リサイクル容量67から正極の電荷を放電し、同様に、データ線(R2、G2、B2)に電荷リサイクル容量68から負極の電荷を放電する。こうすることにより、各データ線3に画素信号として印加した電荷の回収及び再利用を行う。

**【 0 0 6 7 】**

次に、第1の水平期間の第1の駆動期間T24に接続スイッチ65、66、時分割スイッチ81をオンしてデータ線R1に出力端子X1から正極のアナログ映像信号を出力し、データ線R2に出力端子X2から負極のアナログ映像信号が出力される。次に、第1の水平期間の第2の駆動期間T25に接続スイッチ65、66、時分割スイッチ82をオンしてデータ線G1に出力端子X1から正極のアナログ映像信号を出力し、データ線G2に出力端子X2から負極のアナログ映像信号を出力する。次に、第1の水平期間の第3の駆動期間T26に接続スイッチ65、66、時分割スイッチ83をオンしてデータ線B1に出力端子X1から正極のアナログ映像信号を出力し、データ線B2に出力端子X2から負極のアナログ映像信号を出力する。

20

**【 0 0 6 8 】**

次に、第2の水平期間の第1のプリチャージ期間T31に、電荷リサイクルスイッチ61、62、時分割スイッチ81、82、83をオンし、第1の水平期間に正極に駆動されたデータ線(R1、G1、B1)の正極の電荷を電荷リサイクル容量67に充電し、同様に、負極に駆動されたデータ線(R2、G2、B2)の負極の電荷を電荷リサイクル容量68に充電する。次に、第2の水平期間の第2のプリチャージ期間T32に、プリチャージスイッチ63、64、時分割スイッチ81、82、83をオンし、第1の水平期間に正極に駆動されたデータ線(R1、G1、B1)を基準電圧(GND)にプリチャージし、同様に、負極に駆動されたデータ線(R2、G2、B2)を基準電圧(GND)にプリチャージして中和させる。次に、第2の水平期間の第3のプリチャージ期間T33に、電荷リサイクルスイッチ61、62、時分割スイッチ84、85、86をオンし、第2のプリチャージ期間に基準電圧になっているデータ線(R2、G2、B2)に電荷リサイクル容量67から正極の電荷を放電し、同様に、データ線(R1、G1、B1)に電荷リサイクル容量68から負極の電荷を放電する。

30

**【 0 0 6 9 】**

次に、第2の水平期間の第1の駆動期間T34に接続スイッチ65、66、時分割スイッチ84をオンしてデータ線R2に出力端子X1から正極のアナログ映像信号を出力し、データ線R1に出力端子X2から負極のアナログ映像信号を出力する。次に、第2の水平期間の第2の駆動期間T35に接続スイッチ65、66、時分割スイッチ85をオンしてデータ線G2に出力端子X1端子から正極のアナログ映像信号を出力し、データ線G1に出力端子X2端子から負極のアナログ映像信号を出力する。次に、第2の水平期間の第3の駆動期間T36に接続スイッチ65、66、時分割スイッチ86をオンしてデータ線B

40

50

2に出力端子X1から正極のアナログ映像信号を出力し、データ線B1に出力端子X2から負極のアナログ映像信号を出力する。各画素は図8に示すように、フレームごとに反転するように駆動される。

#### 【0070】

実施の形態1及び2において、画素への書き込み順序は、R G Bで便宜説明してきたが、時分割スイッチ81、82、83をTFTで形成した場合に、当該TFTのリーク電流を考慮すると、G(緑)がR(赤)B(青)に比べて感度が高いので、R B GまたはB R Gの順のようにGを最後に書き込むことが好ましい。また、分割数は3で説明してきたが、3に限らない。この場合、RGB3色であることから分割数は3の倍数が好ましく、例えば、6分割であれば、1つのD/A変換回路でR1 R2 B1 B2 10 G1 G2などの順に同じ色の画素から優先して書き込むのが好ましい。R1 B1 G1 R2 B2 G2と書き込むとR1とR2との間にB1とG1の書き込み時間があるので、この間にTFTで形成された時分割スイッチのリーク電流により、R1画素の電圧が変動してしまい表示むらになるからである。

#### 【0071】

また、分割数が多くなるほど、D/A変換回路が削減できるが、パネル上の表示むらが顕著に現れるので、1、2フレーム目(R1 R2 B1 B2 G1 G2)、3、4フレーム目(R2 R1 B2 B1 G2 G1)のように4フレームを1つの単位としてフレーム間で同一色の画素の書き込み順序を変えるのが好ましい。

#### 【0072】

実施の形態3。

実施の形態2においては、極性切換の機能と時分割切換の機能を有する選択回路をパネル上に形成しているが、さらに、電荷リサイクルの回路もパネル上に形成してもよい。

#### 【0073】

図16に本形態の液晶表示装置200のブロック図を示す。液晶パネルの基板2上に、さらに電荷リサイクル回路9を形成する。電荷リサイクル回路9は、ドライバIC1上の信号処理回路11から出力される信号で制御される。次に電荷リサイクル回路9の詳細を図17を参照して説明する。電荷リサイクル回路9は、各データ線3ごとに並列に2個の電荷リサイクルスイッチ91、92を設け、電荷リサイクルスイッチ91、92の他端は、データ線グループごとに回収線95又は回収線96に接続される。回収線95及び96はそれぞれ電荷リサイクル容量93及び94に接続される。電荷リサイクルスイッチ91、92は水平期間の初めのプリチャージ期間に極性信号POLに応じて制御される。この電荷リサイクル回路9も、走査線駆動回路6や時分割駆動回路8と同じくVGH、VGLの電源電圧で動作させる。

#### 【0074】

電荷リサイクル回路9の動作について、図18のタイミングチャートを用いて説明する。第1の水平期間では極性信号POLがHである。そして、第1の水平期間の第1のプリチャージ期間T41にスイッチ81、82、83はターンオフ、スイッチ92をターンオンし、データ線3に蓄積された電荷を電荷リサイクル容量93に電荷を移動して電荷の回収を行う。次に、第1の水平期間の第2のプリチャージ期間T42にスイッチ92をターンオフ、スイッチ81、82、83をターンオンし、ドライバIC1内のプリチャージスイッチ63、64をターンオンし基準電圧にプリチャージする。次に、第1の水平期間の第3のプリチャージ期間T43にプリチャージスイッチ63、64をターンオフ、スイッチ81、82、83をターンオフ、スイッチ91をターンオンして電荷リサイクル容量94からデータ線3に電荷を移動して電荷の再利用を行う。

#### 【0075】

第2の水平期間では、極性信号POLがLとなる。そして、第2の水平期間の第1のプリチャージ期間T51にスイッチ81、82、83はターンオフ、スイッチ91をターンオンし、データ線3に蓄積された電荷を電荷リサイクル容量94に電荷を移動して電荷の回収を行う。次に、第2の水平期間の第2のプリチャージ期間T52に、スイッチ91を

10

20

30

40

50

ターンオフ、スイッチ 8 1、8 2、8 3をターンオンし、ドライバ I C 1内のプリチャージスイッチ 6 3、6 4をターンオンし基準電圧にプリチャージする。次に、第2の水平期間の第3のプリチャージ期間 T 5 3に、プリチャージスイッチ 6 3、6 4をターンオフ、スイッチ 8 1、8 2、8 3をターンオフ、スイッチ 9 2をターンオンして電荷リサイクル容量 9 3からデータ線に電荷を移動して電荷の再利用を行う。なお、駆動期間( T 4 4 ~ T 4 6、T 5 4 ~ T 5 6)における動作は実施の形態1と同様である。

#### 【0076】

本実施の形態においては、実施の形態1、2と同様に、パネルの片側にのみD / A変換回路を含む駆動回路を配置する構成とすることができます、データ線駆動回路の回路規模を低減することができます。また、正極D / A変換回路 3 1には、正極の電圧しか印加されず、負極D / A変換回路 3 2には、負極の電圧しか印加されない。よって、これらの素子は、中圧素子(5V)で形成することができ、高圧素子で形成するのに比べゲート酸化膜が薄く、またゲート長が短くすることができ、回路面積を縮小することができる。10

#### 【0077】

そして、本実施の形態においては、更に、電荷リサイクル回路 9をドライバ I C 1の外部にすることで、ドライバ I C 1内部のGNDへのノイズが減少し、ドライバ I C 1内部の電源回路 1 2にノイズが伝播することを防止することができるため、com電圧などが安定して良好な表示を得ることができます。

#### 【0078】

また、実施の形態1、2及び3において、基準電圧はシステムグランドとして説明したが、システムグランドでなくてもよい。薄膜トランジスタ TFT (Thin Film Transistor) のフィードスルー誤差分だけ電圧をシフトした電圧であってもよい。具体的には、TFTのフィードスルー誤差が - 1Vであれば、com電圧をシステムグランドとし、ドライバ I C 1の基準電圧は1Vとしてこれをドライバ I C 1の仮想GNDとする。つまり、正極の高位電源電圧 VPH = 6V、正極の低位電源電圧(仮想GND) = 1V、負極の高位電源電圧(仮想GND) = 1V、負極の低位電源電圧 VNL = - 4Vとしてもよい。20

#### 【図面の簡単な説明】

#### 【0079】

【図1】本発明の第1の実施形態における液晶表示装置のブロック図である。

【図2】本発明の第1の実施形態における時分割選択回路 8の詳細図である。30

【図3】本発明の第1の実施形態におけるデジタル入力信号とアナログ信号の相関図である。

【図4】本発明の第1の実施形態におけるデジタル映像信号の入れ換え回路の詳細図である。

【図5】本発明の第1の実施形態におけるデータ線駆動回路 1 0のブロック図である。

【図6】本発明の第1の実施形態における正極D / A変換回路 3 1の詳細図である。

【図7】本発明の第1の実施形態における負極D / A変換回路 3 2の詳細図である。

【図8】本発明の第1の実施形態における画素の極性の模式図である。

【図9】本発明の第1の実施形態におけるタイミングチャートである。

【図10】本発明の第1の実施形態におけるプリチャージ動作の詳細図である。40

【図11】本発明の第1の実施形態におけるプリチャージ動作の詳細図である。

【図12】本発明の第1の実施形態における半導体集積回路の断面図である。

【図13】本発明の第2の実施形態におけるデータ線駆動回路 1 0の出力部の詳細図である。

【図14】本発明の第2の実施形態における時分割選択回路 8の詳細図である。

【図15】本発明の第2の実施形態におけるタイミングチャートである。

【図16】本発明の第3の実施形態における液晶表示装置のブロック図である。

【図17】本発明の第3の実施形態における電荷リサイクル回路 9の詳細図である。

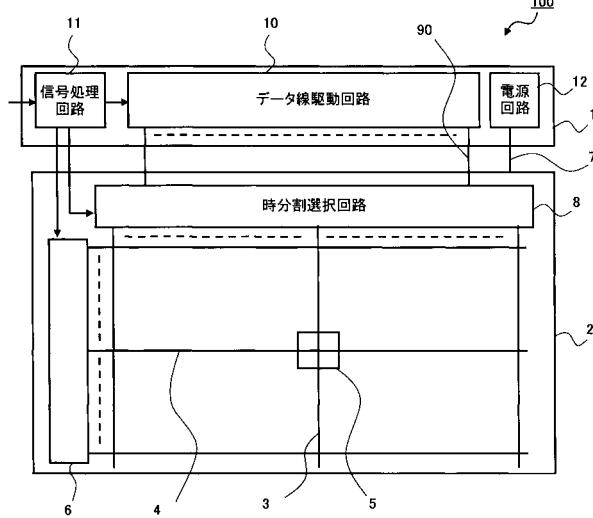
【図18】本発明の第3の実施形態における電荷リサイクルのタイミングチャートである50。

## 【符号の説明】

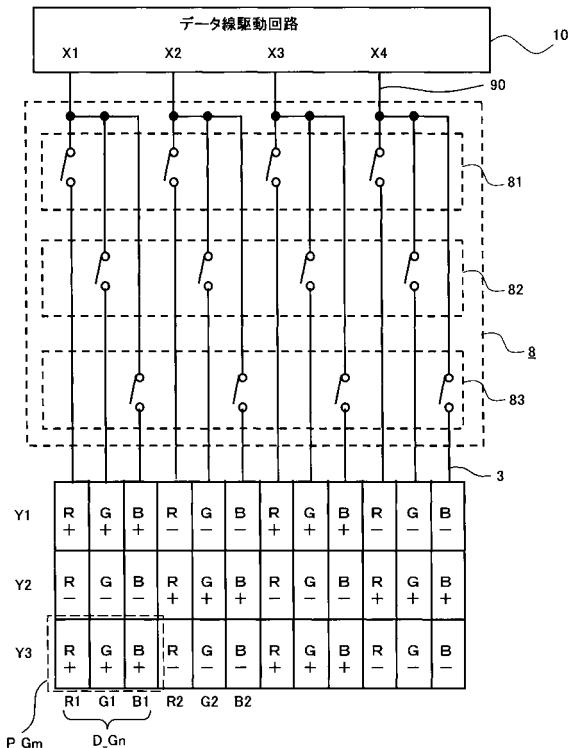
## 【0080】

- 1 ドライバ I C、2 液晶パネル基板、3 データ線、4 走査線、5 画素、  
 6 走査線駆動回路、7 共通電極線、8 時分割選択回路、9 電荷リサイクル回路、  
 10 データ線駆動回路、11 信号処理回路、11a、11b ラッチ回路、11c  
 切換回路、  
 12 電源回路、15 シフトレジスタ回路、16 データレジスタ回路、  
 16a 正極データレジスタ回路、16b 負極データレジスタ回路、  
 17 データラッチ回路、17a 正極データラッチ回路、  
 17b 負極データラッチ回路、21 正極レベルシフト回路、  
 22 負極レベルシフト回路、31 正極D/A変換回路、32 負極D/A変換回路、  
 33、34 増幅器、35、36 セレクタ、37、38 デコーダ、  
 41 正極階調電圧生成回路、42 負極階調電圧生成回路、  
 50 デジタル映像信号時分割回路、60 プリチャージ回路、  
 61、62、91、92 電荷リサイクルスイッチ、63、64 プリチャージスイッチ  
 、  
 65、66 接続スイッチ、67、68、93、94 電荷リサイクル容量、70 極性  
 切換回路、  
 71、72 極性切換スイッチ、  
 81、82、83、84、85、86 時分割スイッチ、  
 90 出力端子、100、200 液晶表示装置

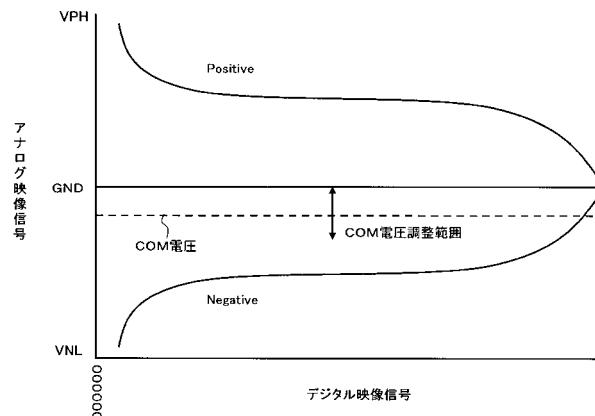
【図1】



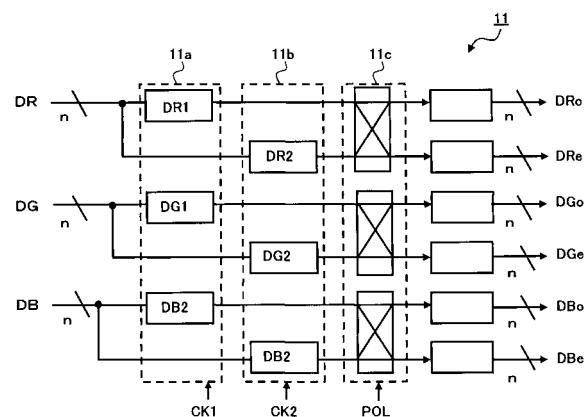
【図2】



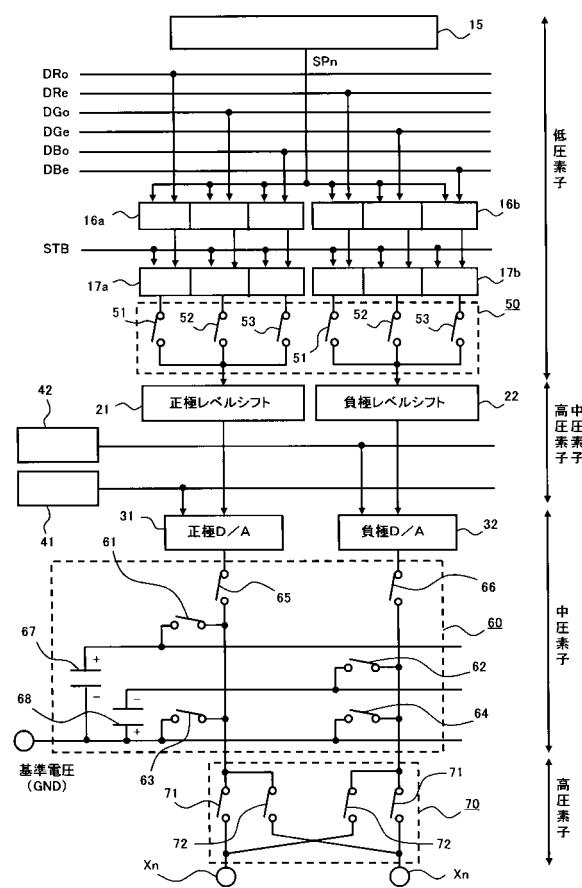
【図3】



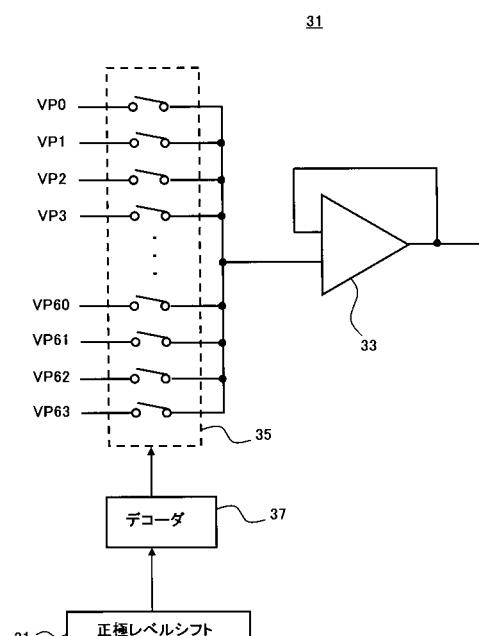
【図4】



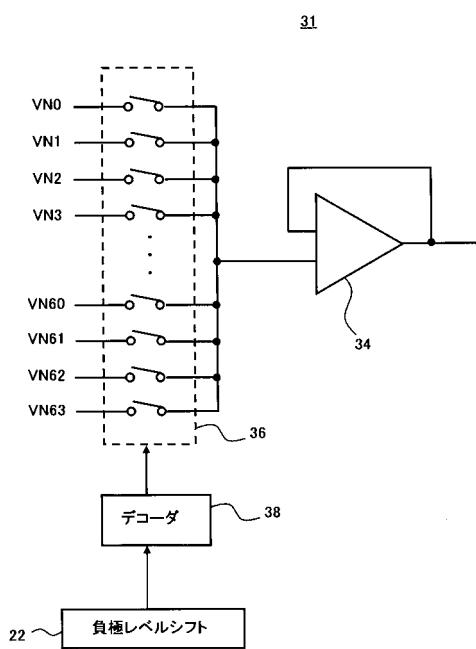
【図5】



【図6】

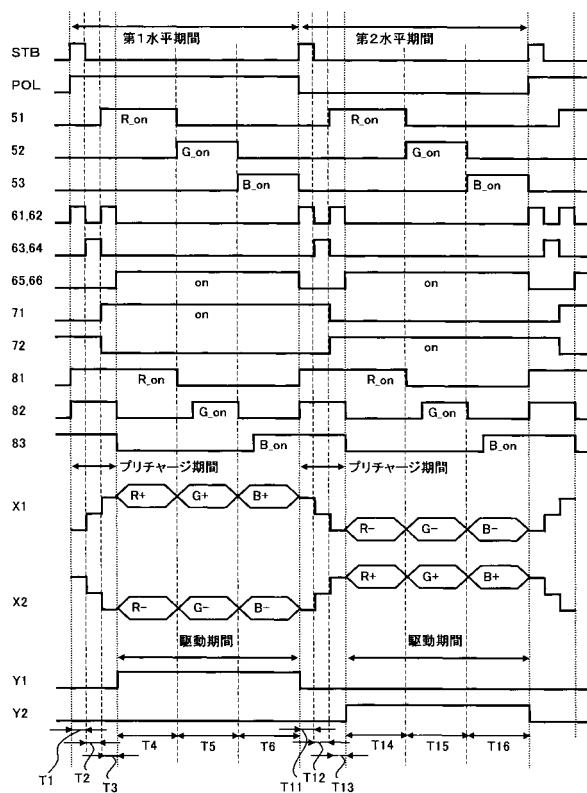


【 図 7 】

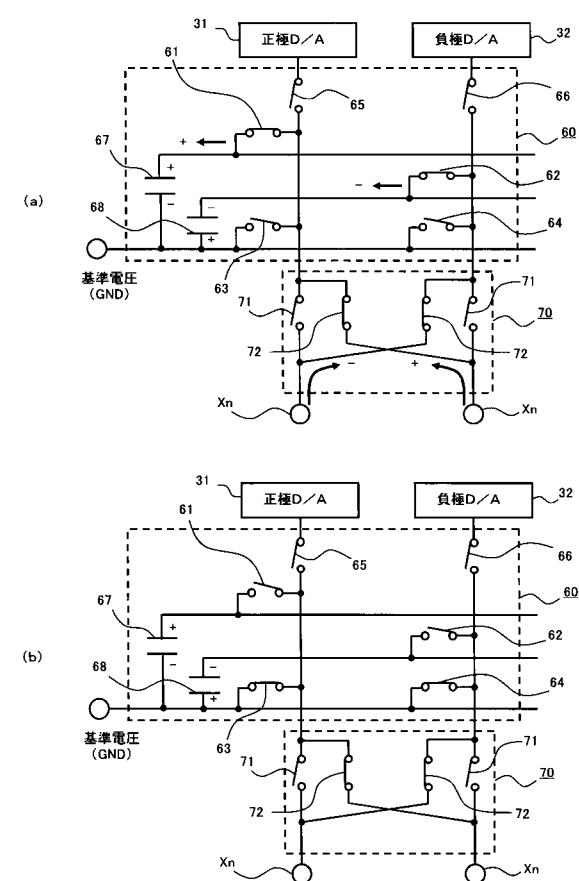


【 四 8 】

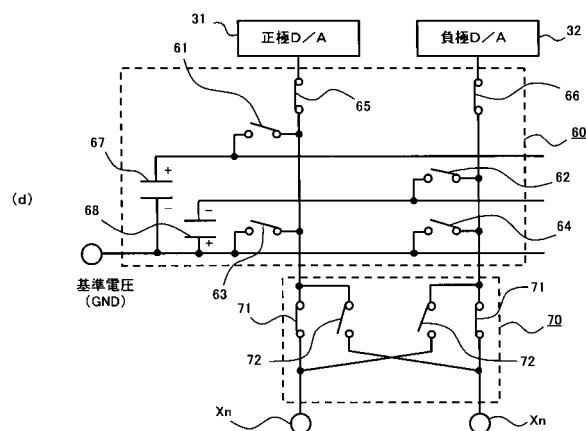
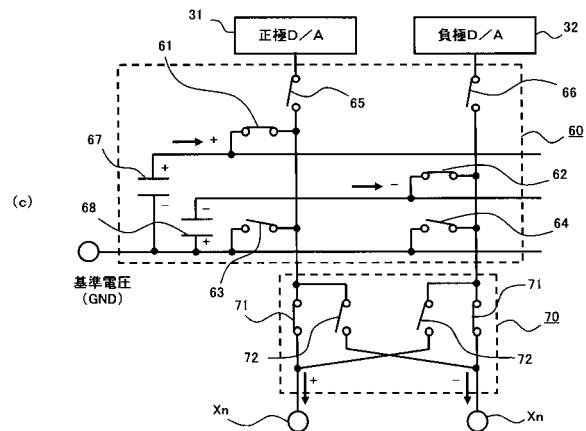
( 义 9 )



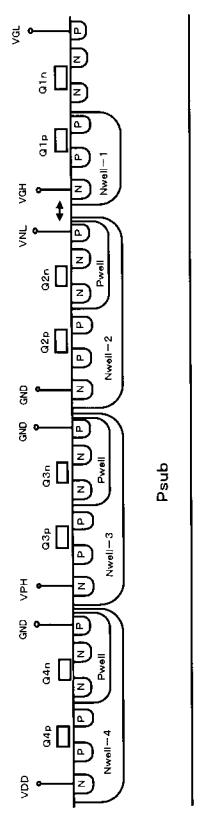
【 10 】



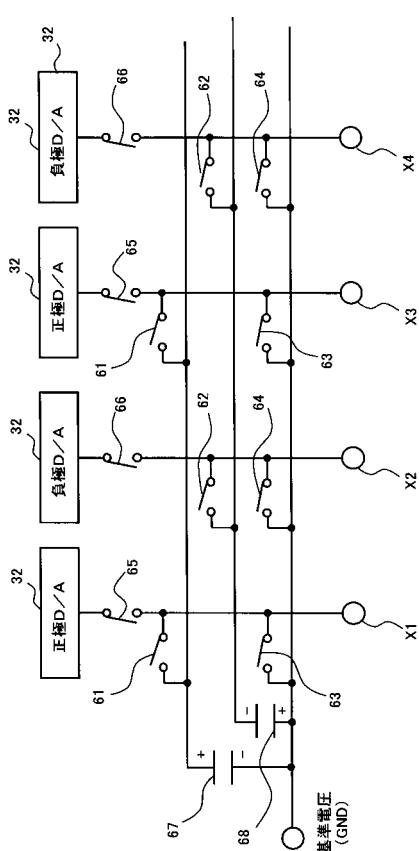
【図11】



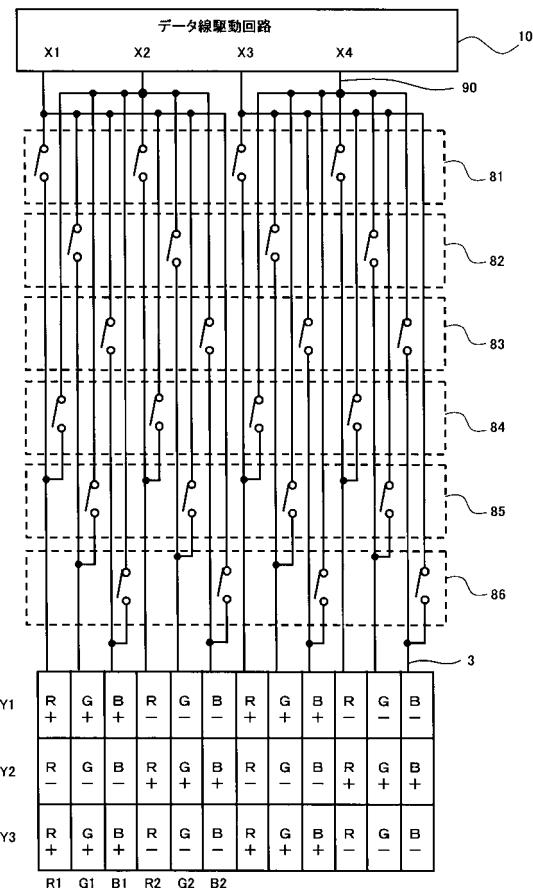
【図12】



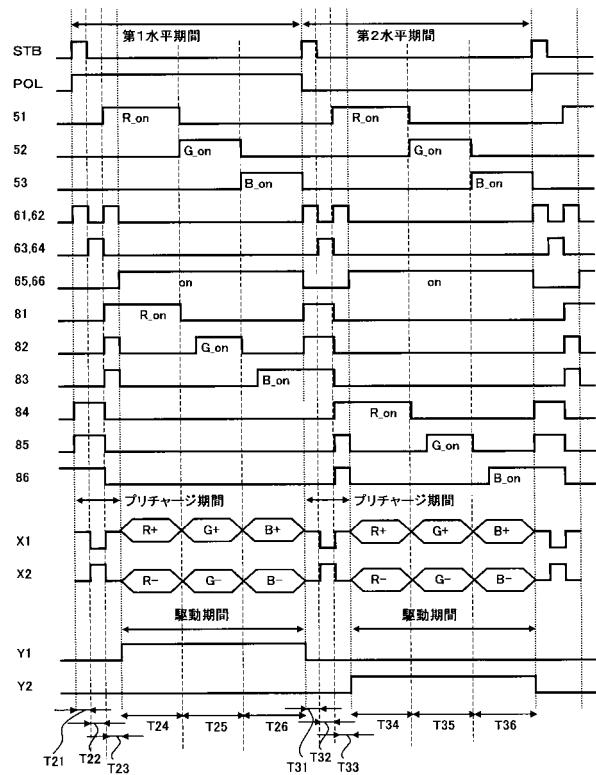
【図13】



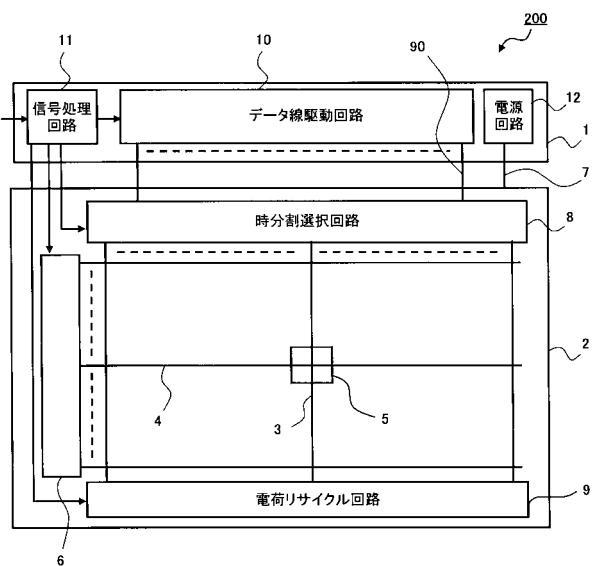
【図14】



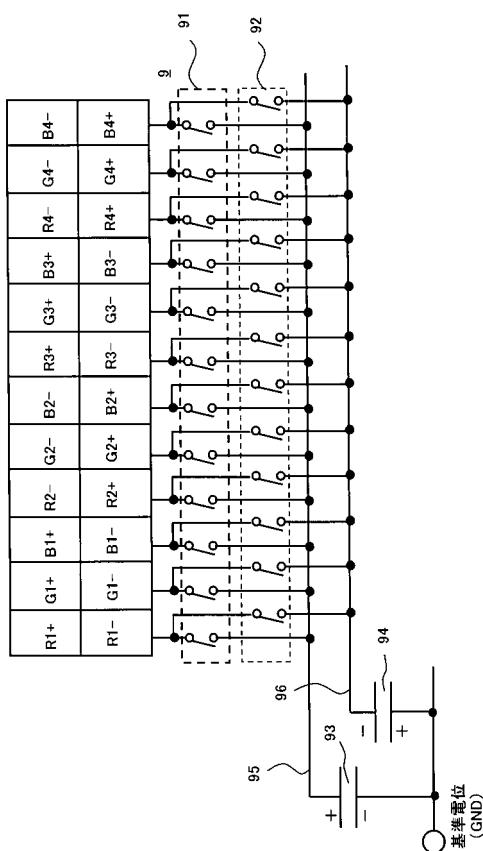
【図15】



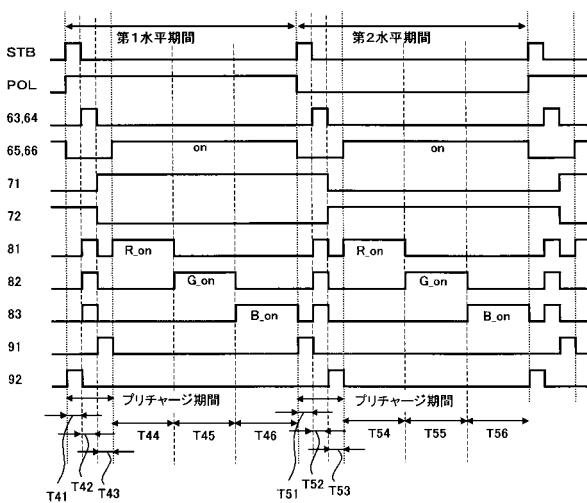
【図16】



【図17】



【図18】



---

フロントページの続き

(51)Int.Cl.

F I
G 0 9 G 3/20 6 2 3 X
G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 2 3 Y
G 0 9 G 3/20 6 2 3 F
G 0 9 G 3/20 6 2 3 R
G 0 9 G 3/20 6 4 1 C
G 0 9 G 3/20 6 4 2 L
G 0 9 G 3/20 6 2 1 M
G 0 9 G 3/20 6 8 0 G
G 0 2 F 1/133 5 2 5

(56)参考文献 特開2003-270660(JP,A)

特開平10-062744(JP,A)

特表2001-515225(JP,A)

特開2003-271105(JP,A)

特開2002-333863(JP,A)

特開平05-019725(JP,A)

特開2002-268613(JP,A)

特開2003-114650(JP,A)

特開2002-318566(JP,A)

特開2000-020030(JP,A)

特開平11-095729(JP,A)

特開平08-087251(JP,A)

特開平05-113771(JP,A)

特開2004-069848(JP,A)

特開平10-319924(JP,A)

特開2003-208132(JP,A)

特開2002-333866(JP,A)

特開2004-258485(JP,A)

(58)調査した分野(Int.Cl., DB名)

IPC G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示装置及其驱动电路		
公开(公告)号	<a href="#">JP4584131B2</a>	公开(公告)日	2010-11-17
申请号	JP2005346689	申请日	2005-11-30
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
当前申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	橋本義春		
发明人	橋本 義春		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3614 G09G2310/0235 G09G2310/0248 G09G2310/027 G09G2310/0297 G09G2320/0219		
FI分类号	G09G3/36 G09G3/20.621.F G09G3/20.621.G G09G3/20.621.H G09G3/20.623.V G09G3/20.623.X G09G3/20.621.B G09G3/20.623.Y G09G3/20.623.F G09G3/20.623.R G09G3/20.641.C G09G3/20.642.L G09G3/20.621.M G09G3/20.680.G G02F1/133.525 G09G3/20.622.K		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA32 2H093/NA33 2H093/NA34 2H093/NA43 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC21 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC34 2H093/NC65 2H093/ND35 2H093/ND39 2H093/ND58 2H193/ZA04 2H193/ZC02 2H193/ZC15 2H193/ZC20 2H193/ZF22 2H193/ZF36 2H193/ZF59 2H193/ZH40 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF69 5C006/AF71 5C006/AF83 5C006/AF84 5C006/AF85 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF14 5C006/BF24 5C006/BF43 5C006/BF46 5C006/EB04 5C006/EB05 5C006/FA41 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD22 5C080/DD26 5C080/DD27 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
审查员(译)	安藤达也		
优先权	2005119818 2005-04-18 JP		
其他公开文献	JP2006323341A		
外部链接	<a href="#">Espacenet</a>		

**摘要(译)**

要解决的问题：提供一种能够减小液晶显示器中的数据线驱动电路的尺寸的液晶显示器。ŽSOLUTION：液晶显示器包括：多条扫描线4;多条数据线3;多个像素5设置在多条扫描线4和多条数据线3的各个交叉点处。液晶显示器还包括多个像素组，这些像素组由设置在连续多个的各个交叉点处的像素5构成。数据线3和扫描线4之一，其中相同极性的信号通过顺序输出信号的分时驱动输出到包括在各个像素组中的所有数据线3，并且反向极性信号输出到像素彼此相邻的组，使得在每帧之后反转的具有极性的信号被输出到包括在各个像素组中的数据线3。Ž

