

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4577143号
(P4577143)

(45) 発行日 平成22年11月10日 (2010.11.10)

(24) 登録日 平成22年9月3日 (2010.9.3)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/1368 (2006.01)	G02F 1/1368
G02F 1/133 (2006.01)	G02F 1/133 550
H01L 29/786 (2006.01)	H01L 29/78 612B
G09G 3/20 (2006.01)	H01L 29/78 614
請求項の数 10 (全 21 頁) 最終頁に続く	

(21) 出願番号 特願2005-228739 (P2005-228739)
 (22) 出願日 平成17年8月5日 (2005.8.5)
 (65) 公開番号 特開2007-47220 (P2007-47220A)
 (43) 公開日 平成19年2月22日 (2007.2.22)
 審査請求日 平成18年8月7日 (2006.8.7)

前置審査

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 佐藤 友彦
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 板倉 直之
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 竹内 剛也
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

信号ラインを伝搬される映像用画素データを、スイッチング素子を通して書き込む複数の画素回路がマトリクス状に配置された画素部と、

上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、

上記画素回路の行配列に対応するように配置された複数の容量配線と、

上記走査ラインを駆動する走査ラインドライバ、および上記容量配線を駆動する容量配線ドライバを上記行配列に対応した各ドライバ段に有する駆動回路と、

所定の周期でレベルが切り替わるコモン電圧信号を生成する生成回路と、

を有し、

上記画素部に配列された各画素回路は、

第1画素電極および第2画素電極を有する表示エレメントと、

第1電極および第2電極を有する保持容量と、

を含み、

上記表示エレメントの第1画素電極と上記保持容量の第1電極と上記スイッチング素子の一端子が接続され、

上記保持容量の第2電極が対応する行に配列された上記容量配線に接続され、

上記表示エレメントの第2画素電極に上記コモン電圧信号が印加され、

上記走査ラインドライバは、

10

20

駆動される走査ラインを垂直クロック信号に同期して次段にシフトさせるシフトパルスおよび走査用の信号を出力するシフトレジスタと、

当該シフトレジスタからの上記走査用の信号を受けて走査ラインを駆動する走査ラインバッファと

を含み、

上記容量配線ドライバは、

上記垂直クロック信号に対応して極性が反転する画素書き込み時の極性信号が入力され、当該極性信号の電位を上記走査用の信号に基づいてラッチする第1ラッチ回路と、

上記シフトパルスの終了タイミングで、上記第1ラッチ回路がラッチした極性信号の電位をラッチし、ラッチされた極性信号の電位に対応する駆動レベルに上記容量配線の電位を変化させる第2ラッチ回路と、

を有し、

上記走査用の信号は、上記第1ラッチ回路でのラッチ開始から、上記シフトパルスの終了までの期間内に印加される、当該期間より短い時間幅のパルス信号である

表示装置。

【請求項2】

上記駆動回路の各ドライバ段は、上記走査用の信号が上記走査ラインバッファに入力され、当該走査ラインバッファから上記走査ラインを駆動する信号が出力されるタイミングに対し、上記容量配線を駆動するために上記容量配線ドライバの出力を電位変化させるタイミングが遅くなるように構成されている

請求項1記載の表示装置。

【請求項3】

上記容量配線ドライバは、上記容量配線を駆動する信号の第1レベルと当該第1レベルより低い第2レベルとのいずれかを選択して対応する容量配線に印加する

請求項1または2記載の表示装置。

【請求項4】

上記容量配線ドライバは、上記第2ラッチ回路の出力と上記容量配線との間に容量配線バッファを有し、

上記容量配線バッファは、上記第2ラッチ回路の出力電位が上記シフトパルスに基づいて変化する前は上記容量配線の電位を待機レベルで維持させ、上記出力電位が上記シフトパルスに基づいて変化することに応答して、上記容量配線の電位を、上記待機レベルから、上記第1ラッチ回路によりラッチされた上記極性信号の電位に対応した駆動レベルに遷移させる

請求項1～3の何れか記載の表示装置。

【請求項5】

上記駆動回路は、上記走査ラインドライバと上記容量配線ドライバを組で上記画素回路の行配列ごとに有し、

隣接するシフトレジスタが上記シフトパルスを列方向に転送可能に接続され、

上記極性信号は、電位持続時間が等しい第1電位と第2電位が交互に繰り返される信号であり、

駆動回路内の上記容量配線ドライバは、上記シフトパルスの転送によって駆動する上記画素回路の行配列が列方向にシフトする過程で、上記極性信号の上記第1電位と上記第2電位を交互にラッチし、上記容量配線の上記待機レベルおよび上記駆動レベルを、第1レベルと当該第1レベルより低い第2レベルとで交互に切り替える

請求項4記載の表示装置。

【請求項6】

上記駆動回路は、選択された行の走査ラインを駆動して、対応する画素回路に画素データを書き込ませた後、同一の行の上記容量配線を駆動する

請求項1～5の何れか記載の表示装置。

【請求項7】

上記画素回路の表示エレメントが液晶セルである

請求項 1 ~ 6 の何れか記載の表示装置。

【請求項 8】

上記コモン電圧信号の振幅値および上記第 1 レベルと上記第 2 レベルとの電位差の値は、上記表示エレメントがノーマリホワイトモードの液晶セルの場合に、上記コモン電圧信号および上記電位差による実効画素電位の増加分について、黒表示のときの上記増加分に対する白表示のときの上記増加分の変動を上記コモン電圧信号により補償するように、選定されている

請求項 7 記載の表示装置。

【請求項 9】

上記コモン電圧信号の振幅値および上記電位差の値は、白表示のときの実効画素電位が所定のしきい値以下となるように選定されている

請求項 8 記載の表示装置。

【請求項 10】

上記所定のしきい値は、上記液晶セルの液晶の印加電圧に対する誘電率の特性において、上記印加電圧を上げていったときに上記誘電率が変化し始める電圧値である

請求項 9 記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素の表示エレメント（電気光学素子）を表示領域にマトリクス状に配列したアクティブマトリクス型の表示装置に関するものである。

【背景技術】

【0002】

表示装置、たとえば液晶セルを画素の表示エレメント（電気光学素子）に用いた液晶表示装置は、薄型で低消費電力であるという特徴をいかして、たとえば携帯情報端末(Personal Digital Assistant : PDA)、携帯電話、デジタルカメラ、ビデオカメラ、パーソナルコンピュータ用表示装置等、幅広い電子機器に適用されている。

【0003】

図 1 は、液晶表示装置の構成例を示すブロック図である（たとえば特許文献 1 , 2 参照）。

液晶表示装置 1 は、図 1 に示すように、有効画素部 2、垂直駆動回路（VDRV）3、および水平駆動回路（HDRV）4 を有している。

【0004】

有効画素部 2 は、複数の画素回路 21 が、マトリクス状に配列されている。

各画素回路 21 は、スイッチング素子として薄膜トランジスタ（TFT ; thin film transistor）21 と、TFT 21 のドレイン電極（またはソース電極）に画素電極が接続された液晶セル LC 21 と、TFT 21 のドレイン電極に一方の電極が接続された保持容量 Cs 21 により構成されている。

これら画素回路 21 の各々に対して、走査ライン（ゲートライン）5 - 1 ~ 5 - m が各行ごとにその画素配列方向に沿って配線され信号ライン 6 - 1 ~ 6 - n が各列ごとにその画素配列方向に沿って配線されている。

そして、各画素回路 21 の TFT 21 のゲート電極は、各行単位で同一の走査ライン 5 - 1 ~ 5 - m にそれぞれ接続されている。また、各画素回路 21 のソース電極（または、ドレイン電極）は、各列単位で同一の信号ライン 6 - 1 ~ 6 - n に各々接続されている。

【0005】

さらに、一般的な液晶表示装置においては、保持容量配線 Cs を独立に配線し、この保持容量配線と Cs と液晶セル LC 21 の第 1 電極との間に保持容量 Cs 21 を形成するが、保持容量配線 Cs は、コモン電圧 VCOM と同相パルスが入力され、保持容量として用いる。一般的な液晶表示装置においては、有効画素部 2 におけるすべての画素回路 21 の

10

20

30

40

50

保持容量 C_{s21} は、一つの保持容量配線 C_s に共通に接続されている。

そして、各画素回路 21 の液晶セル LC_{21} の第 2 電極は、たとえば 1 水平走査期間 (1H) 毎に極性が反転するコモン電圧 V_{com} の供給ライン 7 に共通に接続されている。

【0006】

各走査ライン 5-1 ~ 5-m は、垂直駆動回路 3 により駆動され、各信号ライン 6-1 ~ 6-n は水平駆動回路 4 により駆動される。

【0007】

垂直駆動回路 3 は、1 フィールド期間ごとに垂直方向 (行方向) に走査して走査ライン 5-1 ~ 5-m に接続された各画素回路 21 を行単位で順次選択する処理を行う。

すなわち、垂直駆動回路 3 から走査ライン 5-1 に対して走査パルス SP_1 が与えられたときには第 1 行目の各列の画素が選択され、走査ライン 5-2 に対して走査パルス SP_2 が与えられたときには第 2 行目の各列の画素が選択される。以下同様にして、走査ライン 5-3, ..., 5-m に対して走査パルス $SP_3, \dots, SP_m$ が順に与えられる。

【0008】

図 2 (A) ~ (E) に、図 1 に示す一般的な液晶表示装置のいわゆる 1HV V_{com} 反転駆動方式におけるタイミングチャートを示す。

【0009】

また、他の駆動方式として、保持容量配線 C_s からのカップリングを利用して液晶への印加電圧を変調させる容量結合駆動方式が知られている (たとえば特許文献 3 参照)。

【特許文献 1】特開平 11-119746 号公報

【特許文献 2】特開 2000-298459 号公報

【特許文献 3】特開平 2-157815 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

上述した容量結合駆動方式は、1HV V_{com} 反転駆動方式に比べ、いわゆるオーバドライブによる液晶の応答速度を改善でき、また、 V_{com} 周波数帯域で発生するオーディオノイズを低減でき、超高精細パネルにおけるコントラスト補償 (最適化) が行えるなどの特徴がある。

【0011】

ところが、特許文献 3 に記載されたこの容量結合駆動方式を、図 3 に示すような、印加電圧に対する液晶誘電率 ϵ の特性を有する液晶材料 (ノーマリホワイト対応) を用いて液晶表示装置に採用した場合、下記の式 (1)、図 4 および図 5 に示すように、黒輝度を最適化しようとした際、白輝度が黒くなる (沈んでしまう) という不利益がある。

このことにより、現在の容量結合駆動方式を採用した液晶表示装置においては、黒輝度、白輝度の両者を同時に最適化することができないという不利益がある。

【0012】

(数 1)

$$\Delta V_{pix1} = V_{sig} + \{C_{cs} / (C_{cs} + C_{lc})\} * \Delta V_{cs} - V_{com} \quad \dots (1)$$

【0013】

式 (1) において、 ΔV_{pix} は実効画素電位、 V_{sig} は映像信号電圧、 C_{cs} は保持容量、 C_{lc} は液晶容量を、 ΔV_{cs} は信号 CS の電位を、 V_{com} はコモン電圧をそれぞれ示している。

上述したように、黒輝度を最適化しようとした際、白輝度が沈んでしまうのは、上記式 (1) の $\{C_{cs} / (C_{cs} + C_{lc})\} * \Delta V_{cs}$ の項にあり、液晶誘電率の非線形性が実効画素電位に影響を与えるためである。

【0014】

本発明の目的は、黒輝度および白輝度の両方とともに最適化することが可能な表示装置を供することにある。

10

20

30

40

50

【課題を解決するための手段】

【0015】

本発明の表示装置は、信号ラインを伝搬される映像用画素データを、スイッチング素子を通して書き込む複数の画素回路がマトリクス状に配置された画素部と、上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、上記画素回路の行配列に対応するように配置された複数の容量配線と、上記走査ラインを駆動する走査ラインドライバ、および上記容量配線を駆動する容量配線ドライバを上記行配列に対応した各ドライバ段に有する駆動回路と、所定の周期でレベルが切り替わるコモン電圧信号を生成する生成回路と、を有し、上記画素部に配列された各画素回路は、第1画素電極および第2画素電極を有する表示エレメントと、第1電極および第2電極を有する保持容量と、を含み、上記表示エレメントの第1画素電極と上記保持容量の第1電極と上記スイッチング素子の一端子が接続され、上記保持容量の第2電極が対応する行に配列された上記容量配線に接続され、上記表示エレメントの第2画素電極に上記コモン電圧信号が印加され、上記走査ラインドライバは、駆動される走査ラインを垂直クロック信号に同期して次段にシフトさせるシフトパルスおよび走査用の信号を出力するシフトレジスタと、当該シフトレジスタからの上記走査用の信号を受けて走査ラインを駆動する走査ラインバッファとを含み、上記容量配線ドライバは、上記垂直クロック信号に対応して極性が反転する画素書き込み時の極性信号が入力され、当該極性信号の電位を上記走査用の信号に基づいてラッチする第1ラッチ回路と、上記シフトパルスの終了タイミングで、上記第1ラッチ回路がラッチした極性信号の電位をラッチし、ラッチされた極性信号の電位に対応する駆動レベルに上記容量配線の電位を変化させる第2ラッチ回路と、を有し、上記走査用の信号は、上記第1ラッチ回路でのラッチ開始から、上記シフトパルスの終了までの期間内に印加される、当該期間より短い時間幅のパルス信号である。

【0017】

好適には、上記容量配線ドライバは、上記容量配線を駆動する信号の第1レベルと当該第1レベルより低い第2レベルとのいずれかを選択して対応する容量配線に印加する。

【0018】

好適には、上記シフトレジスタは垂直クロック信号に基づき上記シフト信号のシフト動作を行い、上記極性信号は上記垂直クロック信号に対応して極性が反転する。

【0019】

好適には、上記駆動回路は、選択された行の走査ラインを駆動して、対応する画素回路に画素データを書き込ませた後、同一の行の上記容量配線を駆動する。

【0020】

好適には、上記画素回路の表示エレメントが液晶セルである。

【0021】

好適には、上記コモン電圧信号の振幅値および上記第1レベルと上記第2レベルとの電位差の値は、上記表示エレメントがノーマリホワイトモードの液晶セルの場合に、上記コモン電圧信号および上記電位差による実効画素電位の増加分について、黒表示のときの上記増加分に対する白表示のときの上記増加分の変動を上記コモン電圧信号により補償するように、選定されている。

【発明の効果】

【0022】

本発明によれば、黒輝度および白輝度の両方をともに最適化することができる利点がある。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施の形態について図面に関連付けて詳細に説明する。

【0024】

図6は、たとえば液晶セルを画素の表示エレメント（電気光学素子）として用いた本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す図である。

【0025】

本表示装置100は、図6に示すように、有効画素部101、垂直駆動回路(VDRV)102、水平駆動回路(HDRV)103、およびコモン電圧生成回路(VcomGen)104を、主構成要素として有している。

【0026】

有効画素部101は、図7に示すように、複数の画素回路PXCが、 $m \times n$ のマトリクス状に配列されている。具体的には、全体としてノーマル表示が可能なように、たとえば $320 \times RGB \times 320$ 個の画素回路が配列されている。

なお、図7においては、図面の簡単化のために、 4×4 のマトリクス配列として示している。

10

【0027】

各画素回路PXCは、図7に示すように、スイッチング素子としてTFT(薄膜トランジスタ; thin film transistor)201と、TFT201のドレイン電極(またはソース電極)に第1画素電極が接続された液晶セルLC201と、TFT201のドレイン電極に第1電極が接続された保持容量Cs201により構成されている。

なお、TFT201のドレインと、液晶セルLC201の第1画素電極と、保持容量Cs201の第1電極との接続点によりノードND201が形成されている。

【0028】

これら画素回路PXCの各々に対して、ゲートライン(走査ライン)105-1~105-mおよび保持容量配線(以下、ストレージラインという)106-1~106-mが各行ごとにその画素配列方向に沿って配線され、信号ライン107-1~107-nが各列ごとにその画素配列方向に沿って配線されている。

20

【0029】

そして、各画素回路PXCのTFT201のゲート電極は、各行単位で同一のゲートライン105-1~105-mにそれぞれ接続されている。

各画素回路PXCの保持容量Csの第2電極は、各行単位で同一のストレージライン106-1~106-mにそれぞれ接続されている。

また、各画素回路PXCのソース電極(または、ドレイン電極)は、各列単位で同一の信号ライン107-1~107-nに各々接続されている。

そして、各画素回路PXCの液晶セルLC201の第2画素電極は、1水平走査期間(1H)に極性が反転する小振幅のコモン電圧VCOMの図示しない供給ラインに共通に接続されている。

30

【0030】

各ゲートライン105-1~105-mは、垂直駆動回路102のゲートドライバにより駆動され、各ストレージライン106-1~106-mは垂直駆動回路102の容量ドライバ(CSドライバ)により駆動され、各信号ライン107-1~107-nは水平駆動回路103により駆動される。

【0031】

垂直駆動回路102は、基本的には、1フィールド期間ごとに垂直方向(行方向)に走査してゲートライン105-1~105-mに接続された各画素回路PXCを1行単位で順次選択する処理を行う。

40

すなわち、垂直駆動回路102は、ゲートライン105-1に対してゲートパルスGP1を与えて第1行目の各列の画素が選択し、ゲートライン105-2に対してゲートパルスGP2を与えて第2行目の各列の画素を選択する。以下同様に、ゲートライン105-3, ..., 105-mに対してゲートパルスGP3, ..., GPMを順に与える。

【0032】

さらに、垂直駆動回路102は、各ゲートライン毎に対応して独立に配線された各ストレージライン106-1~106-m毎に第1レベル(CSH、たとえば3V~4V)または第2レベル(CSL、たとえば0V)のいずれかに選択した容量信号(以下、ストレージ信号という)CS1~CSmを順に与える。

50

【 0 0 3 3 】

図 8 (A) ~ (L) は、本実施形態の垂直駆動回路のゲートラインとストレージラインの駆動例を示すタイミングチャートである。

【 0 0 3 4 】

垂直駆動回路 1 0 2 は、たとえば第 1 行目から順番にゲートライン 1 0 5 - 1 ~ 1 0 5 - m、ストレージライン 1 0 6 - 1 ~ 1 0 6 - m を駆動していくが、ゲートパルスで一ゲートラインを駆動した後（信号書き込み後）、次のゲートラインのゲートパルスの立ち上がりのタイミングで、ストレージライン 1 0 6 - 1 ~ 1 0 6 - m に印加するストレージ信号 C S 1 ~ C S m のレベルを、以下のように、第 1 レベル C S H と第 2 レベル C S L を交互に選択して印加する。

10

たとえば、垂直駆動回路 1 0 2 は、第 1 行目のストレージライン 1 0 6 - 1 に第 1 レベル C S H を選択してストレージ信号 C S 1 を印加した場合、第 2 行目のストレージライン 1 0 6 - 2 には第 2 レベル C S L を選択してストレージ信号 C S 2 を印加し、第 3 行目のストレージライン 1 0 6 - 3 には第 1 レベル C S H を選択してストレージ信号 C S 3 を印加し、第 4 行目のストレージライン 1 0 6 - 4 には第 2 レベル C S L を選択してストレージ信号 C S 4 を印加し、以下同様にして交互に第 1 レベル C S H と第 2 レベル C S L を選択してストレージ信号 C S 5 ~ C S m をストレージライン 1 0 6 - 5 ~ 1 0 6 - m に印加する。

また、第 1 行目のストレージライン 1 0 6 - 1 に第 2 レベル C S L を選択してストレージ信号 C S 1 を印加した場合、第 2 行目のストレージライン 1 0 6 - 2 には第 1 レベル C S H を選択してストレージ信号 C S 2 を印加し、第 3 行目のストレージライン 1 0 6 - 3 には第 2 レベル C S L を選択してストレージ信号 C S 3 を印加し、第 4 行目のストレージライン 1 0 6 - 4 には第 1 レベル C S H を選択してストレージ信号 C S 4 を印加し、以下同様にして交互に第 2 レベル C S L と第 1 レベル C S H を選択してストレージ信号 C S 5 ~ C S m をストレージライン 1 0 6 - 5 ~ 1 0 6 - m に印加する。

20

【 0 0 3 5 】

本実施形態においては、ゲートパルス G P の立下り後（信号ラインからの書き込み後）、ストレージライン 1 0 6 - 1 ~ 1 0 6 - m を駆動し、保持容量 C S 2 0 1 を介してカップリングさせることにより画素電位（ノード N D 2 0 1 の電位）を変化させて、液晶印加電圧を変調させている。

30

【 0 0 3 6 】

図 7 には、垂直駆動回路 1 0 2 の C S ドライバ 1 0 2 0 のレベル選択出力部の一例を模式的に示している。

C S ドライバ 1 0 2 0 は、可変電源部 1 0 2 1 と、電源部 1 0 2 1 の正極側に接続された第 1 レベル供給ライン 1 0 2 2 と、電源部 1 0 2 1 の負極側に接続された第 2 レベル供給ライン 1 0 2 3 と、第 1 レベル供給ライン 1 0 2 2 または第 2 レベル供給ライン 1 0 2 3 とを画素配列の各行毎に配線したストレージライン 1 0 6 - 1 ~ 1 0 6 - m とを選択的に接続するスイッチ S W 1 ~ S W m を含んで構成されている。

【 0 0 3 7 】

また、図 7 中に ΔV_{cs} は第 1 レベル C S H と第 2 レベル C S L とのレベル差（電位差）を示している。

40

後で詳述するように、この ΔV_{cs} と小振幅の交番のコモン電圧 V_{com} の振幅 ΔV_{com} は、黒輝度および白輝度をともに最適化できるような値に選定される。

たとえば後述するように、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が 0 . 5 V 以下の値となるように ΔV_{cs} と ΔV_{com} の値が決定される。

【 0 0 3 8 】

垂直駆動回路 1 0 2 は、垂直シフトレジスタ群を含み、画素配列に対応して各行毎に配列されたゲートラインが接続されたゲートバッファに対応して設けられた複数のシフトレジスタ V S R を有する。各シフトレジスタ V S R は、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルス V S T、垂直走査の基準と

50

なる垂直クロックVCK（または互いに逆相の垂直クロックVCK，VCKX）が供給される。

たとえばシフトレジスタは、垂直スタートパルスVSTを、垂直クロックVCKに同期にてシフト動作を行い、対応するゲートバッファに供給する。

また、垂直スタートパルスVSTは、有効画素部101の上部側から、または下部側から伝搬され、各シフトレジスタに順番にシフトインされていく。

したがって、基本的には、シフトレジスタVSRにより供給された垂直クロックにより各ゲートバッファを通して各ゲートラインが順番に駆動されていく。

【0039】

図9は、本実施形態の垂直駆動回路のゲートドライバとCSドライバの構成例を示すブロック図である。

【0040】

本実施形態の垂直駆動回路102は、図9に示すように、画素配列の各行毎に独立に駆動するドライバ段300-1，300-2，300-3、・・・300-mが設けられている。

【0041】

各ドライバ段300（-1～-m）は、シフトレジスタ（VSR）301、ゲートバッファ302、CSブロック303、およびCSバッファ304を有する。たとえばCSバッファ304が上述したCSドライバのレベル選択出力部の機能を併せ持つ。

【0042】

シフトレジスタ301は、垂直スタートパルスVSTを、イネーブル信号ENB、垂直クロックVCKに同期にてシフト動作を行い、対応するゲートバッファ302に供給する。

また、垂直スタートパルスVSTは、有効画素部101の上部側から、または下部側から伝搬され、各シフトレジスタに順番にシフトインされていく。

したがって、基本的には、シフトレジスタ301により供給された垂直クロックにより各ゲートバッファを通して各ゲートライン105-1～105-mが順番に駆動されていく。

【0043】

CSブロックは、各ドライブ段で独立した動作を行い、シフトレジスタ301からゲートバッファ302に出力されるゲート信号Gateと、シフトレジスタ301から次段のシフトレジスタに出力される信号VSRoutとに基づいて、極性信号POLを2段階にラッチした後、CSバッファ304に出力する。

【0044】

図10は、図9のCSブロックの基本構成を示す図である。

CSブロック303は、基本的に、ゲート信号Gateに基づいて極性信号POLをラッチする第1ラッチ3031と、信号VSRoutに基づいて第1ラッチ3031のラッチ信号POLをラッチし、所定のタイミングでCSバッファ304に出力する第2ラッチ3032とを有する。

【0045】

図11は、CSブロックの具体的な構成例を示す回路図である。

【0046】

このCSブロック303は、2入力NAND401、インバータ402～405、およびスイッチ回路406～408を有する。そして、NAND401とインバータ402により第1ラッチ3031が構成され、インバータ403と404により第2ラッチ3032が構成されている。

【0047】

NAND401の第1入力スイッチ406の固定接点aおよびインバータ402の出力端子に接続され、第2入力が信号DISCの入力ラインに接続され、出力がスイッチ407の作動接点bおよびインバータ402の入力端子に接続されている。

インバータ403の入力端子がスイッチ407の固定接点aおよびスイッチ408の作動接点bに接続され、出力端子がインバータ404の入力端子およびCSバッファ304の入力に接続されている。そして、インバータ404の出力端子がスイッチ408の固定接点aに接続されている。

スイッチ406はゲート信号Gateおよびその反転信号XGateによりオン、オフされる。スイッチ407と408は信号VS Routおよび信号VS Routがインバータ405で反転された信号でオン、オフされる。

【0048】

図12は、ゲートバッファの構成例を示す回路図である。

ゲートバッファ302は、図12に示すように、pチャネルMOS(PMOS)トランジスタPT1~PT3、nチャネルMOS(NMOS)トランジスタNT1~NT3により構成されている。

PMOSトランジスタPT1~PT3のソースは高電圧(たとえば6V)の電源電圧VDD2の供給ラインに接続され、NMOSトランジスタNT1~NT3のソースが低電圧(たとえば-3V)の電源電圧VSS2の供給ラインに接続されている。

PMOSトランジスタPT1のドレインとNMOSトランジスタNT1のドレイン同士が接続され、その接続点がNMOSトランジスタNT2のゲートに接続されている。

PMOSトランジスタPT2のドレインとNMOSトランジスタNT2のドレイン同士が接続され、その接続点がNMOSトランジスタNT1のゲート、並びに出力バッファ段を構成するPMOSトランジスタPT3のゲートおよびNMOSトランジスタNT3のゲートに接続されている。

そして、PMOSトランジスタPT3のドレインおよびNMOSトランジスタNT3のドレインが接続され、その接続点がゲートラインに接続される。

また、PMOSトランジスタPT2のゲートが信号Aの供給ラインに接続され、PMOSトランジスタPT1のゲートが信号Aの反転信号XAの供給ラインに接続されている。

このように、ゲートバッファはレベルシフタと出力バッファ段により構成されている。

【0049】

図13は、CSバッファの構成例を示す回路図である。

CSバッファ304は、図13に示すように、PMOSトランジスタPT11~PT13、NMOSトランジスタNT11~NT13により構成されている。

PMOSトランジスタPT11、PT12のソースは高電圧(たとえば6V)の電源電圧VDD2の供給ラインに接続され、NMOSトランジスタNT11、NT12のソースが低電圧(たとえば-3V)の電源電圧VSS2の供給ラインに接続されている。

PMOSトランジスタPT13のソースは第1レベル電圧(たとえば3V)の電源電圧VCSHの供給ラインに接続され、NMOSトランジスタNT13のソースが第2レベル電圧(たとえば0V)の電源電圧VSSの供給ラインに接続されている。

PMOSトランジスタPT11のドレインとNMOSトランジスタNT11のドレイン同士が接続され、その接続点がNMOSトランジスタNT12のゲートに接続されている。

PMOSトランジスタPT12のドレインとNMOSトランジスタNT12のドレイン同士が接続され、その接続点がNMOSトランジスタNT11のゲート、並びに出力バッファ段を構成するPMOSトランジスタPT13のゲートおよびNMOSトランジスタNT13のゲートに接続されている。

そして、PMOSトランジスタPT13のドレインおよびNMOSトランジスタNT13のドレインが接続され、その接続点がゲートラインに接続される。

また、PMOSトランジスタPT12のゲートが信号Bの供給ラインに接続され、PMOSトランジスタPT11のゲートが信号Bの反転信号XBの供給ラインに接続されている。

このように、ゲートバッファはレベルシフタと出力バッファ段により構成されている。また、信号B、XBが切り替え信号となっている。

10

20

30

40

50

【 0 0 5 0 】

図 1 4 (A) ~ (L) は、図 9 の垂直駆動回路の動作例を示すタイミングチャートである。

本実施形態の垂直駆動回路 1 0 2 における C S ドライバは、ドライバ段の前後段あるいは前フレームの極性に依存せず、画素書き込み時の極性 (P O L で示される) のみで C S 信号の極性を決めている。

すなわち、本実施形態の前後段の信号に依存せず、自段の信号のみで制御可能となっている。

また、本実施形態の垂直駆動回路の C S ブロック等は、少ない素子数で形成することができ、回路規模の縮小に貢献している。たとえば 2 0 個以下のトランジスタにより構成することが可能である。

10

【 0 0 5 1 】

水平駆動回路 1 0 3 は、水平走査の開始を指令する水平スタートパルス H S T、水平走査の基準となる水平クロック H C K (または互いに逆相の垂直クロック H C K , H C K X) に基づいて、入力される映像信号 V s i g を 1 H (H は水平走査期間) 毎に順次サンプリングし、信号ライン 1 0 7 - 1 ~ 1 0 7 - n を介して垂直駆動回路 1 0 2 によって行単位で選択される各画素回路 P X L C に対して書き込む処理を行う。

【 0 0 5 2 】

コモン電圧生成回路 1 0 4 は、1 水平走査期間 (1 H) 毎に極性が反転する小振幅のコモン電圧 V C O M を生成して図示しない供給ラインを通して有効画素部 1 0 1 の全画素回路 P X L C の液晶セル L C 2 0 1 の第 2 画素電極に共通に供給する。

20

コモン電圧 V c o m の振幅の振幅 $\Delta V c o m$ の値は、ストレージ信号 C S の第 1 レベルと C S H と第 2 レベル C S L との差 $\Delta V c s$ とともに、黒輝度および白輝度をともに最適化できるような値に選定される。

たとえば後述するように、白表示のときに液晶に印加される実効画素電位 $\Delta V p i x _ W$ が 0 . 5 V 以下の値となるように $\Delta V c s$ と $\Delta V c o m$ の値が決定される。

【 0 0 5 3 】

図 6 においては、コモン電圧生成回路 1 0 4 を液晶パネル内に設ける構成を例として示しているが、パネル外に配置して、パネル外からコモン電圧 V c o m を供給するように構成することも可能である。

30

【 0 0 5 4 】

図 1 5 は、本実施形態に係るコモン電圧生成回路の構成例を示す回路図である。

図 1 5 の例は、パネルの外部部品により小振幅のコモン電圧 V c o m を生成する場合を示している。

【 0 0 5 5 】

図 1 5 のコモン電圧生成回路は、フリッカ調整用抵抗素子 R 1 , R 2、平滑キャパシタ C 1、小振幅 $\Delta V c o m$ だけ振幅させるためのキャパシタ C 4、V c o m 供給ライン 1 0 8 の配線抵抗 R c o m、および V c o m 供給ライン 1 0 8 の寄生容量 C c o m を含んで構成されている。

【 0 0 5 6 】

40

電源電圧 V C C の供給ラインと接地ライン G N D との間に抵抗素子 R 1、R 2 が直列に接続され、両抵抗素子 R 1、R 2 で抵抗分圧した電圧を抵抗素子の接続ノード N D 1 に発生する。抵抗素子 R 2 は可変抵抗で、発生する電圧を調整可能となっている。

接続ノード N D 1 がパネル端子 T に接続されている。キャパシタ C 1 の第 1 電極が接続ノード N D 1 と端子 T との接続ラインに接続され、第 2 電極が接地されている。

キャパシタ C 2 の第 1 電極が接続ノード N D 1 と端子 T との接続ラインに接続され、第 2 電極が信号 F R P の供給ラインに接続されている。

【 0 0 5 7 】

図 1 5 のコモン電圧生成回路においては、次式に従って小振幅 $\Delta V c o m$ が決定される。

50

【 0 0 5 8 】

(数 2)

$$\Delta V_{com} = \{ C_2 / (C_1 + C_2 + C_{com}) \} \times F R P \quad \dots (2)$$

【 0 0 5 9 】

小振幅は容量カップリング（結合）を利用、またはデジタル的に生成して、使用することが可能である。

小振幅 ΔV_{com} の値は、極力小さい振幅、たとえば $10 \text{ mV} \sim 1.0 \text{ V}$ 程度の振幅が良い。理由は、それ以外であるとオーバドライブによる応答速度の改善、音響ノイズ低減などの効果が小さくなってしまうためである。

【 0 0 6 0 】

10

以上のように、本実施形態においては、液晶表示装置 100 において、容量カップリングを利用した容量結合駆動を行う際に、コモン電圧 V_{com} の振幅の振幅 ΔV_{com} の値と、ストレージ信号 CS の第 1 レベルと CSH と第 2 レベル CSL との差 ΔV_{cs} の値が、黒輝度および白輝度をともに最適化できるような値に選定される。

たとえば、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が 0.5 V より低い値となるように ΔV_{cs} と ΔV_{com} の値が決定される。

以下、本実施形態の容量結合駆動についてさらに詳細に説明する。

【 0 0 6 1 】

図 16 (A) ~ (E) は、本実施形態の主要な液晶セルの駆動波形を示すタイミングチャートである。

20

図 16 (A) がゲートパルス GP_N を、図 16 (B) がコモン電圧 V_{com} を、図 16 (C) がストレージ信号 CS_N を、図 16 (D) が映像信号 V_{sig} を、図 16 (E) が液晶セルに印加される信号 P_{ix_N} をそれぞれ示している。

【 0 0 6 2 】

本実施形態の容量結合駆動においては、コモン電圧 V_{com} は一定の直流電圧ではなく 1 水平走査期間 (1 H) 毎に極性が反転する小振幅の交番の信号として生成され、各画素回路 PXL の液晶セル $LC201$ の第 2 画素電極に印加される。

また、ストレージ信号 CS_N は、各ゲートライン毎に対応して独立に配線された各ストレージライン 106 - 1 ~ 106 - m 毎に第 1 レベル (CSH 、たとえば $3 \text{ V} \sim 4 \text{ V}$) または第 2 レベル (CSL 、たとえば 0 V) のいずれかに選択して与える。

30

このように駆動された場合の、液晶に印加される実効画素電位 ΔV_{pix} は次式で与えられる。

【 0 0 6 3 】

【 数 3 】

$$\begin{aligned} \Delta V_{pix3} &= V_{sig} + \frac{C_{cs}}{C_{cs} + C_{lc} + C_g + C_{sp}} * \Delta V_{cs} + \frac{C_{lc}}{C_{cs} + C_{lc} + C_g + C_{sp}} * \frac{\Delta V_{com}}{2} - V_{com} \\ &\doteq V_{sig} + \frac{C_{cs}}{C_{cs} + C_{lc}} * \Delta V_{cs} + \frac{C_{lc}}{C_{cs} + C_{lc}} * \frac{\Delta V_{com}}{2} - V_{com} \end{aligned}$$

40

【 0 0 6 4 】

図 17 に示すように、式 (3) において、 V_{sig} は映像信号電圧、 C_{cs} は保持容量、 C_{lc} は液晶容量を、 C_g はノード $ND201$ とゲートライン間の容量を、 C_{sp} はノード $ND201$ と信号ライン間の容量を、 ΔV_{cs} は信号 CS の電位を、 V_{com} はコモン電圧をそれぞれ示している。

式 (3) において、近似式の第 2 項 $\{ (C_{cs} / C_{cs} + C_{lc}) * \Delta V_{cs} \}$ が液晶誘電率の非線形性により低階調 (白輝度側) が黒くなる (沈む) 要因となる項であり、近似式の第 3 項 $\{ (C_{cl} / C_{cs} + C_{lc}) * \Delta V_{com} / 2 \}$ が液晶誘電率の非線形性により低階調側を白くする (浮かせる) 項である。

すなわち、近似式の第 2 項の低階調 (白輝度側) が黒くなる (沈む) 傾向部分が第 3 項

50

により低階調側を白くする（浮かせる）機能により補償するように動作する。

そして、黒輝度および白輝度をともに最適化できるような値に選定することで、最適なコントラストを得ることができる。

【0065】

図18(A)、(B)は液晶表示装置で使用される液晶材料（ノーマリホワイト液晶）を用いた場合の白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} の選定基準を説明するための図である。図18(A)が印加電圧に対する比誘電率 ϵ の特性を示す図であり、図18(B)は図18(A)の特性が大きく変化する領域を拡大して示す図である。

【0066】

10

図に示すように、液晶表示装置に使用されている液晶特性では、約0.5V以上の電圧を印加すると、白輝度が沈んでしまう。

そのため、白輝度を最適化するためには、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が0.5V以下とする必要がある。したがって、実効画素電位 ΔV_{pix_W} が0.5V以下となるように ΔV_{cs} と ΔV_{com} の値が決定される。

【0067】

実際に評価した結果としては、 $\Delta V_{cs} = 3.8V$ 、 $\Delta V_{com} = 0.5V$ のとき、最適なコントラストが得られた。

【0068】

図19は、本発明の実施形態に係る駆動方式、関連する容量結合駆動方式、および通常の1HVCOM駆動方式の映像信号電圧と実効画素電位との関係を示す図である。

20

図19において、横軸が映像信号電圧 V_{sig} を、縦軸が実効画素電位 ΔV_{pix} をそれぞれ示している。また、図19中、Aで示す線が本発明の実施形態に係る駆動方式の特性を、Bで示す線が関連する容量結合駆動方式の特性を、Cで示す線が通常の1HVCOM駆動方式の特性を示している。

【0069】

図19からわかるように、本実施形態に係る駆動方式によれば、関連する容量結合駆動方式に比べて十分な特性改善が得られている。

【0070】

図20は、本発明の実施形態に係る駆動方式、および関連する容量結合駆動方式の映像信号電圧と輝度との関係を示す図である。

30

図20において、横軸が映像信号電圧 V_{sig} を、縦軸が輝度をそれぞれ示している。また、図20中、Aで示す線が本発明の実施形態に係る駆動方式の特性を、Bで示す線が関連する容量結合駆動方式の特性を示している。

【0071】

図20からわかるように、関連する容量結合駆動方式では黒輝度(2)を最適化した際に、白輝度(1)が沈んでいた。これに対して、本実施形態に係る駆動方式によれば、 V_{com} を小振幅としたことで、黒輝度(1)および白輝度(1)の両方とも最適化することができる。

【0072】

40

下記の式(4)に、本実施形態に係る駆動方式の上記式(3)に具体的な数値を設定した場合の黒表示のときと、黒表示のときの実効画素電位 ΔV_{pix_B} と白表示のときの実効画素電位 ΔV_{pix_W} の値を示す。

また、式(5)に関連する容量結合駆動方式の上記式(1)に具体的な数値を設定した場合の黒表示のときと、黒表示のときの実効画素電位 ΔV_{pix_B} と実効画素電位 ΔV_{pix_W} の値を示す。

【0073】

【数 4】

(1)黒表示のとき

$$\begin{aligned}\Delta V_{pix_B} &= V_{sig} + \frac{C_{cs}}{C_{lc_b} + C_{cs}} \times \Delta V_{cs} + \frac{C_{lc_b}}{C_{lc_b} + C_{cs}} \times \frac{\Delta V_{com}}{2} - V_{com} \\ &= 3.3V + \frac{1.65}{2} - 1.65V \\ &= \boxed{3.3V} \leftarrow \text{黒輝度を最適化}\end{aligned}$$

(2)白表示のとき

$$\begin{aligned}\Delta V_{pix_W} &= V_{sig} + \frac{C_{cs}}{C_{lc_w} + C_{cs}} \times \Delta V_{cs} + \frac{C_{lc_w}}{C_{lc_w} + C_{cs}} \times \frac{\Delta V_{com}}{2} - V_{com} \\ &= 0.0V + \frac{2.05}{2} - 1.65V \\ &= \boxed{0.4V} \leftarrow \text{白輝度を最適化}\end{aligned}$$

10

【0074】

【数 5】

(1)黒表示のとき

$$\begin{aligned}\Delta V_{pix_B} &= V_{sig} + \frac{C_{cs}}{C_{lc_b} + C_{cs}} \times \Delta V_{cs} - V_{com} \\ &= 3.3V + \frac{1.65}{2} - 1.65V \\ &= \boxed{3.3V} \leftarrow \text{黒輝度を最適化}\end{aligned}$$

20

(2)白表示のとき

$$\begin{aligned}\Delta V_{pix_W} &= V_{sig} + \frac{C_{cs}}{C_{lc_w} + C_{cs}} \times \Delta V_{cs} - V_{com} \\ &= 0.0V + \frac{2.45}{2} - 1.65V \\ &= \boxed{0.8V} \leftarrow \text{白輝度が沈んでしまう}\end{aligned}$$

30

【0075】

式(4)および式(5)に示すように、黒表示のときは本実施形態に係る駆動方式と関連する駆動方式ともに実効画素電位 ΔV_{pix_B} は 3.3V となり、黒輝度が最適化されている。

白表示のときは、式(5)に示すように、関連する駆動方式の実効画素電位 ΔV_{pix_W} は 0.5V 以上の 0.8V となり、図18(B)に関連付けて説明したように白輝度が沈んでしまう。

これに対して、本実施形態に係る駆動方式の実効画素電位 ΔV_{pix_W} は 0.5V 以下の 0.4V となり、図18(B)に関連付けて説明したように白輝度が最適化される。

【0076】

40

次に、上記構成による動作を説明する。

【0077】

垂直駆動回路102のシフトレジスタには、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルス VST 、垂直走査の基準となる互いに逆相の垂直クロック VCK 、 $VCKX$ が供給される。

シフトレジスタにおいては、垂直クロックのレベルシフト動作が行われ、かつ、それぞれ異なる遅延時間で遅延される。たとえばシフトレジスタにおいては、垂直スタートパルス VST が、垂直クロック VCK に同期にてシフト動作が行われ、対応するゲートバッファに供給される。

また、垂直スタートパルス VST は、有効画素部101の上部側から、または下部側か

50

ら伝搬され、各シフトレジスタに順番にシフトインされていく。

したがって、基本的には、シフトレジスタVSRにより供給された垂直クロックにより各ゲートバッファを通して各ゲートライン105-1~105-mが順番に駆動されていく。

【0078】

このように、垂直駆動回路102により、たとえば第1行目から順番にゲートライン105-1~105-mが駆動されていくが、これに伴い、ストレージライン106-1~106-mが駆動されていく。このとき、ゲートパルスで一のゲートラインを駆動した後、次のゲートラインのゲートパルスの立ち上がりのタイミングで、ストレージライン106-1~106-mに印加するストレージ信号CS1~CSmのレベルが、第1レベルCSHと第2レベルCSLが交互に選択されて印加される。

10

たとえば、第1行目のストレージライン106-1に第1レベルCSHを選択してストレージ信号CS1が印加された場合、第2行目のストレージライン106-2には第2レベルCSLが選択されてストレージ信号CS2が印加され、第3行目のストレージライン106-3に第1レベルCSHが選択されてストレージ信号CS3が印加され、第4行目のストレージライン106-4には第2レベルCSLが選択されストレージ信号CS4が印加され、以下同様にして交互に第1レベルCSHと第2レベルCSLが選択されストレージ信号CS5~CSmがストレージライン106-5~106-mに印加される。

【0079】

また、小振幅 ΔV_{com} で交番のコモン電圧 V_{com} が有効画素部101の全画素回路PXLの液晶セルLC201の第2画素電極に共通に印加される。

20

【0080】

そして、水平駆動回路103では、図示しないクロックジェネレータにより生成された水平走査の開始を指令する水平スタートパルスHST、水平走査の基準となる互いに逆相の水平クロックHCK、HCKXを受けてサンプリングパルスが生成され、入力される映像信号が生成したサンプリングパルスに応答して順次サンプリングされて、各画素回路PXLに書き込むべきデータ信号SDTとして各信号ライン107-1~107-nに供給される。

たとえば、まず、R対応のセクタスイッチが導通状態に駆動制御されてRデータが各信号ラインに出力されてRデータが書き込まれる。Rデータの書き込みが終了すると、G対応のセクタスイッチのみが導通状態に駆動制御されてGデータが各信号ラインに出力されて書き込まれる。Gデータの書き込みが終了すると、B対応のセクタスイッチのみが導通状態に駆動制御されてBデータが各信号ラインに出力されて書き込まれる。

30

【0081】

本実施形態においては、この信号ラインからの書き込み後(ゲートパルスGPの立下り後)、ストレージライン106-1~106-mから保持容量CS201を介してカップリングさせることにより画素電位(ノードND201の電位)を変化させて、液晶印加電圧を変調させている。

このとき、コモン電圧 V_{com} は一定値ではなく小振幅 ΔV_{com} (10mV~1.0V)で交番信号として供給される。

40

これにより、黒輝度のみならず白輝度も最適化されている。

【0082】

以上説明したように、本実施形態によれば、TF T201を通して映像用画素データを書き込む複数の画素回路PXLがマトリクス状に配置された有効画素部101と、画素回路の行配列に対応するように配置されたゲートライン105-1~105-mと、画素回路の行配列に対応するように配置された複数の容量配線106-1~106-mと、画素回路の列配列に対応するように配置された信号ライン107-1~107-mと、ゲートライン、および容量配線を選択的に駆動する垂直駆動回路102と、所定の周期でレベルが切り替わる小振幅のコモン電圧信号を生成する生成回路104と、を有し、各画素回路は、第1画素電極および第2画素電極を有する液晶セルLC201と、第1電極および

50

第2電極を有する保持容量CS201と、を含み、液晶セルの第1画素電極と保持容量の第1電極とTFTの一端子が接続され、保持容量の第2電極が対応する行に配列された容量配線に接続され、液晶セルの第2画素電極にはコモン電圧信号が印加されることから、黒輝度および白輝度の両方をともに最適化することができる。その結果、コントラストを最適化することができる利点がある。

【0083】

また、本実施形態の垂直駆動回路102におけるCSドライバは、ドライバ段の前後段あるいは前フレームの極性に依存せず、画素書き込み時の極性(POLで示される)のみでCS信号の極性を決めている。

すなわち、本実施形態の前後段の信号に依存せず、自段の信号のみで制御可能となっている。

10

また、本実施形態の垂直駆動回路のCSブロック等は、少ない素子数で形成することができ、回路規模の縮小に貢献している。たとえば20個以下のトランジスタにより構成することが可能である。

【0084】

なお、上記実施形態では、液晶表示装置にアナログ映像信号を入力とし、これをラッチした後アナログ映像信号を点順次にて各画素に書き込むアナログインターフェース駆動回路を搭載した液晶表示装置に適用した場合について説明したが、デジタル映像信号を入力とし、セレクト方式にて線順次にて画素に映像信号を書き込む駆動回路を搭載した液晶表示装置にも、同様に適用可能である。

20

【0085】

また、上記実施形態においては、各画素の表示エレメント(電気光学素子)として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、液晶表示装置への適用に限られるものではなく、各画素の表示エレメントとしてエレクトロルミネッセンス(EL: electroluminescence)素子を用いたアクティブマトリクス型EL表示装置などアクティブマトリクス型表示装置全般に適用可能である。

以上説明した実施形態に係る表示装置は、直視型映像表示装置(液晶モニタ、液晶ビューファインダ)、投射型液晶表示装置(液晶プロジェクタ)の表示パネル、すなわちLCD(Liquid crystal display)パネルとして用いることが可能である。

【図面の簡単な説明】

30

【0086】

【図1】一般的な液晶表示装置の構成例を示すブロック図である。

【図2】図1に示す一般的な液晶表示装置のいわゆる1HVcom反転駆動方式におけるタイミングチャートを示す。

【図3】ノーマリホワイト液晶の印加電圧と比誘電率との関係を示す図である。

【図4】1HVcom反転駆動方式と関連する容量結合駆動方式を採用した液晶表示装置の映像信号電圧と実効画素電位との関係を示す図である。

【図5】関連する容量結合駆動方式を採用した液晶表示装置の黒輝度を最適化すると、白輝度が黒くなる(沈んでしまう)ことを示す図である。

【図6】本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す図である。

40

【図7】図1の回路の画素部の具体的な構成例を示す回路図である。

【図8】本実施形態の垂直駆動回路のゲートラインとストレージラインの駆動例を示すタイミングチャートである。

【図9】本実施形態の垂直駆動回路のゲートドライバとCSドライバの構成例を示すブロック図である。

【図10】図9のCSブロックの基本構成を示す図である。

【図11】CSブロックの具体的な構成例を示す回路図である。

【図12】ゲートバッファの構成例を示す回路図である。

【図13】CSバッファの構成例を示す回路図である。

50

【図 1 4】図 9 の垂直駆動回路の動作例を示すタイミングチャートである。

【図 1 5】本実施形態に係るコモン電圧生成回路の構成例を示す回路図である。

【図 1 6】本実施形態の主要な液晶セルの駆動波形を示すタイミングチャートである。

【図 1 7】式 3 における液晶セルの各容量を示す図である。

【図 1 8】液晶表示装置で使用される液晶材料（ノーマリホワイト液晶）を用いた場合の白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} の選定基準を説明するための図である。

【図 1 9】本発明の実施形態に係る駆動方式、関連する容量結合駆動方式、および通常の 1H Vcom 駆動方式の映像信号電圧と実効画素電位との関係を示す図である。

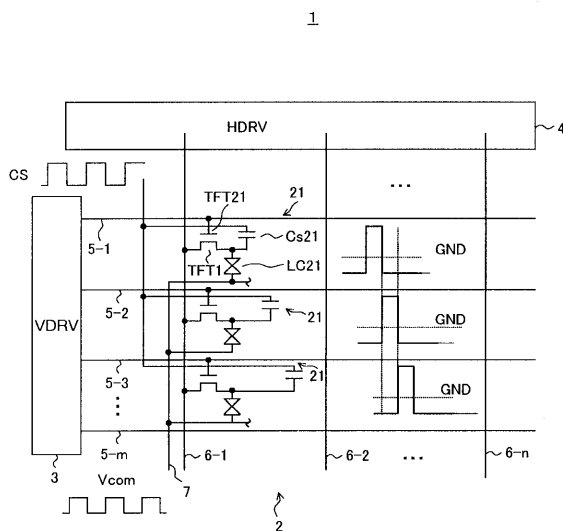
【図 2 0】本発明の実施形態に係る駆動方式、および関連する容量結合駆動方式の映像信号電圧と輝度との関係を示す図である。

【符号の説明】

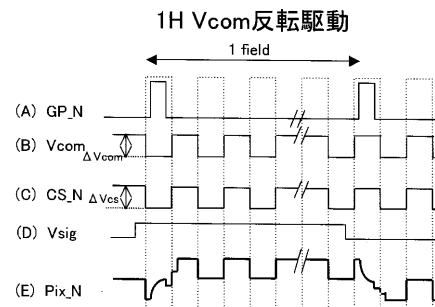
【0087】

100・・・液晶表示装置、101・・・有効画素部、102・・・垂直駆動回路（VDRV）、103・・・水平駆動回路（HDRV）、104・・・コモン電圧生成回路、105-1～105-m・・・ゲートライン、106-1～106-m・・・容量配線（ストレージライン）、107-1～107-n・・・信号ライン、PXL...画素回路、201・・・TFT（スイッチング素子）、LC201...液晶セル、CS201...保持容量、300-1～300-m・・・ドライバ段、301・・・シフトレジスタ、302・・・ゲートバッファ、303・・・CSブロック、304・・・CSバッファ。

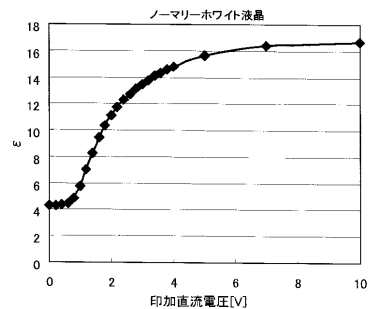
【図 1】



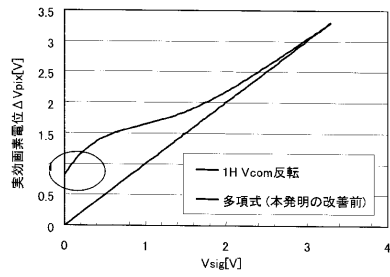
【図 2】



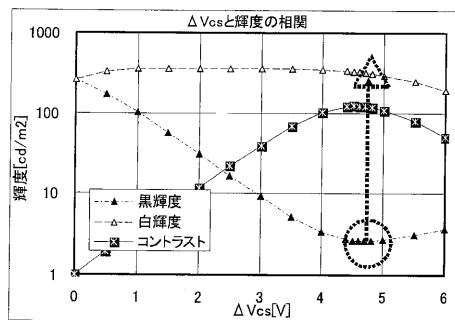
【図 3】



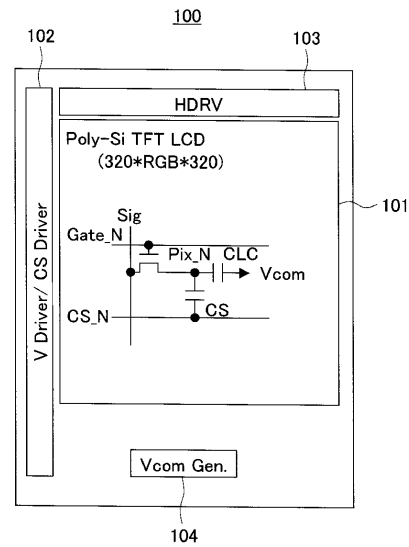
【図 4】



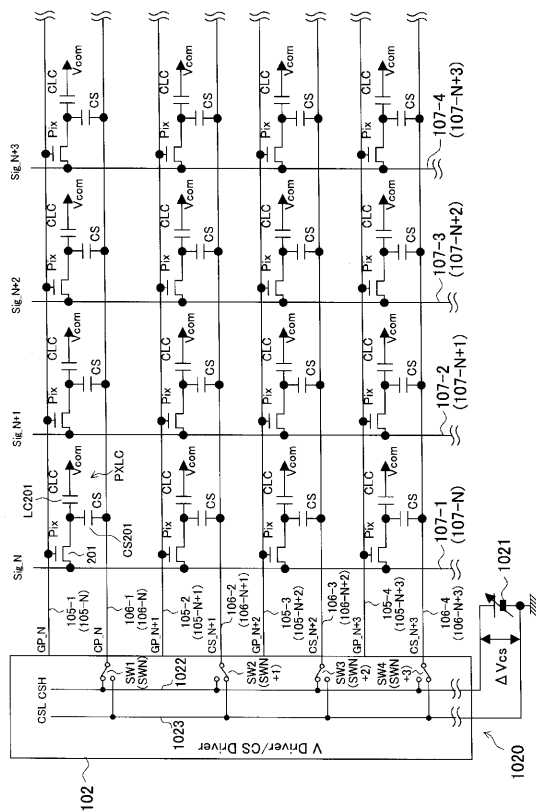
【図 5】



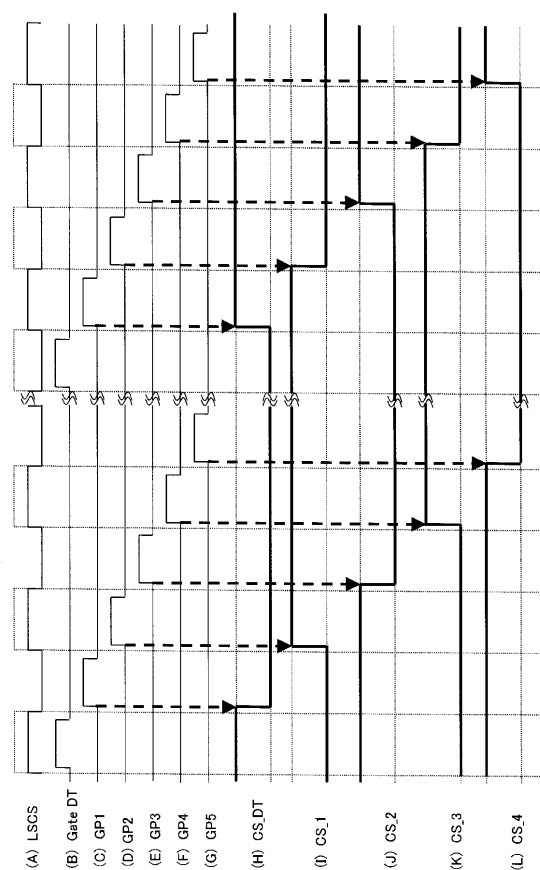
【図 6】



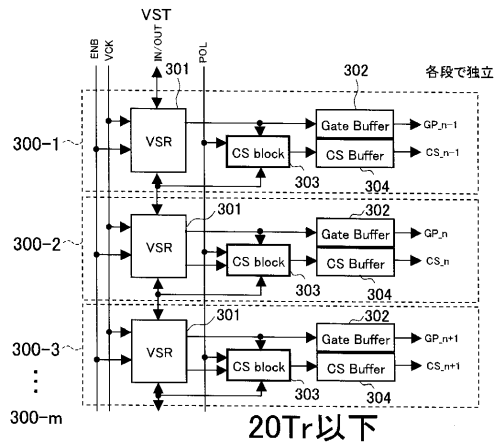
【図 7】



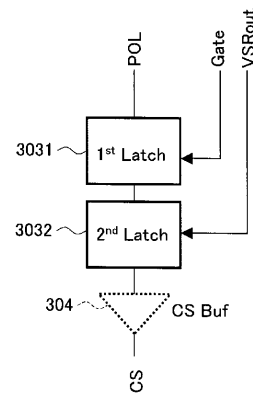
【図 8】



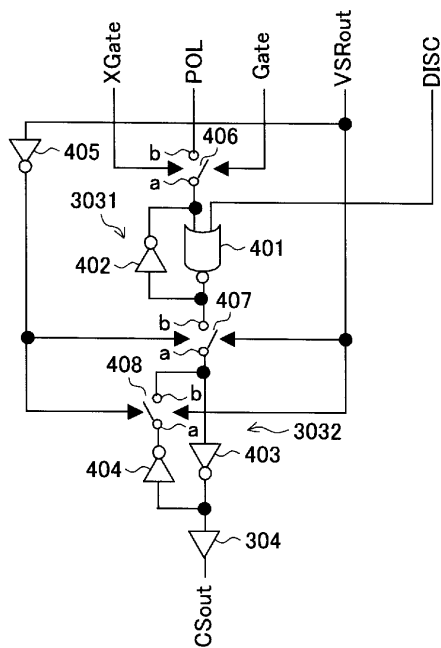
【図 9】



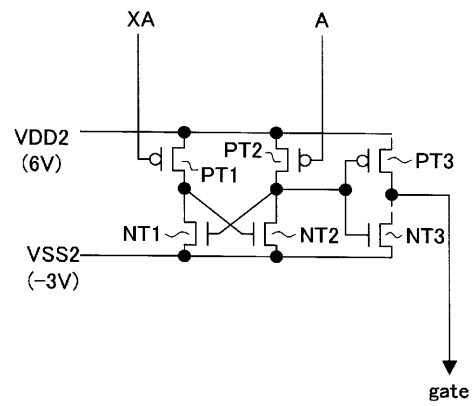
【図 10】



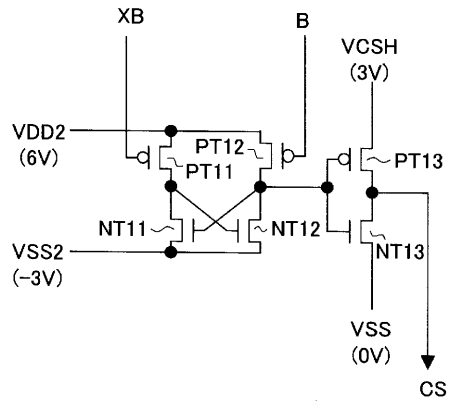
【図 11】



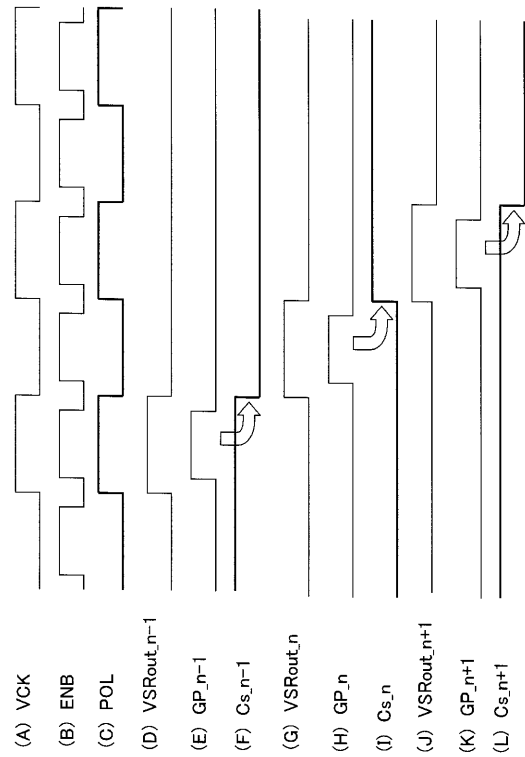
【図 12】



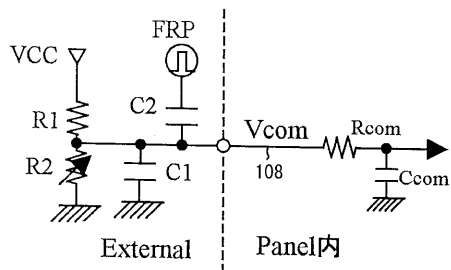
【図 13】



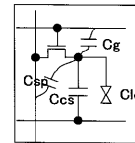
【図 14】



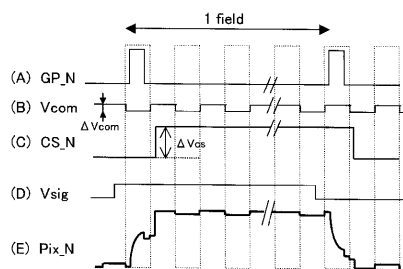
【図 15】



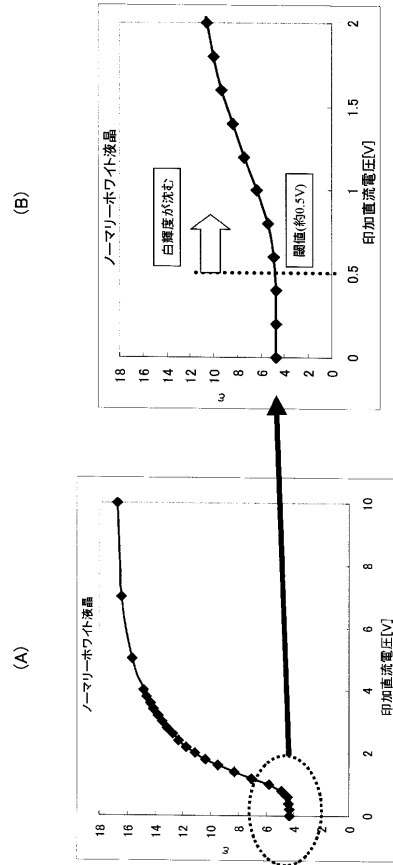
【図 17】



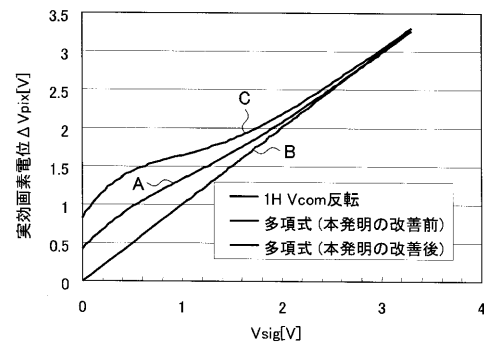
【図 16】



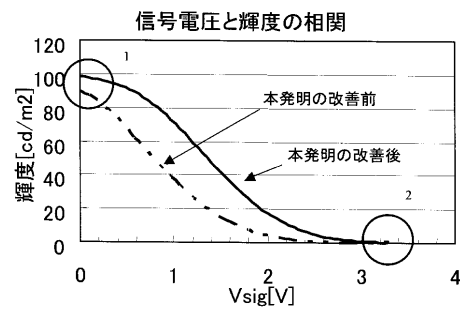
【図18】



【図19】



【図20】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 D
G 0 9 G 3/20 6 2 4 E
G 0 9 G 3/20 6 4 2 E
G 0 9 G 3/20 6 2 1 B

(72)発明者 深野 智之
神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・エルエスアイ・デザイン株式会社内

審査官 中村 直行

(56)参考文献 特開平 0 7 - 2 3 0 0 7 5 (J P , A)
特開平 0 5 - 0 9 4 1 5 3 (J P , A)
特開昭 5 5 - 1 5 7 7 9 5 (J P , A)
特開平 0 5 - 2 4 1 1 2 4 (J P , A)
特開平 0 4 - 1 0 7 5 2 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3
G 0 2 F 1 / 1 3 6 8
H 0 1 L 2 9 / 7 8 6

专利名称(译)	表示装置		
公开(公告)号	JP4577143B2	公开(公告)日	2010-11-10
申请号	JP2005228739	申请日	2005-08-05
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	佐藤友彦 板倉直之 竹内剛也 深野智之		
发明人	佐藤 友彦 板倉 直之 竹内 剛也 深野 智之		
IPC分类号	G09G3/36 G02F1/1368 G02F1/133 H01L29/786 G09G3/20		
FI分类号	G09G3/36 G02F1/1368 G02F1/133.550 H01L29/78.612.B H01L29/78.614 G09G3/20.624.D G09G3/20.624.E G09G3/20.642.E G09G3/20.621.B		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/JB63 2H092/JB69 2H092/NA21 2H092/NA26 2H093/NA16 2H093/NC03 2H093/NC18 2H093/NC22 2H093/NC23 2H093/NC34 2H093/NC35 2H093/ND03 2H093/ND06 2H192/AA24 2H192/DA12 2H192/DA52 2H192/DA91 2H192/FB03 2H192/FB09 2H192/GD61 2H192/JB02 2H193/ZA04 2H193/ZA07 2H193/ZB08 2H193/ZB14 2H193/ZF03 2H193/ZF59 5C006/AC25 5C006/AC26 5C006/AF42 5C006/AF71 5C006/BB16 5C006/BF04 5C006/BF25 5C006/FA16 5C006/FA54 5C080/AA10 5C080/BB05 5C080/DD01 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5F110/AA30 5F110/BB02 5F110/BB04 5F110/NN72 5F110/NN73		
代理人(译)	佐藤隆久		
审查员(译)	中村直之		
其他公开文献	JP2007047220A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够优化黑色亮度和白色亮度的显示装置。解决方案：显示装置包括栅极线105-1至105-m，多个电容器布线106-1至106-m，布置成对应于像素电路的行阵列，垂直驱动电路102，用于选择性地驱动栅极线和电容器布线和用于产生小幅度的公共电压信号的发生电路104。每个像素电路包括具有第一像素电极和第二像素电极的液晶单元LC201和具有第一电极和第二电极的保持电容器CS201。液晶单元的第一像素电极和保持电容器的第一电极以及TFT的一个端子连接，并且保持电容器的第二电极连接到排列在相应行中的电容器布线。公共电压信号被施加到液晶单元的第二像素电极。CS驱动器基于像素写入期间的极性信号驱动电容器布线，其独立地对应于各行的每一行。Ž

$$\Delta V_{pix3} = V_{sig} + \frac{C_{cs}}{C_{cs} + C_l + C_g + C_{sp}} * \Delta V_{cs} + \frac{C_l}{C_{cs} + C_l + C_g + C_{sp}} * \frac{\Delta V_{com}}{2} - V_{com}$$

$$\hat{=} V_{sig} + \frac{C_{cs}}{C_{cs} + C_l} * \Delta V_{cs} + \frac{C_l}{C_{cs} + C_l} * \frac{\Delta V_{com}}{2} - V_{com}$$