

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4251622号
(P4251622)

(45) 発行日 平成21年4月8日(2009.4.8)

(24) 登録日 平成21年1月30日(2009.1.30)

(51) Int.Cl.

F I

GO2F	1/1333	(2006.01)	GO2F	1/1333	500
GO2F	1/133	(2006.01)	GO2F	1/133	530
GO2F	1/1335	(2006.01)	GO2F	1/133	550
GO2F	1/135	(2006.01)	GO2F	1/1335	
GO2F	1/1368	(2006.01)	GO2F	1/135	

請求項の数 5 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2003-177346 (P2003-177346)
 (22) 出願日 平成15年6月20日(2003.6.20)
 (65) 公開番号 特開2005-10690 (P2005-10690A)
 (43) 公開日 平成17年1月13日(2005.1.13)
 審査請求日 平成18年6月8日(2006.6.8)

(73) 特許権者 302020207
 東芝松下ディスプレイテクノロジー株式会社
 東京都港区港南4-1-8
 (74) 代理人 100062764
 弁理士 樺澤 襄
 (74) 代理人 100092565
 弁理士 樺澤 聡
 (74) 代理人 100112449
 弁理士 山田 哲也
 (72) 発明者 多田 典生
 東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

光センサが一主面に配設されて集積され、かつ、他主面が前記光センサにて検出する検出物側に向けて配置されたガラス基板を備えたアレイ基板と、

このアレイ基板の一主面側に対向して配設された対向基板と、

前記アレイ基板と前記対向基板との間に介挿されて封止された液晶と、

前記対向基板に対向して配設されたバックライトとを具備し、

前記アレイ基板のガラス基板は、前記アレイ基板の一主面側から入射する光の多重反射による前記光センサへの入射を防止する厚さを有している

ことを特徴とした液晶表示装置。

【請求項2】

前記アレイ基板のガラス基板の厚さは、70 μm以上100 μm以下である

ことを特徴とした請求項1記載の液晶表示装置。

【請求項3】

光センサが一主面に配設されて集積され、かつ、他主面が前記光センサにて検出する検出物側に向けて配置されたガラス基板を備えたアレイ基板と、

このアレイ基板の一主面側に対向して配設された対向基板と、

前記アレイ基板と前記対向基板との間に介挿されて封止された液晶と、

前記対向基板に対向して配設されたバックライトと、

前記アレイ基板に取り付けられ、このアレイ基板の一主面側から入射する光の多重反射

による前記光センサへの入射を防止するフィルム体と
を具備したことを特徴とした液晶表示装置。

【請求項 4】

光センサが一主面に配設されて集積され、かつ、他主面が前記光センサにて検出する検出物側に向けて配置されたガラス基板を備えたアレイ基板と、

このアレイ基板の一主面側に対向して配設された対向基板と、

前記アレイ基板と前記対向基板との間に介挿されて封止された液晶と、

前記対向基板に対向して配設されたバックライトとを具備し、

前記アレイ基板は、このアレイ基板の一主面側から入射する光の多重反射による前記光センサへの入射を防止する屈折率を有している

10

ことを特徴とした液晶表示装置。

【請求項 5】

前記光センサは、受光により光電流を発生する半導体層と、この半導体層の電極となる電極部を具備し、

前記半導体層は、この半導体層の一主面側が前記電極部により覆われている

ことを特徴とした請求項 1 ないし 4 いずれか記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光センサを備えた液晶表示装置に関する。

20

【0002】

【従来の技術】

近年、液晶ディスプレイなどの平面表示装置は、薄型かつ軽量であり低消費電力であるという大きな利点を持ち、パーソナルコンピュータや携帯電話などのディスプレイとして広く用いられている。さらに、これら平面表示装置は、タッチパネルやペン入力などの入力機能を付加させることで、これら平面表示装置の用途の拡大が進んでいる。しかしながら、これら機能を平面表示装置に付加させるためには、これら機能を付加することに伴う部品を追加する必要があるから、これら平面表示装置を備えた装置のトータルコストが上がってしまう。

【0003】

30

一方、この種の平面表示装置としての液晶表示装置は、従来、外付け部品であった駆動回路を、スイッチング素子を集積した透光性基板としてのガラス基板の一主面である表面に取り込んで、この液晶表示装置のトータルコストを低減させる技術が開発されている。この技術により、ガラス基板の表面に入力機能を取り込むことが可能であれば、入力機能を備えた液晶表示装置のトータルコストを低下できると同時に、付加価値を向上できる。

【0004】

ところが、このような入力機能を有するデバイスを光電変換素子としての光センサで実現するためには、入射する光を受けることにより光電流を発生する光センサで検出物からの光を効率良く受けなければならない。

【0005】

40

そこで、この種の液晶表示装置としては、光センサが一主面に配設されて集積されたガラス基板を有するアレイ基板を備えている。このアレイ基板は、このアレイ基板のガラス基板の他主面側を、このアレイ基板の光センサにて検出する検出物側に向けて配置されている。また、このアレイ基板の一主面側には対向基板が対向して配設されており、この対向基板とアレイ基板の間には、液晶が介挿されて封止されている。さらに、この対向基板に対向してバックライトが配設された構成が知られている(例えば、特許文献 1 参照。)

【0006】

【特許文献 1】

特開平 10 - 333605 号公報 (第 3 - 5 頁、図 2)

50

【0007】

【発明が解決しようとする課題】

しかしながら、上記液晶表示装置の光センサは、検出物で反射した光のみではなく、バックライトから入射する光がアレイ基板のガラス基板の内部を多重に反射して入射する迷光を受ける。そして、この迷光は、検出物から反射した光とは関係なく光センサで光電流を発生させるので、検出物で反射した光の強度を検知する妨げとなるという問題を有している。

【0008】

本発明は、このような点に鑑みなされたもので、光センサの光検出感度を向上できる液晶表示装置を提供することを目的とする。

10

【0009】

【課題を解決するための手段】

本発明は、光センサが一主面に配設されて集積され、かつ、他主面が前記光センサにて検出する検出物側に向けて配置されたガラス基板を備えたアレイ基板と、このアレイ基板の一主面側に対向して配設された対向基板と、前記アレイ基板と前記対向基板との間に介挿されて封止された液晶と、前記対向基板に対向して配設されたバックライトとを具備し、前記アレイ基板のガラス基板は、前記アレイ基板の一主面側から入射する光の多重反射による前記光センサへの入射を防止する厚さを有しているものである。

【0010】

そして、アレイ基板の一主面側から入射する光の多重反射による光センサへの入射を防止する厚さをアレイ基板のガラス基板が有する。この結果、このアレイ基板の一主面側から入射する光による光センサの余分な光電流の発生を防止できるから、この光センサによる光検出感度が向上する。

20

【0011】

また、本発明は、光センサが一主面に配設されて集積され、かつ、他主面が前記光センサにて検出する検出物側に向けて配置されたガラス基板を備えたアレイ基板と、このアレイ基板の一主面側に対向して配設された対向基板と、前記アレイ基板と前記対向基板との間に介挿されて封止された液晶と、前記対向基板に対向して配設されたバックライトと、前記アレイ基板に取り付けられ、このアレイ基板の一主面側から入射する光の多重反射による前記光センサへの入射を防止するフィルム体とを具備したものである。

30

【0012】

そして、アレイ基板に取り付けたフィルム体によって、アレイ基板の一主面側から入射する光の多重反射による光センサへの入射を防止できる。このため、このアレイ基板の一主面側から入射する光による光センサの余分な光電流の発生を防止できるから、この光電変換素子による光検出感度が向上する。

【0013】

さらに、本発明は、光センサが一主面に配設されて集積され、かつ、他主面が前記光センサにて検出する検出物側に向けて配置されたガラス基板を備えたアレイ基板と、このアレイ基板の一主面側に対向して配設された対向基板と、前記アレイ基板と前記対向基板との間に介挿されて封止された液晶と、前記対向基板に対向して配設されたバックライトとを具備し、前記アレイ基板は、このアレイ基板の一主面側から入射する光の多重反射による前記光センサへの入射を防止する屈折率を有しているものである。

40

【0014】

そして、アレイ基板の一主面側から入射する光の多重反射による光センサへの入射を防止する屈折率をアレイ基板のガラス基板が有する。この結果、このアレイ基板の一主面側から入射する光による光センサの余分な光電流の発生を防止できるから、この光センサによる光検出感度が向上する。

【0015】

【発明の実施の形態】

以下、本発明の液晶表示装置の第1の実施の形態の構成を図1ないし図3を参照して説

50

明する。

【 0 0 1 6 】

図 1 ないし図 3 において、1 は平面表示装置としての液晶表示装置で、この液晶表示装置 1 は、図 2 に示すように、画素部としての略矩形平板状の液晶セル 2 を備えている。この液晶セル 2 は、入力機能付きのアクティブマトリクス型である。そして、この液晶セル 2 の一主面である表面には、表示部としての画素部 3 が設けられている。この画素部 3 は、画像などを取り込む光入力機能を有するとともに、この取り込んだ画像を表示させる。さらに、この画素部 3 は、液晶セルよりも小さい矩形形状である。また、この画素部 3 は、液晶セル 2 の表面の幅方向としての X 方向における一側縁と、この液晶セル 2 の長手方向としての Y 方向における一端縁とのそれぞれに沿っている。

10

【 0 0 1 7 】

そして、この液晶セル 2 の表面上における X 方向に沿った他側には、駆動回路としての細長平板状の X 方向ドライバ回路 4 が Y 方向に沿って取り付けられている。この X 方向ドライバ回路 4 は、液晶セル 2 の画素部 3 の各画素を X 方向に沿って駆動させる。また、この液晶セル 2 の表面上における Y 方向に沿った他端には、駆動回路としての細長平板状の Y 方向ドライバ回路 5 が取り付けられている。この Y 方向ドライバ回路 5 は、液晶セル 2 の画素部 3 の各画素を Y 方向に沿って駆動させる。

【 0 0 1 8 】

一方、この液晶セル 2 は、図 1 および図 3 に示すように、略矩形平板状のアレイ基板 11 を備えている。このアレイ基板 11 は、透光性基板としてのガラス基板 12 を備えている。このガラス基板 12 は、厚さが 70 μm 以上 100 μm 以下である略透明な矩形平板状の絶縁基板である。すなわち、このガラス基板 12 は、このガラス基板 12 の表面側から入射する光が、このガラス基板 12 内において多重反射した後十分減衰し、光センサ 21 に入射しない厚さを有している。

20

【 0 0 1 9 】

さらに、このガラス基板 12 の一主面である表面上には、このガラス基板 12 の幅方向である X 方向に沿った複数本の走査線 13 が配設されている。これら走査線 13 のそれぞれは、ガラス基板 12 の長手方向である Y 方向に向けて等間隔に離間されている。さらに、このガラス基板 12 の表面上には、このガラス基板 12 の Y 方向に沿った複数本の信号線 14 が配設されている。これら信号線 14 のそれぞれは、ガラス基板 12 の X 方向に向けて等間隔に離間されている。また、これら信号線 14 のそれぞれは、各走査線 13 に対して直角に交差するように配設されている。

30

【 0 0 2 0 】

そして、これら走査線 13 と信号線 14 とにより囲まれたガラス基板 12 上の領域内には、表示用電極として画素電極 15 が設けられている。さらに、これら走査線 13 と信号線 14 との交差部である交点部には、画素スイッチング用のスイッチング素子としての薄膜トランジスタである画素 T F T (Thin Film Transistor) 16 が設けられている。これら画素 T F T 16 は、各走査線 13 と信号線 14 との交点に対応したガラス基板 12 上に形成されている。また、これら画素 T F T 16 は、これら画素 T F T 16 に対応した走査線 13 および信号線 14 により囲まれた領域内の画素電極 15 を制御する。具体的に、これら画素 T F T 16 は、走査線 13 から供給される走査信号によりオンオフが制御され、オンのときに信号線 14 に供給された映像データを画素電極 15 に書き込む。

40

【 0 0 2 1 】

さらに、ガラス基板 12 の表面上には、このガラス基板 12 の X 方向に沿って複数本の補助容量線 17 が配設されている。これら補助容量線 17 は、各走査線 13 に対して平行に配置されている。また、この補助容量線 17 は、この補助容量線 17 とこの補助容量線 17 に近接する画素 T F T 16 との間に形成された補助容量 18 を形成するための金属である。この補助容量 18 は、画素電極 15 に電氣的に接続されている。すなわち、この補助容量 18 は、補助容量線 17 により所定の電圧が供給されて、この補助容量線 17 と画素 T F T 16 の半導体層 32 との間で形成される。

50

【 0 0 2 2 】

また、走査線13と信号線14とにより囲まれたガラス基板12上の領域内には、光電変換素子としての光センサ21と電気信号変換回路22とのそれぞれが設けられている。ここで、この光センサ21は、受光のときに光電流を発生する光入力機能用である。また、電気信号変換回路22は、光センサ21で発生した光電流を電気信号として信号線へと出力する。

【 0 0 2 3 】

そして、これら光センサ21および電気信号変換回路22は、これら光センサ21および電気信号変換回路22が形成された領域を囲む各信号線14に電氣的に接続されている。さらに、これら光センサ21および電気信号変換回路22は、ガラス基板12のX方向に沿って配設された複数本の制御線23および電源線24のそれぞれを備えている。これら制御線23および電源線24のそれぞれは、走査線13に対して平行に配置されている。

10

【 0 0 2 4 】

一方、図1に示すように、アレイ基板11のガラス基板12上には、酸化シリコン膜であるアンダーコート層31が積層されて成膜されている。さらに、このアンダーコート層31上には、画素TF T16、補助容量18、P型駆動回路TF T26、N型駆動回路TF T33および光センサ21のそれぞれが形成されている。これら画素TF T16、補助容量18、P型駆動回路TF T26、N型駆動回路TF T27および光センサ21のそれぞれは、アンダーコート層31上における同一層に並べられた状態でそれぞれが設けられている。

【 0 0 2 5 】

ここで、画素TF T16は、アンダーコート層31上に積層されて形成された半導体層32を備えている。この半導体層32の両側には、LDD(Lightly Doped Drain)部33,34がそれぞれ形成されている。これらLDD部33,34は、半導体層32に接続されてアンダーコート層31上に積層されている。また、これらLDD部33,34の両側には、ソース領域35およびドレイン領域36のそれぞれが形成されている。これらソース領域35およびドレイン領域36は、各LDD部33,34に接続されてアンダーコート層31上に積層されている。

20

【 0 0 2 6 】

さらに、これら半導体層32、LDD部33,34、ソース領域35およびドレイン領域36それぞれを含んだアンダーコート層31上には、酸化シリコン膜であるゲート絶縁膜37が積層されて成膜されている。このゲート絶縁膜37上には、ゲート電極38が積層されて形成されている。このゲート電極38は、半導体層32の下方に設けられており、この半導体層32の幅寸法に等しい幅寸法を有している。そして、このゲート電極38を含むゲート絶縁膜37上には、酸化シリコン膜である層間絶縁膜39が積層されて成膜されている。

30

【 0 0 2 7 】

そして、この層間絶縁膜39およびゲート絶縁膜37には、ソース領域35およびドレイン領域36のそれぞれに連通したコンタクトホール41,42が形成されている。これらコンタクトホール41,42には、ソース電極43およびドレイン電極44が積層されて形成されている。ここで、このドレイン電極44は、コンタクトホール42を介してドレイン領域36に電氣的に接続されている。また、このドレイン電極44は、補助容量線17に電氣的に接続されている。さらに、ソース電極43は、コンタクトホール41を介してソース領域35に電氣的に接続されている。また、このソース電極43は、信号線14に電氣的に接続されている。

40

【 0 0 2 8 】

さらに、これらソース電極43およびドレイン電極44を含んだ層間絶縁膜39上には、窒化シリコン膜である保護絶縁膜45が積層されて成膜されている。この保護絶縁膜45は、ソース電極43およびドレイン電極44を含んだ層間絶縁膜39上を覆っている。また、この保護絶縁膜45上には、透明有機絶縁膜46が積層されて成膜されて、この透明有機絶縁膜46により保護絶縁膜45上が覆われている。さらに、この透明有機絶縁膜46上には、配向膜47が積層されて成膜されて、この配向膜47により透明有機絶縁膜46上が覆われている。

【 0 0 2 9 】

次いで、補助容量18は、アンダーコート層31上に形成された半導体層51を備えている。この半導体層51上には、ゲート絶縁膜37が積層されている。そして、このゲート絶縁膜37

50

上には、一対の補助容量線17が形成されている。これら補助容量線17は、半導体層51の下方に位置し、この半導体層51との間で容量を形成する。また、これら補助容量線17は、互いに平行に離間された状態で配設されている。

【0030】

さらに、これら補助容量線17を含んだゲート絶縁膜37上には、層間絶縁膜39が積層されている。また、この層間絶縁膜39およびゲート絶縁膜37には、補助容量18の半導体層51に連通したコンタクトホール52が形成されている。このコンタクトホール52は、一対の補助容量線17間に設けられている。また、このコンタクトホール52には、ドレイン電極44が積層されている。このドレイン電極44は、コンタクトホール52を介して半導体層51に電氣的に接続されている。

10

【0031】

また、このドレイン電極44を含んだ層間絶縁膜39上に形成された保護絶縁膜45および透明有機絶縁膜46には、このドレイン電極44に連通したコンタクトホール53が形成されている。そして、このコンタクトホール53を含む透明有機絶縁膜46上には、ITO (Indium Tin Oxide)により構成された画素電極15が設けられている。この画素電極15は、コンタクトホール53を介してドレイン電極44に電氣的に接続されている。また、この画素電極15を含んだ透明有機絶縁膜46上には、配向膜47が積層されている。

【0032】

次いで、P型駆動回路TF T26は、アンダーコート層31上に積層されて設けられた半導体層61を備えている。この半導体層61の両側には、ドレイン領域62およびソース領域63が設けられている。これらドレイン領域62およびソース領域63は、アンダーコート層31上に積層されており、半導体層61に電氣的に接続されている。

20

【0033】

そして、これら半導体層61、ドレイン領域62およびソース領域63のそれぞれを含んだアンダーコート層31上に積層されたゲート絶縁膜37上には、ゲート電極64が積層されている。このゲート電極64は、半導体層61の下方に位置し、この半導体層61の幅寸法に等しい幅寸法を有している。

【0034】

さらに、このゲート電極64を含んだゲート絶縁膜37上に積層された層間絶縁膜38およびゲート絶縁膜37には、ドレイン領域62およびソース領域63のそれぞれに連通したコンタクトホール65,66が形成されている。これらコンタクトホール65,66には、ドレイン電極67およびソース電極68が積層されて形成されている。ここで、このドレイン電極67は、コンタクトホール65を介してドレイン領域62に電氣的に接続されている。さらに、ソース電極68は、コンタクトホール66を介してソース領域63に電氣的に接続されている。

30

【0035】

次いで、N型駆動回路TF T27は、アンダーコート層31上に積層されて形成された半導体層71を備えている。この半導体層71の両側には、この半導体層71に電氣的に接続されてアンダーコート層31上に積層されたLDD部72,73がそれぞれ形成されている。これらLDD部72,73の両側には、これらLDD部72,73に電氣的に接続されてアンダーコート層31上に積層されたドレイン領域74およびソース領域75のそれぞれが形成されている。

40

【0036】

さらに、これら半導体層71、LDD部72,73、ドレイン領域74およびソース領域75のそれぞれを含んだアンダーコート層31上に積層されたゲート絶縁膜37上には、ゲート電極76が積層されている。このゲート電極76は、半導体層71の上方に位置し、この半導体層71の幅寸法に等しい幅寸法を有している。

【0037】

そして、このゲート電極76を含むゲート絶縁膜37上に積層された層間絶縁膜39およびゲート絶縁膜37には、ドレイン領域74およびソース領域75のそれぞれに連通したコンタクトホール77,78が形成されている。これらコンタクトホール77,78には、ドレイン電極79およびソース電極80が積層されて形成されている。ここで、このドレイン電極79は、コンタク

50

トホール77を介してドレイン領域74に電氣的に接続されている。さらに、ソース電極80は、コンタクトホール78を介してソース領域75に電氣的に接続されている。また、これらドレイン電極79およびソース電極80を含んだ層間絶縁膜39上には、保護絶縁膜45が積層されている。

【0038】

次いで、光センサ21は、アンダーコート層31に積層された半導体層としての低濃度不純物注入領域であるP型のP⁻領域81およびN型のN⁻領域82を備えている。これらP⁻領域81およびN⁻領域82は、互いに電氣的に接続されており、受光により光電流を発生する光電変換部である。また、これらP⁻領域81およびN⁻領域82の両側には、これらP⁻領域81およびN⁻領域82に接続されてアンダーコート層31上に積層されたP型のP⁺領域83およびN型のN⁺領域84が設けられている。ここで、このN⁺領域84は、N⁻領域82に電氣的に接続されている。また、P⁺領域83は、P⁻領域81に電氣的に接続されている。

10

【0039】

そして、これらP⁻領域81、N⁻領域82、P⁺領域83およびN⁺領域84のそれぞれを含んだアンダーコート層31上には、ゲート絶縁膜37が積層されている。また、このゲート絶縁膜37上におけるP⁻領域81上には、電極として機能する電極部としてのゲート電極85が積層されている。このゲート電極85は、P⁻領域81の幅寸法に等しい幅寸法を有している。

【0040】

さらに、このゲート電極85を含むゲート絶縁膜37上に積層された層間絶縁膜39およびゲート絶縁膜37には、P⁺領域83およびN⁺領域84のそれぞれに連通したコンタクトホール86,87が形成されている。これらコンタクトホール86,87には、電極として機能する電極部としてのP型領域電極88と、電極として機能する電極部としてのN型領域電極89とが積層されて形成されている。ここで、P型領域電極88は、コンタクトホール86を介してP⁺領域83に電氣的に接続されている。また、このP型領域電極88は、ゲート電極85の下方を覆うようにN型領域電極89側に向けて突出している。

20

【0041】

ここで、N型領域電極89は、コンタクトホール87を介してN⁺領域84に電氣的に接続されている。また、このN型領域電極89は、N⁻領域82の下方を覆うようにP型領域電極88側に向けて突出している。さらに、このN型領域電極89は、N⁻領域82およびP⁻領域81の一部をも覆うようにP型領域電極88側に向けて突出している。よって、このN型領域電極89は、N⁻領域82の下方である表面側から入射する光が遮光されるように配置されている。

30

【0042】

この結果、光センサ21のN⁻領域82およびP⁻領域81は、これらN⁻領域82およびP⁻領域81の表面側が、この光センサ21のゲート電極85、P型領域電極88およびN型領域電極89によって覆われている。

【0043】

一方、アレイ基板11に対向して矩形平板状の対向基板91が配設されている。この対向基板91は、透光性基板としてのガラス基板92を備えている。このガラス基板92は、厚さが70 μm程度である略透明な矩形平板状の絶縁基板である。すなわち、対向基板91は、この対向基板91のガラス基板92の一主面である表面側をアレイ基板11のガラス基板12の表面側に平行に対向させた状態で配設されている。

40

【0044】

さらに、この対向基板91のガラス基板92の表面上には、顔料が分散された赤、緑、青の3色の着色層としてのカラーフィルタ93のそれぞれがストライプ状に積層されて形成されている。これらカラーフィルタ93の表面上には、ITO(Indium Tin Oxide)により構成された対向電極94が積層されて形成されている。この対向電極94上には、この対向電極94を覆う配向膜95が積層されて形成されている。そして、この対向基板91の配向膜95とアレイ基板11の配向膜47との間には、これら対向基板91の配向膜95とアレイ基板11の配向膜47と

50

を平行に対向させてセル化した後に、液晶96が注入されて介挿されて封止されている。

【0045】

また、この対向基板の裏面側には、矩形平板状のバックライト98が対向して配設されている。このバックライト98は、対向基板91の裏面に対して平行に設置されており、この対向基板91およびアレイ基板11を介して、このアレイ基板11の裏面側に位置する被写体としての検出物Sへと光を照射させる。

【0046】

次に、上記第1の実施の形態の液晶表示装置の製造方法を説明する。

【0047】

まず、厚さが700 μm程度のガラス基板12の表面上に、プラズマCVD (Chemical Vapor Deposition)法によって酸化シリコン膜のアンダーコート層31と、活性層となる非晶質半導体膜としての図示しないアモルファスシリコン膜とを50 nm程度成膜する。

【0048】

このとき、イオンドーピング法により B_2H_6/H_2 をソースガスとし、加速電圧を10 KeVおよびドーズ量を $4 \times 10^{11} \text{ atoms/cm}^2$ としてアモルファスシリコン膜にボロン(B)を低濃度注入する。

【0049】

次いで、エキシマレーザアニール(ELA)法によってアモルファスシリコン膜を多結晶化させて多結晶半導体膜としての図示しないポリシリコン膜にする。

【0050】

この後、このポリシリコン膜をフォトリソグラフィ工程により島状にエッチング加工して、画素TF T16、P型駆動回路TF T26、N型駆動回路TF T27、光センサ21および補助容量18を構成する半導体層32,51,61,71、P⁻領域81およびN⁻領域82のそれぞれを形成する。

【0051】

さらに、これら半導体層32,51,61,71、P⁻領域81およびN⁻領域82のそれぞれを含むアンダーコート層31の表面上の全面に、プラズマCVD法により酸化シリコン膜のゲート絶縁膜37を80 nm程度成膜する。

【0052】

次いで、このゲート絶縁膜37上にレジスト膜を形成した後、このレジスト膜を所定の形状にパターンニングする。

【0053】

この後、このレジスト膜をマスクとして補助容量18の半導体層51と、画素TF T16のソース領域35およびドレイン領域36と、N型駆動回路TF T27のドレイン領域74およびソース領域75と、光センサ21のN⁺領域84とのそれぞれに、イオンドーピング法により PH_3/H_2 をソースガスとし、加速電圧を50 KeVおよびドーズ量を $2 \times 10^{15} \text{ atoms/cm}^2$ としてリン(P)を高濃度注入する。

【0054】

この後、ゲート絶縁膜37上のレジスト膜を除去した後、このゲート絶縁膜37の表面上の全面に、スパッタ法によりモリブデン-タングステン(MoW)合金膜としての図示しない電極膜を300 nm程度被着する。

【0055】

さらに、フォトリソグラフィ工程によりP型駆動回路TF T26および光センサ21それぞれの電極膜を所定の形状にパターンニングする。

【0056】

この後、この電極膜をマスクとして、イオンドーピング法により B_2H_6/H_2 をソースガスとし、加速電圧を44 KeVおよびドーズ量を $1 \times 10^{15} \text{ atoms/cm}^2$ としてボロン(B)を高濃度注入して、P型駆動回路TF T26のソース領域63およびドレイン領域62と、光センサ21のP⁺領域83とのそれぞれを形成する。

【0057】

10

20

30

40

50

さらに、画素 T F T 16、N 型駆動回路 T F T 27、光センサ 21 および補助容量 18 それぞれの電極膜を所定の形状にパターンニングして、画素 T F T 16 のゲート電極 38 と N 型駆動回路 T F T 27 のゲート電極 76 と光センサ 21 のゲート電極 85 と補助容量線 17 とのそれぞれを形成する。

【 0 0 5 8 】

この後、これら画素 T F T 16、N 型駆動回路 T F T 27 および光センサ 21 それぞれのゲート電極 38, 76, 85 をマスクとして、イオンドーピング法により $P H_3 / H_2$ をソースガスとし、加速電圧を 50 KeV およびドーズ量を $4 \times 10^{13} \text{ atoms / cm}^2$ としてリン (P) を低濃度注入して、画素 T F T 16 および N 型駆動回路 T F T 27 の L D D 部 33, 34, 72, 73 と光センサ 21 の N^- 領域 82 とのそれぞれを形成する。

10

【 0 0 5 9 】

このとき、この光センサ 21 のゲート電極 85 によって、この光センサ 21 の P^- 領域 81 が、下方からの光を遮光する構造となる。

【 0 0 6 0 】

さらに、これら画素 T F T 16 および N 型駆動回路 T F T 27 の L D D 部 33, 34, 72, 73 と光センサ 21 の N^- 領域 82 のそれぞれを 600 の温度で 1 時間程度アニールし、これら L D D 部 33, 34, 72, 73 および N^- 領域 82 に注入された不純物を活性化する。

【 0 0 6 1 】

次いで、これら画素 T F T 16、補助容量 18、P 型駆動回路 T F T 26、N 型駆動回路 T F T 27 および光センサ 21 を含んだゲート絶縁膜 37 の表面上の全面に、プラズマ C V D 法により酸化シリコン膜の層間絶縁膜 39 を 660 nm 程度成膜する。

20

【 0 0 6 2 】

この後、この層間絶縁膜 39 およびゲート絶縁膜 37 に、画素 T F T 16 のソース領域 35 およびドレイン領域 36 のそれぞれに連通するコンタクトホール 41, 42 と、P 型駆動回路 T F T 26 のドレイン領域 62 およびソース領域 63 に連通するコンタクトホール 65, 66 と、N 型駆動回路 T F T 27 のドレイン領域 74 およびソース領域 75 に連通するコンタクトホール 77, 78 と、光センサ 21 の P^+ 領域 83 および N^+ 領域 84 に連通するコンタクトホール 86, 87 とのそれぞれをフォトエッチング法により形成する。

【 0 0 6 3 】

さらに、層間絶縁膜 39 の表面上に、スパッタ法によりモリブデン (Mo) 膜を 15 nm 程度被着した後に、アルミニウム - ネオジウム (AlNd) 膜を 600 nm 程度被着し、さらにモリブデン (Mo) 膜を 50 nm 程度被着して金属合金膜としての図示しない配線膜を形成する。

30

【 0 0 6 4 】

この後、この配線膜をフォトエッチング法により所定の形状にパターンニングして、信号線 14 を形成するとともに、この信号線 14 を画素 T F T 16 のドレイン領域 36 に電氣的に接続させる。

【 0 0 6 5 】

同時に、画素 T F T 16 のソース領域 35 を補助容量線 17 に電氣的に接続させるとともに、光センサ 21 および電気信号変換回路 22 における P 型領域電極 88 および N 型領域電極 89 などの各種配線を電氣的に接続させ、さらに P 型駆動回路 T F T 26 および N 型駆動回路 T F T 27 におけるドレイン領域 62, 74 およびソース領域 63, 75 などの各種配線を電氣的に接続させる。

40

【 0 0 6 6 】

このとき、光センサ 21 の N^+ 領域 84 に電氣的に接続された N 型領域電極 89 は、この光センサ 21 の N^- 領域 82 の下方である表面側からの入射する光を遮光するように構成されている。

【 0 0 6 7 】

さらに、画素 T F T 16、P 型駆動回路 T F T 26 および N 型駆動回路 T F T 27 ドレイン電極 44, 67, 79 およびソース電極 43, 68, 80 と、光センサ 21 の P 型領域電極 88 および N 型領域電

50

極89を含んだ層間絶縁膜39の表面上の全面に、プラズマCVD法により窒化シリコン膜の保護絶縁膜45を成膜した後、フォトリソ法により画素TF T16のドレイン電極44に連通するコンタクトホール53を保護絶縁膜45に形成する。

【0068】

次いで、この保護絶縁膜45の表面上の全面に透明有機絶縁膜46を2 μ m程度塗布して成膜した後、この透明有機絶縁膜46に画素TF T16のドレイン電極44に連通するコンタクトホール53を再度形成する。

【0069】

この後、このコンタクトホール53を含む透明有機絶縁膜46の表面上に、スパッタ法によりITO(Indium Tin Oxide)を100nm程度成膜してから、フォトリソ法により所定の形状にパターニングして画素電極15を形成する。

10

【0070】

さらに、この画素電極15を含む透明有機絶縁膜46の表面全面に、低温キュア型のポリイミドを印刷塗布してから、ラビング処理して配向膜47を形成してアレイ基板11とする。

【0071】

一方、対向基板91は、この対向基板91のガラス基板92の表面上の全面に顔料が分散された赤、緑、青の3色のカラーフィルタ93のそれぞれをストライプ状に形成する。

【0072】

この後、これらカラーフィルタ93の表面上の全面に、スパッタ法によりITO(Indium Tin Oxide)を100nm程度成膜して対向電極94を形成する。

20

【0073】

さらに、この対向電極94の表面上の全面に、ポリイミドを印刷塗布してから、ラビング処理して配向膜95を形成して対向基板91とする。

【0074】

次いで、この対向基板91の配向膜95側にアレイ基板11の配向膜47側を対向させてセル化する。この後、これらアレイ基板11の配向膜47と対向基板91の配向膜95との間に液晶96を注入して封止する。

【0075】

この後、アレイ基板11のガラス基板12の裏面を研磨して、このガラス基板12の厚さを70 μ m以上100 μ mにする。

30

【0076】

そして、これらアレイ基板11および対向基板91それぞれの裏面側に図示しない偏向板を貼り付けて、入力機能付きの液晶表示装置1とする。

【0077】

上述したように、上記第1の実施の形態によれば、アレイ基板11の光センサ21による光検出感度に対するガラス基板12の厚さの依存性を評価したところ、図4に示すように、この光センサ21の光検出感度は、アレイ基板11のガラス基板12の厚さが薄くなるほど向上した。特に、この光センサ21の光検出感度の指標を、検出物Sが白の用紙である場合の光電流と黒の用紙である場合の光電流との比として、使用した用紙の反射率のコントラスト比が1.5であった場合には、このガラス基板12の厚さが100 μ mのときに、光センサ21の光検出感度がコントラスト比である1.5となり飽和となった。

40

【0078】

一方、このガラス基板12の厚さを機械研磨や化学研磨などの研磨によって薄くするときの機械強度の限界が70 μ mである。したがって、光センサ21の光検出感度を最大にするためには、ガラス基板12の厚さを70 μ m以上100 μ mとすればよい。

【0079】

すなわち、このガラス基板12の厚さを70 μ m以上100 μ m以下とすることにより、このガラス基板12の表面側である対向基板の裏面側に配設されたバックライト98からの光が、このガラス基板12の表面側から入射した際に、このガラス基板12の内部で多重反射を繰り返し、十分に減衰する。この結果、このガラス基板12による表面側から入射する光の

50

多重反射による迷光の光センサ21への入射を簡単な構成で確実に防止できる。

【0080】

したがって、この光センサ21に入射する光をガラス基板12の裏面側から入射する光のみに制限できるから、このガラス基板12の裏面側に対向した検出物Sにより反射された光のみを光センサ21が検知する。この結果、このガラス基板12の裏面側から入射する光による光センサ21の余分な光電流の発生を防止できるので、この光センサ21による光検出感度を向上でき、この光センサ21による検出物Sに対する検出感度の向上を実現できる。よって、高感度な入力機能付きの液晶表示装置1を製造できる。

【0081】

また、この光センサ21のP⁻領域81およびN⁻領域82のそれぞれの表面側を、この光センサ21のゲート電極85、P型領域電極88およびN型領域電極89によって覆った。この結果、バックライト98から照射される光の光センサ21のP⁻領域81およびN⁻領域82への入射を、この光センサ21のゲート電極85、P型領域電極88およびN型領域電極89によって確実に防止できる。このため、この光センサ21の余分な光電流の発生を防止できるから、この光センサ21による光検出感度をより向上できる。

【0082】

なお、上記第1の実施の形態によれば、光センサ21のP⁻領域81およびN⁻領域82のそれぞれの表面側を、この光センサ21のゲート電極85、P型領域電極88およびN型領域電極89によって覆ったが、これらゲート電極85、P型領域電極88およびN型領域電極89の少なくともいずれかにより、光センサ21のP⁻領域81およびN⁻領域82のそれぞれの表面側が覆われていればよい。

【0083】

また、アレイ基板11のガラス基板12の厚さを制御して、このガラス基板12の表面側から入射する光の多重反射を防止する構成としたが、このガラス基板12の材質の変更などして、このガラス基板12による光の屈折率を制御したり、図5に示す第2の実施の形態のように、ガラス基板12の裏面にシート状のフィルム体としての反射防止フィルム99を貼り付けるなどして、このガラス基板12の表面側から入射する光の多重反射を防止する構成としても上記第1の実施の形態と同様の作用効果を奏することができる。

【0084】

【発明の効果】

本発明によれば、アレイ基板の一主面側から入射する光の多重反射による光センサへの入射を防止する厚さをアレイ基板のガラス基板が有する。この結果、このアレイ基板の一主面側から入射する光による光センサの余分な光電流の発生を防止できるから、この光センサによる光検出感度を向上できる。

【0085】

また、アレイ基板に取り付けたフィルム体によって、アレイ基板の一主面側から入射する光の多重反射による光センサへの入射を防止できる。このため、このアレイ基板の一主面側から入射する光による光センサの余分な光電流の発生を防止できるから、この光センサによる光検出感度を向上できる。

【0086】

さらに、アレイ基板の一主面側から入射する光の多重反射による光センサへの入射を防止する屈折率をアレイ基板のガラス基板が有する。この結果、このアレイ基板の一主面側から入射する光による光センサの余分な光電流の発生を防止できるから、この光センサによる光検出感度を向上できる。

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の第1の実施の形態を示す説明断面図である。

【図2】 同上液晶表示装置を示す説明平面図である。

【図3】 同上液晶表示装置の一部を示す説明平面図である。

【図4】 同上液晶表示装置のガラス基板の厚さと光センサの光検出感度との関係を示す2次グラフである。

10

20

30

40

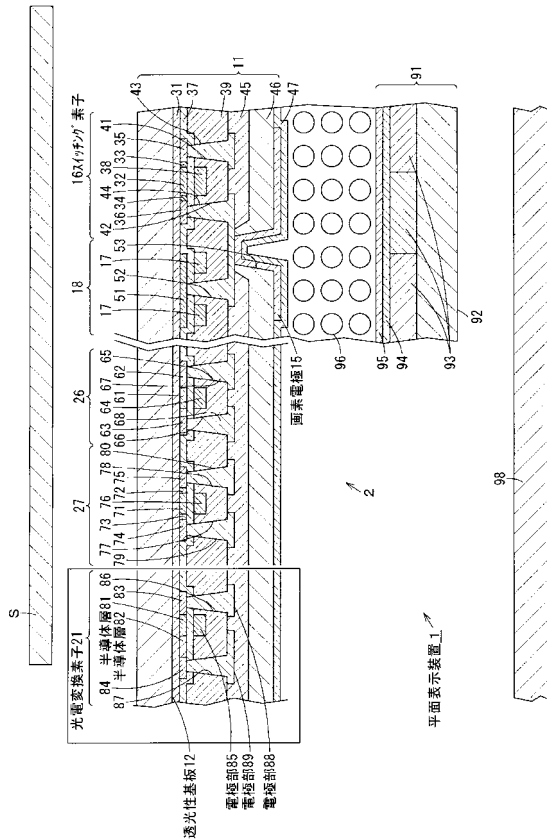
50

【図5】 本発明の第2の実施の形態の液晶表示装置を示す説明断面図である。

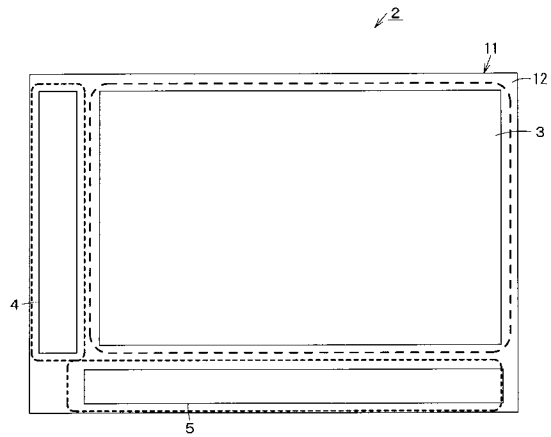
【符号の説明】

- 1 液晶表示装置
- 11 アレイ基板
- 12 ガラス基板
- 21 光センサ
- 81 半導体層としてのP⁻領域
- 82 半導体層としてのN⁻領域
- 85 電極部としてのゲート電極
- 88 電極部としてのP型領域電極
- 89 電極部としてのN型領域電極
- 91 対向基板
- 96 液晶
- 98 バックライト
- S 検出物

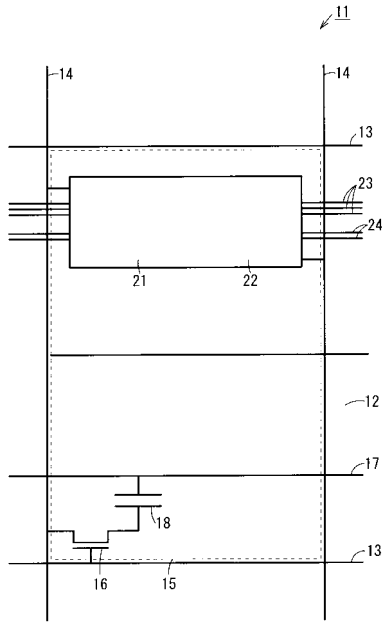
【図1】



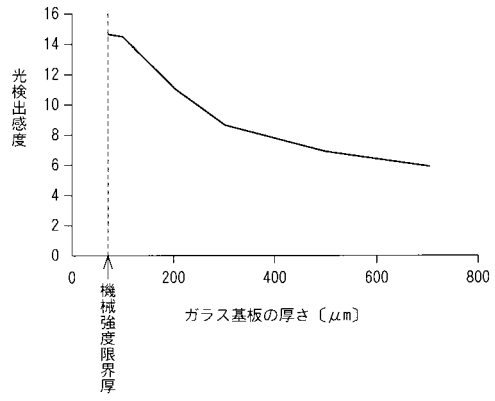
【図2】



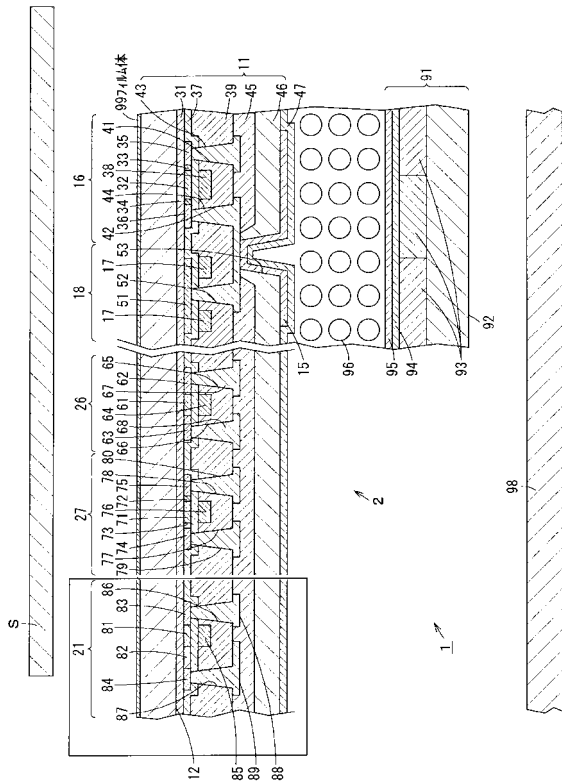
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl. F I
G 0 9 F 9/30 (2006.01) G 0 2 F 1/1368
G 0 9 F 9/30 3 3 8

(72)発明者 石田 知
東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内

審査官 藤田 都志行

(56)参考文献 特開2001-77342(JP,A)
特開平10-333605(JP,A)
特開平11-65763(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1333
G02F 1/133
G02F 1/1335
G02F 1/135
G02F 1/1368
G09F 9/30

专利名称(译)	液晶表示装置		
公开(公告)号	JP4251622B2	公开(公告)日	2009-04-08
申请号	JP2003177346	申请日	2003-06-20
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
当前申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	多田典生 石田知		
发明人	多田 典生 石田 知		
IPC分类号	G02F1/1333 G02F1/133 G02F1/1335 G02F1/135 G02F1/1368 G09F9/30		
FI分类号	G02F1/1333.500 G02F1/133.530 G02F1/133.550 G02F1/1335 G02F1/135 G02F1/1368 G09F9/30.338		
F-TERM分类号	2H090/JA06 2H090/JB02 2H090/JC07 2H090/JD06 2H090/JD15 2H090/LA04 2H091/FA01X 2H091/GA01 2H091/GA13 2H091/GA14 2H091/LA03 2H092/GA59 2H092/GA61 2H092/JA24 2H092/JB69 2H092/LA03 2H092/LA05 2H092/LA12 2H092/PA01 2H092/PA08 2H092/PA13 2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC34 2H093/NC53 2H093/NC73 2H093/ND41 2H093/NE01 2H190/JA06 2H190/JB02 2H190/JC07 2H190/JD06 2H190/JD15 2H190/LA04 2H191/FA01X 2H191/GA01 2H191/GA19 2H191/GA20 2H191/LA03 2H192/AA24 2H192/BC42 2H192/CB02 2H192/DA12 2H192/DA44 2H192/EA43 2H192/FB27 2H192/GB05 2H192/GB13 2H192/GB23 2H192/GB24 2H192/GD02 2H192/HA88 2H193/ZA04 2H193/ZH13 2H193/ZP01 2H291/FA01X 2H291/GA01 2H291/GA19 2H291/GA20 2H291/LA03 5C094/AA21 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB05 5C094/EA04 5C094/FA02		
代理人(译)	山田哲也		
其他公开文献	JP2005010690A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其中可以增强光学传感器的光检测灵敏度。 解决方案：平板显示装置构造使得阵列基板11的玻璃基板12的厚度规定为70至100μm。由此，可以令人满意地衰减从玻璃基板12的表面侧入射的光的多个反射光。光学传感器21形成在玻璃基板12的表面上。由此，可以防止从玻璃基板12的表面侧入射到光学传感器21中的光的入射，产生光学传感器21的过量光电流。 通过从玻璃基板12的表面侧入射的光，可以防止光学传感器21的光检测灵敏度增强。

