

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4109186号
(P4109186)

(45) 発行日 平成20年7月2日(2008.7.2)

(24) 登録日 平成20年4月11日(2008.4.11)

(51) Int.Cl.

F I

G09G	3/36	(2006.01)	G09G	3/36	
G02F	1/133	(2006.01)	G02F	1/133	550
G09G	3/20	(2006.01)	G09G	3/20	612K
			G09G	3/20	612L
			G09G	3/20	621M

請求項の数 3 (全 7 頁) 最終頁に続く

(21) 出願番号 特願2003-403152 (P2003-403152)
 (22) 出願日 平成15年12月2日(2003.12.2)
 (65) 公開番号 特開2005-78065 (P2005-78065A)
 (43) 公開日 平成17年3月24日(2005.3.24)
 審査請求日 平成15年12月2日(2003.12.2)
 (31) 優先権主張番号 092123832
 (32) 優先日 平成15年8月28日(2003.8.28)
 (33) 優先権主張国 台湾(TW)

(73) 特許権者 502352807
 中華映管股▲ふん▼有限公司
 台湾台北市中山北路3段22號
 (74) 代理人 100082670
 弁理士 西脇 民雄
 (74) 代理人 100082304
 弁理士 竹本 松司
 (74) 代理人 100088351
 弁理士 杉山 秀雄
 (74) 代理人 100093425
 弁理士 湯田 浩一
 (74) 代理人 100102495
 弁理士 魚住 高博
 (74) 代理人 100112302
 弁理士 手島 直彦

最終頁に続く

(54) 【発明の名称】 液晶ディスプレイのゲートドライバの駆動回路

(57) 【特許請求の範囲】

【請求項1】

液晶ディスプレイの各液晶領域の薄膜トランジスタを出力許可信号のパルス幅に応じてオンさせ、薄膜トランジスタのオフの際にはそれぞれ異なるゲートオフ電圧を出力して前記各液晶領域の充電時間を制御する複数のゲートドライバに、前記出力許可信号を出力する液晶ディスプレイのゲートドライバーの駆動回路において、

該駆動回路は、タイミングジェネレータと、各ゲートドライバの起動用の開始トリガ信号を発生するトリガ信号ジェネレータと、遅延ユニットと、論理ユニットとを具え、

前記タイミングジェネレータは、一定周期のゲートクロック信号と、前記開始トリガ信号を発生させるためのゲート開始信号とを発生し、

前記トリガ信号ジェネレータは、前記ゲートクロック信号とゲート開始信号とを入力して前記開始トリガ信号を発生し、

前記遅延ユニットは、前記ゲートクロック信号と前記開始トリガ信号と前記ゲートドライバのゲートオフ電圧とを入力して、前記ゲートクロック信号の入力時からそのゲートオフ電圧に応じた時間だけ遅延する遅延クロック信号を発生し、

前記論理ユニットは、前記遅延クロック信号の遅延時間に応じたパルス幅の前記出力許可信号を前記ゲートクロック信号の入力タイミングに合わせて出力することを特徴とする液晶ディスプレイのゲートドライバの駆動回路。

【請求項2】

前記論理ユニットは、E X - O RゲートとA N Dゲートを具え、該E X - O Rゲートは

遅延クロック信号とゲートクロック信号を受け取り第1信号を発生して該ANDゲートに出力し、該ANDゲートは該第1信号と該ゲートクロック信号を受け取り、出力許可信号を発生することを特徴とする請求項1に記載の液晶ディスプレイのゲートドライバの駆動回路。

【請求項3】

前記遅延ユニットは、前記ゲートオフ電圧と参考電圧とを比較してゲートオフ電圧が参考電圧以上のとき前記遅延クロック信号を出力する比較器を備えていることを特徴とする請求項1に記載の液晶ディスプレイのゲートドライバの駆動回路。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は一種の液晶ディスプレイのゲートドライバの駆動回路に係り、特に、液晶ディスプレイの各ゲートドライバのオフ電圧の大きさにより、許可信号を発生してゲートドライバに出力してゲートドライバの液晶領域に対する充電時間を制御し、液晶領域に明暗不均一の現象を発生させない、液晶ディスプレイのゲートドライバの駆動回路に関する。

【背景技術】

【0002】

現在の液晶ディスプレイの構造は、複数の薄膜トランジスタを具え、且つそれがアレイ方式で液晶パネル上に形成され、液晶パネルの側に複数のゲートドライバが設けられてTFTのオンオフを制御し、即ち走査線とされ、ゲートドライバの隣り合う側に複数のソースドライバが設けられ、ゲートドライバが薄膜トランジスタをオンした後に、表示データを伝送し、即ちデータ線とされる。現在、液晶ディスプレイを使用する時、ある画面で各ゲートドライバ間にブロックの明暗不均一の現象が発生する。その原因は、薄膜トランジスタがオフとされる時、ゲート側がデータ線と走査線の間が存在する結合容量効果により、データ線から薄膜トランジスタおよび走査線を介してゲートドライバへ流れる逆流電流(Return Current)を発生し、この逆流電流が同じでない配線抵抗と各COF(Chip On Film)ゲートドライバの内部抵抗により、電圧降下を発生し、各ゲートドライバのゲートオフ電圧VGL(薄膜トランジスタオフ電圧約-6V)に異なる電圧降下を発生させるためである。

20

【0003】

30

第n條の走査線の逆流電流 $IR_n = C \cdot dv / dt$; Cはデータ線と走査線間の結合容量、dvはデータ線電圧と薄膜トランジスタオフ電圧の間の電圧差、dtは1條の走査線の変化時間とされる。黑白相間の画面にあって、dv値が最大であると、最大の逆流電流値を発生し、この時、各ゲートドライバのゲートオフ電圧の電圧差は最大となり、こうして各ゲートドライバ領域に対する影響の違いが、各ゲートドライバ間にあって異なる輝度の発生をもたらし、即ち、各ゲートドライバ間に液晶ブロック明暗不均一(Block Dim)の現象を発生する。

【0004】

例えば、解析度がXGA即ち1024×768の時、逆流電流 $IR_n = C \cdot dv / dt$ で、dt時間は約20μsで、一般にCは15~25fで、XGA解析度で言うと、液晶パネル上に3×1024條のデータ線と768條の走査線があるが、1條の走査線がオンとされてその他の767條の走査線はいずれもオフ状態とされ、ゆえに、この時得られる全部の逆流電流IRは3×1024×767×IR_nで約3~9mAとなる。各電源は液晶パネル上の配線により伝送抵抗が形成されるため、一般に、第1のゲートドライバは約RP抵抗(内部抵抗RP)を有し、内部抵抗RPの抵抗値は約10~76であり、第2のゲートドライバの内部抵抗は内部抵抗RPの約2倍の抵抗値を有し、第3のゲートドライバの内部抵抗は内部抵抗RPの約3倍の抵抗値を有し、この逆流電流がパネルの三つの抵抗中において三組の電圧降下を発生し、三つのゲートドライバの電圧変化をそれぞれVGD1約300mV、VGD2約600mV、VGD3約900mVとし(IR_nは6mA、RPは50)、これは図1に示されるとおりである。

40

50

【 0 0 0 5 】

さらに、各ゲートドライバのオフ電圧側VGLはいずれも同じでなく、図2に示されるように、 $VGL1 < VGL2 < VGL3$ であり、薄膜トランジスタのゲートとドレイン間に寄生容量が存在するため、ゲート端(走査線)の電圧がドレイン端(液晶領域)の電圧に影響を与え、異なるゲート端の電圧VGL1、VGL2、VGL3の、液晶領域に対する充電電圧に異なる程度の影響を与え、即ちVGL1電圧が最低で第1のゲートドライバ間の液晶領域にあつての影響が最大で、これによりこの区間の液晶がVGL1により最大のリーク電荷をもたらし、相対的に第3のゲートドライバ区間の液晶領域がVGL3により最小のリーク電荷をもたらし、以上から分かるように、液晶パネルの各ゲートドライバ間に発生する明暗不均一の現象は、各ゲートドライバ間に発生する異なる輝度によるもので、異なる輝度は液晶領域の充電電圧の違いにより形成され、即ち各ゲートドライバの異なるVGLにより形成される。

10

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

このため、本発明は上述の問題に対して一種の液晶ディスプレイのゲートドライバの駆動回路を提供し、液晶ディスプレイの各ゲートドライバが異なるゲートオフ電圧を有することによりもたらされる各ゲートドライバ間の液晶領域間に発生する明暗不均一現象という欠点を解決して、液晶ディスプレイの表示効果を増し、上述の問題を解決する。

【 0 0 0 7 】

20

本発明の主要な目的は、一種の液晶ディスプレイのゲートドライバの駆動回路を提供することにあり、それは簡単な回路で各ゲートドライバの液晶領域に対する充電時間を制御し、液晶領域に明暗不均一の現象を発生させず、これにより液晶ディスプレイの表示効果を高め全体の製造コストを減らすものとする。

【 課題を解決するための手段 】

【 0 0 0 8 】

請求項1の発明は、液晶ディスプレイの各液晶領域の薄膜トランジスタを出力許可信号のパルス幅に応じてオンさせ、薄膜トランジスタのオフの際にはそれぞれ異なるゲートオフ電圧を出力して前記各液晶領域の充電時間を制御する複数のゲートドライバに、前記出力許可信号を出力する液晶ディスプレイのゲートドライバーの駆動回路において、

30

該駆動回路は、タイミングジェネレータと、各ゲートドライバの起動用の開始トリガ信号を発生するトリガ信号ジェネレータと、遅延ユニットと、論理ユニットとを具え、

前記タイミングジェネレータは、一定周期のゲートクロック信号と、前記開始トリガ信号を発生させるためのゲート開始信号とを発生し、

前記トリガ信号ジェネレータは、前記ゲートクロック信号とゲート開始信号とを入力して前記開始トリガ信号を発生し、

前記遅延ユニットは、前記ゲートクロック信号と前記開始トリガ信号と前記ゲートドライバのゲートオフ電圧とを入力して、前記ゲートクロック信号の入力時からそのゲートオフ電圧に応じた時間だけ遅延する遅延クロック信号を発生し、

前記論理ユニットは、前記遅延クロック信号の遅延時間に応じたパルス幅の前記出力許可信号を前記ゲートクロック信号の入力タイミングに合わせて出力することを特徴とする

40

請求項2の発明は、前記論理ユニットは、EX-ORゲートとANDゲートを具え、該EX-ORゲートは遅延クロック信号とゲートクロック信号を受け取り第1信号を発生して該ANDゲートに出力し、該ANDゲートは該第1信号と該ゲートクロック信号を受け取り、出力許可信号を発生することを特徴とする。

請求項3の発明は、前記遅延ユニットは、前記ゲートオフ電圧と参考電圧とを比較してゲートオフ電圧が参考電圧以上のとき前記遅延クロック信号を出力する比較器を備えていることを特徴とする。

50

【発明の効果】

【0009】

本発明の制御回路は液晶ディスプレイの複数のゲートドライバの各液晶領域に対する充電時間を制御し、それは各ゲートドライバのゲートオフ電圧の異なる変化をフィードバックすることで、出力許可信号のパルス幅を制御し、該ゲートドライバの各液晶領域に対する充電時間を制御し、これにより液晶領域間に明暗付近の現象が発生するのを防止する。

【発明を実施するための最良の形態】

【0010】

本発明の液晶ディスプレイのゲートドライバの駆動回路は、許可信号を発生して液晶ディスプレイの複数のゲートドライバに出力してゲートドライバの各液晶領域に対する充電時間を制御する。この制御回路は、タイミングジェネレータ、トリガ信号ジェネレータ、遅延ユニット及び論理ユニットを具えている。タイミングジェネレータはゲートクロック信号とゲート開始信号を発生する。トリガ信号ジェネレータは該ゲートクロック信号と該ゲート開始信号を受け取り該ゲートドライバの開始トリガ信号を発生し、並びにそれを遅延ユニットに出力する。該遅延ユニットは、別に該ゲートクロック信号と該ゲートドライバのゲートオフ電圧を受け取り、遅延クロック信号を発生し、並びにそれを論理ユニットに送る。該論理ユニットはE X - O Rゲート及びA N Dゲートを具え、該E X - O Rゲートは該遅延クロック信号と該ゲートクロック信号を受け取り、第1信号を発生し並びに該A N Dゲートに出力し、該A N Dゲートは該第1信号と該ゲートクロック信号を受け取り、該出力許可信号を発生して該ゲートドライバに出力して該ゲートドライバの各液晶領域に対する充電時間を制御する。

【実施例1】

【0011】

図3は本発明の回路ブロック図である。図示されるように、それは、タイミングジェネレータ10、トリガ信号ジェネレータ15、遅延ユニット20及び論理ユニット30を具えている。タイミングジェネレータ10はゲートクロック信号C L K Vとゲート開始信号S T Vを発生し、並びに二つの信号を同時にトリガ信号ジェネレータ15に出力し、トリガ信号ジェネレータ15がこれにより各ゲートドライバの開始トリガ信号G 1、G 2、G 3を発生し、並びに順に遅延ユニット20に送る。遅延ユニット20は開始トリガ信号G 1、G 2、G 3を受け取るほか、タイミングジェネレータ10の出力したゲートクロック信号C L K Vとゲートドライバのゲートオフ電圧V G Lを受け取り、遅延クロック信号D __ C L K Vを発生し並びに出力し、この遅延クロック信号D __ C L K Vは論理ユニット30に入力される。遅延ユニット20内には更に比較器と参考電圧が設けられ、比較器はゲートドライバのゲートオフ電圧V G Lを受け取り参考電圧と比較して該遅延クロック信号D __ C L K Vを発生し、ゲートオフ電圧V G Lは遅延ユニット20に入力される前に雑音が濾過される。

【0012】

論理ユニット30はE X - O Rゲート35とA N Dゲート37を具え、E X - O Rゲート35は遅延クロック信号D __ C L K V及びタイミングジェネレータ10の出力したゲートクロック信号C L K Vを受け取り、第1信号P 1を発生し、並びに第1信号P 1をA N Dゲート37に出力し、A N Dゲート37は第1信号P 1とタイミングジェネレータ10の出力したゲートクロック信号C L K Vを受け取り、出力許可信号O Eを発生し、それをゲートドライバに出力する。

【0013】

上述の遅延ユニット20の発生する遅延クロック信号D __ C L K Vは各ゲートドライバの開始トリガ信号に対応し、即ち遅延ユニット20が開始トリガ信号G 1を受け取る時は、該開始トリガ信号G 1が第1ゲートドライバの開始トリガ信号であることを代表し、この時に受け取るゲートオフ電圧V G Lは第1ゲートドライバのゲートオフ電圧V G Lとされ、発生する遅延クロック信号D __ C L K Vは即ち第1ゲートドライバのゲートオフ電圧V G Lと参考電圧の比較により発生し、その後発生する出力許可信号は第1ゲートドラ

10

20

30

40

50

イバに出力される。これから分かるように、遅延ユニット20が開始トリガ信号G2及びG3を受け取る時は、このとき得られた遅延クロック信号D $\bar{\bar{C}}$ LKVが第2ゲートドライバ及び第3ゲートドライバのゲートオフ電圧を比較することにより得られたことを代表し、ゆえに後に得られる出力許可信号は第2ゲートドライバ及び第3ゲートドライバに出力されて、第2と第3ゲートドライバの液晶領域に対する充電時間を制御する。

【0014】

図4は図3の出力許可信号タイミング表示図である。図示されるように、ゲートクロック信号CLKVは周期方形波信号とされる。遅延クロック信号D $\bar{\bar{C}}$ LKVは遅延ユニット20が受信した開始トリガ信号と対応するゲートドライバのゲートオフ電圧VGLを比較演算して得られ、遅延クロック信号D $\bar{\bar{C}}$ LKVはゲートドライバのゲートオフ電圧VGLの変化により異なる。第1信号P1は遅延クロック信号D $\bar{\bar{C}}$ LKVとゲートクロック信号CLKVがEX-ORゲート35で論理演算されることで得られる。出力許可信号OEは第1信号P1とゲートクロック信号CLKVがANDゲート37の論理演算されることで得られる。図示されるOE1、OE2とOE3は第1、第2及び第3ゲートドライバの開始トリガ信号G1、G2、G3に対応する出力許可信号とされる。GD1OUTPUT信号、GD2OUTPUT信号、GD3OUTPUT信号は、出力許可信号OE1、OE2、OE3が第1、第2及び第3ゲートドライバに出力された後に出力される信号波形である。

10

【0015】

総合すると、本発明の液晶ディスプレイのゲートドライバの駆動回路は、各ゲートドライバのゲートオフ電圧の異なる変化をフィードバックして異なるパルス幅の出力許可信号を発生して、対応するゲートドライバの各液晶領域に対する充電時間を制御し、これにより液晶領域間に明暗不均一の現象が発生するのを防止する。

20

【0016】

ゆえに本発明は新規性、進歩性を具え、産業上の利用価値を有する。なお、以上の実施例は本発明の実施範囲を限定するものではなく、本発明に基づきなしうる細部の修飾或いは改変は、いずれも本発明の請求範囲に属するものとする。

【図面の簡単な説明】

【0017】

【図1】本発明のゲートドライバの電圧変化状態図である。

30

【図2】本発明のゲートドライバのゲートオフ電圧の波形図である。

【図3】本発明の回路ブロック図である。

【図4】図3の出力許可信号タイミング表示図である。

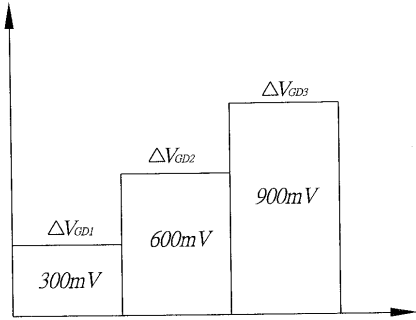
【符号の説明】

【0018】

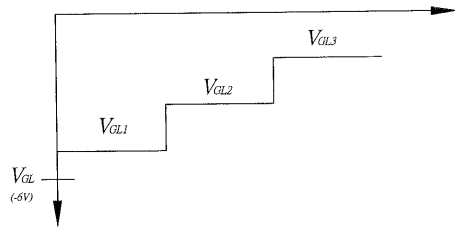
- 10 タイミングジェネレータ
- 15 トリガ信号ジェネレータ
- 20 遅延ユニット
- 30 論理ユニット
- 35 EX-ORゲート
- 37 ANDゲート

40

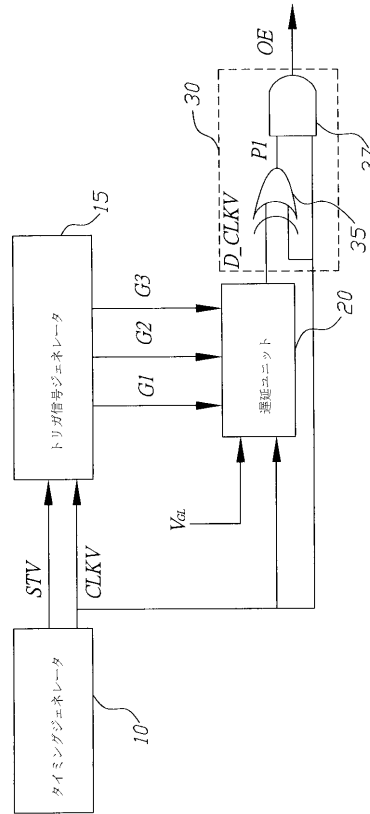
【 図 1 】



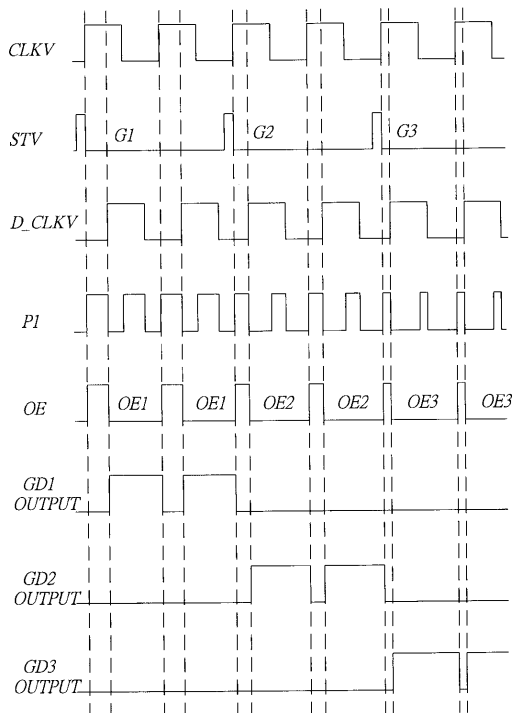
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(51)Int.Cl. F I
 G 0 9 G 3/20 6 2 2 B
 G 0 9 G 3/20 6 2 2 C
 G 0 9 G 3/20 6 2 2 D
 G 0 9 G 3/20 6 2 2 G
 G 0 9 G 3/20 6 4 2 B

(72)発明者 廖 木山
 台湾彰化縣溪洲鄉中央路二段202號
 (72)発明者 曾 文澤
 台湾桃園縣八德市廣福路93巷16號
 (72)発明者 黄 俊穎
 台湾桃園縣楊梅鎮校前路22巷37-2號
 (72)発明者 蔡 明 うえい
 台湾桃園縣中 ㇵー 市龍安街16巷5號

審査官 福村 拓

(56)参考文献 特開平07-056143(JP,A)
 特開平07-318898(JP,A)
 特開2003-066928(JP,A)
 国際公開第95/000874(WO,A1)
 特開平11-133379(JP,A)

(58)調査した分野(Int.Cl., DB名)
 G 0 9 G 3 / 3 6
 G 0 2 F 1 / 1 3 3
 G 0 9 G 3 / 2 0

专利名称(译)	液晶显示器栅极驱动器的驱动电路		
公开(公告)号	JP4109186B2	公开(公告)日	2008-07-02
申请号	JP2003403152	申请日	2003-12-02
[标]申请(专利权)人(译)	中华映管股份有限公司		
申请(专利权)人(译)	中华映管股▲ふん▼有限公司		
当前申请(专利权)人(译)	中华映管股▲ふん▼有限公司		
[标]发明人	廖木山 曾文澤 黄俊穎 蔡明う えい		
发明人	廖 木山 曾 文澤 黄 俊穎 蔡 明▲う えい▼		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G09G2320/0209		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.K G09G3/20.612.L G09G3/20.621.M G09G3/20.622.B G09G3/20.622.C G09G3/20.622.D G09G3/20.622.G G09G3/20.642.B		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC09 2H093/NC21 2H093/NC49 2H093/ND05 2H093/ND09 2H093/ND15 2H093/NH14 2H193/ZD32 2H193/ZD34 5C006/AC11 5C006/AC22 5C006/AF42 5C006/AF71 5C006/AF72 5C006/AF75 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BF07 5C006/BF14 5C006/BF26 5C006/FA22 5C006/FA36 5C080/AA10 5C080/BB05 5C080/DD05 5C080/FF01 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ04		
代理人(译)	杉山秀夫		
审查员(译)	福村 拓		
优先权	092123832 2003-08-28 TW		
其他公开文献	JP2005078065A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供液晶显示器的栅极驱动器的驱动电路。ŽSOLUTION：提供定时发生器，触发信号发生器，延迟单元和逻辑单元，并输出许可信号；并且其输出被发送到液晶显示器的栅极驱动器，并且控制栅极驱动器对液晶各个区域的充电时间，以增加液晶显示器的显示效果，而不会引起光暗不均匀现象在每个液晶区域。Ž

【 图 4 】

