

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3980312号
(P3980312)

(45) 発行日 平成19年9月26日(2007.9.26)

(24) 登録日 平成19年7月6日(2007.7.6)

(51) Int. Cl.		F I	
GO2F	1/1368	(2006.01)	GO2F 1/1368
HO1L	29/786	(2006.01)	HO1L 29/78 616K
HO1L	21/336	(2006.01)	HO1L 29/78 619A

請求項の数 6 (全 9 頁)

<p>(21) 出願番号 特願2001-293212 (P2001-293212)</p> <p>(22) 出願日 平成13年9月26日 (2001.9.26)</p> <p>(65) 公開番号 特開2003-98548 (P2003-98548A)</p> <p>(43) 公開日 平成15年4月3日 (2003.4.3)</p> <p>審査請求日 平成15年12月4日 (2003.12.4)</p>	<p>(73) 特許権者 000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号</p> <p>(74) 代理人 100074631 弁理士 高田 幸彦</p> <p>(74) 代理人 100083389 弁理士 竹ノ内 勝</p> <p>(72) 発明者 若木 政利 茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立 研究所内</p> <p>(72) 発明者 茶原 健一 茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立 研究所内</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

薄膜トランジスタを含む画素を有するアクティブマトリックス型の液晶表示装置であって、前記薄膜トランジスタは、絶縁基板上にゲート電極、ゲート絶縁層、半導体層の順に積層配置され、前記半導体層上に塗布形成された絶縁層を有し、前記半導体層のほぼ中央部に位置する前記絶縁層の幅が前記ゲート電極の幅より小さくなるように前記絶縁層を除去した部分に塗付形成されたソース電極とドレイン電極を有することを特徴とする液晶表示装置。

【請求項2】

請求項1において、前記ソース電極およびドレイン電極は金属あるいは酸化物導電膜から形成されていることを特徴とする液晶表示装置。

【請求項3】

請求項1において、前記ソース電極およびドレイン電極は印刷あるいはインクジェット法で形成した金属あるいは酸化物導電膜からなることを特徴とする液晶表示装置。

【請求項4】

請求項1において、前記ドレイン電極およびソース電極は前記絶縁層に接していないことを特徴とする液晶表示装置。

【請求項5】

請求項1において、前記ソース電極およびドレイン電極は前記絶縁層と同層に形成されていることを特徴とする液晶表示装置。

10

20

【請求項6】

薄膜トランジスタを含む画素を有するアクティブマトリクス型の液晶表示装置であって、前記薄膜トランジスタは、絶縁基板上にゲート電極、ゲート絶縁層、半導体層の順に積層配置され、前記半導体層上に絶縁層を塗布形成し、前記半導体層のほぼ中央部に位置する前記絶縁層の幅が前記ゲート電極の幅より小さくなるように前記絶縁層を除去し、前記絶縁層を除去した部分にソース電極とドレイン電極を塗付形成するようにしたことを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタをスイッチング素子として有するアクティブマトリクス型の液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】

液晶表示装置は薄型で軽量という特長を有し多分野において使用され、その市場が拡大している。液晶表示装置には、大別して単純マトリクス方式とアクティブマトリクス方式がある。このうち、アクティブマトリクス型の液晶表示装置は、各画素に薄膜トランジスタ(TFT; Thin Film Transistor)などのスイッチング素子を形成し、画素電極に印加される電圧を保持することが可能になる。このため、コントラストなどの画質が優れた画像を表示することができる。

【0003】

TFTは、特開2000-252472号公報に記載されているように、ゲート配線、ゲート絶縁層、半導体層、ソース電極、ドレイン電極、画素電極から構成される。これらの層、配線、電極は薄膜プロセスにより形成される。このうち、ゲート配線、ソース電極、ドレイン電極は主にスパッタリング法などにより成膜した後にホトリソグラフィ工程によりパターンニングされる。

【0004】

この形成法では金属膜などを絶縁基板上にスパッタリング法などにより形成した後、レジスト塗布、露光、現像の工程によりホトレジストパターンを形成し、金属膜をエッチングし、さらにレジストを除去して配線パターンを形成している。

【0005】

【発明が解決しようとする課題】

従来技術は、スパッタリング法などの真空装置を使用してソース電極とドレイン電極を形成している。このため、真空排気などに多くの時間を要し、また、パターン形成のための工程が多いために、生産性を向上させることが困難であるという問題点を有する。

【0006】

また、配線の材料は絶縁基板全面に成膜するが、その後のエッチング工程でほとんど除去するため最終的には一部しか残らず、また、レジストも最終的には全て剥離している。このため、材料の利用効率が低いという実用上の問題点もある。

【0007】

本発明の目的は、生産性を向上し材料の利用効率を高くすることができる液晶表示装置およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】

本発明の特徴とするところは、薄膜トランジスタを含む画素を有するアクティブマトリクス型の液晶表示装置であって、薄膜トランジスタは、絶縁基板上にゲート電極、ゲート絶縁層、半導体層の順に積層配置され、半導体層のほぼ中央部に所定幅の半導体層上絶縁層を有すると共にゲート絶縁層上にパターン化して形成される第2の絶縁層を設け、第2の絶縁層によってパターン化された半導体層上絶縁層の一方側と他方側の半導体層上にソース電極とドレイン電極を塗付によって形成し、第2の絶縁層の半導体層上絶縁層の幅は

10

20

30

40

50

ゲート電極の幅より小さく形成されていることにある。

【0009】

換言すると、本発明はソース電極とドレイン電極を塗付によって形成し、ソース電極とドレイン電極の間隔をゲート電極の幅より小さくするようにしたことにある。

【0010】

また、本発明においてソース電極およびドレイン電極は、好ましくは、印刷あるいはインクジェット法で形成した金属あるいは酸化物導電膜から形成される。

【0011】

さらに、本発明の薄膜トランジスタは、絶縁基板上にゲート電極、ゲート絶縁層、半導体層の順に積層配置され、ゲート絶縁層と前記半導体層を覆うように第2の絶縁層を設け、第2の絶縁層をパターン形成して半導体層のほぼ中央部に所定幅の半導体層上絶縁層を有すると共にゲート絶縁層上に形成し、第2の絶縁層によってパターン形成によって第2の絶縁層が除去された半導体層上絶縁層の一方側と他方側の部分の半導体層上にソース電極とドレイン電極を塗付によって形成して製造することにある。

10

【0012】

本発明はソース電極およびドレイン電極を形成する前に第2の絶縁層をパターン形成し、第2の絶縁層を除去した部分にソース電極およびドレイン電極を塗付して形成している。このため、ソース電極およびドレイン電極を簡単に短時間に形成することができるので、生産性を向上させることができる。

【0013】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

絶縁基板1上に金属層をスパッタリング法などで形成する。金属としてはAl、Cr、Mo、Ta、Ti、W、Nb、Fe、Co、Ni及びそれらの合金などが用いられる。この、金属膜をホトリソグラフィ工程などにより加工しゲート配線2を形成する。このゲート配線2は印刷法やインクジェット法により形成することも可能である。

20

【0014】

次に、CVD (Chemical Vapor Deposition)法などでゲート絶縁層3、半導体層4を形成する。ゲート絶縁層3としてはSiN膜、SiO₂膜などが挙げられる。また、半導体層4としては非晶質Si膜、結晶質Si膜、微結晶Si膜などが挙げられる。また、これらの層を塗布法、印刷法、インクジェット法などで形成することも可能である。この場合、絶縁層3としてはSiO₂やチタン酸ストロンチウム、チタン酸バリウムストロンチウムなどの金属酸化膜、半導体層4としてはチオフェンオリゴマー、ペンタセン誘導体などの有機半導体が挙げられる。

30

【0015】

次に、第2の絶縁層5を形成する。この絶縁層5として感光性の樹脂あるいはSOG(アクリル、BCB(Bisbenzocyclobutene)、ポリイミド、ポリシラザンなど)を適用する。感光性の樹脂あるいはSOGを塗布した後、露光、現像、焼成によりソース電極6あるいはドレイン電極7に相当する部分を除去したパターンを形成する。また、樹脂に撥水基(パーフルオロカーボンなど)を混入することも可能である。これにより印刷法あるいはインクジェット法によるソース電極6およびドレイン電極7の形成時にパターンからのみだしを防止しやすくなる。

40

【0016】

印刷あるいはインクジェット法によりソース電極6およびドレイン電極7を形成する。この際、金属膜を形成する場合の材料としては、金、銀、銅、モリブデン、クロム、ニッケル、チタン、タンタル、コバルト、インジウム、スズ、亜鉛などの金属粒子、あるいは金属アルコキシドの溶液が挙げられる。また、酸化物導電膜を形成する場合の材料としては、インジウムのアルコキシド、スズのアルコキシド、インジウム塩化物、スズ塩化物、インジウム酸化物、スズ酸化物粒子などの溶液を用いる。印刷あるいはインクジェット法により溶液を塗布後焼成し図2に示す構成のソース電極6およびドレイン電極7を形成する

50

。

【0017】

また、図4あるいは図5に示す構成のソース電極およびドレイン電極を形成することも可能である。この際、あらかじめ成膜によりコンタクト層8を形成するか、イオンドーピングあるいはプラズマドーピングによりドーブ層9を形成する。

【0018】

成膜の場合、リン(P)をドーブしたa-Si膜などをCVD法などで形成した後、ホトリソグラフィ工程を用いてパターンニングする。また、イオンドーピングではリン(P)などのイオンを打ち込んでドーブ層9を形成する。プラズマドーピングでは、 PH_3 などのガスを用いプラズマを発生させ試料の表面を処理しドーブ層9を形成する。

10

【0019】

さらにこの上に保護性絶縁膜10を形成する。この際、CVD法などにより SiO_2 膜や SiN 膜などを形成することも可能であるし、感光性の樹脂あるいはSOG(塗付ガラス)を用いて形成することも可能である。また、ソースドレイン電極を金属で形成した場合、画素電極11として酸化物導電膜を用いて形成する。この場合、スパッタリング法で成膜したあとホトリソグラフィ工程でパターンニングする方法や、印刷法、インクジェット法などにより形成する方法などがある。

【0020】

図7に示すように、以上の工程で形成したTFTを配したアクティブマトリクス基板13上に配向膜14を形成し、スペーサ15を介して対向基板16を張り合わせ液晶17を封入し周辺回路を実装し、液晶表示パネルを完成する。

20

【0021】

本発明によれば、コントラストなどの画質が優れた液晶ディスプレイを生産性良く形成することが可能になる。

【0022】

以下、本発明の実施例について図面を用いて説明する。

【0023】

【実施例1】

図1に本発明による一実施例のアクティブマトリクス型の液晶表示装置の画素部の平面図、図2に図1の要部断面図(A-A')を示す。これらの図面を用いて実施例を説明する。なお、図2は断面図であるが、図を見易くするためにハッチングを省略している。

30

【0024】

絶縁基板1上にスパッタリング法によりCr膜を200nmの厚さに成膜し、ホトリソグラフィ工程によりゲート配線2に加工する。次に、基板1をプラズマCVD装置中に設置し、ゲート絶縁層3として SiN 膜を350nm、半導体層4としてa-Si膜を200nmの厚さに形成する。原料ガスとして、 SiN 膜の成膜には、 SiH_4 、 NH_3 、 H_2 の混合ガス、a-Siの成膜には SiH_4 、 H_2 の混合ガスを用いている。ついで、ホトリソグラフィ工程によりa-Siを島状に加工する。

【0025】

次に、第2の絶縁層5として感光性SOGを塗布法で形成し、露光、現像によりソース電極6およびドレイン電極7に相当する除去部を形成する。この際、図3に示すように半導体層4のほぼ中央部に所定幅で形成した第2の絶縁層5(半導体層絶縁層5a)の幅をゲート電極2の幅より小さくするように形成している。

40

【0026】

第2の絶縁層5をパターン形成した後にソース電極6、ドレイン電極7をインクジェット法で形成する。この際、金属材料として媒体はトルエンで希釈した銅微粒子を用いている。銅微粒子の粒径は平均50ナノメートル、銅の濃度は約10質量%である。ついで、窒素ガス90%、酸素ガス10%の雰囲気中で300、5分間、熱処理し、さらに、窒素ガス80%、水素ガス20%の雰囲気中で300、2分間、熱処理している。

【0027】

50

ソース電極 6 とドレイン電極 7 を形成し、次に、保護性絶縁膜 10 として感光性 SOG を塗布法で形成し、露光、現像により コンタクトホール (スルーホール) 12 を形成する。また、このパターンをマスクとして、ゲート絶縁層 3 をドライエッチングする。

【0028】

ゲート絶縁層 3 をドライエッチングしたならば、画素電極 11 として酸化物導電膜を印刷法で形成する。この際、インジウムに対するスズの原子数濃度が 3at% の平均粒径 50nm のスズドープ酸化インジウム微粒子を溶質とし、アセチルアセトンとエタノールのアセチルアセトンに対するエタノールの濃度が 20vol% の混合溶液を溶媒とし、インジウムとスズの総量が 10mol/L となる塗布溶液を用いてスクリーン印刷法により画素電極 11 と配線端子部の被覆を形成する。塗布後、温度 120 の恒温炉で 10 分乾燥し、さらに 500 で

10

【0029】

図 7 に示すように作製したアクティブマトリクス基板 13 上に配向膜 14 を形成し、スペーサ 15 を介して対向基板 16 と張り合わせて液晶 17 を封入し、周辺回路を実装し液晶表示装置を作製する。アクティブマトリクス上の各トランジスタは均一な特性を示し、得られた液晶表示装置はコントラストが高く均一性の良好な画像を示すようになる。

【0030】

【実施例 2】

図 4 に本発明による一実施例のアクティブマトリクス型液晶表示装置の画素部の要部断面図を示す。

20

【0031】

図 4 に示す実施例 2 は実施例 1 と同様の方法で絶縁基板 1 上にゲート配線 2、ゲート絶縁層 3、半導体層 4、第 2 の絶縁層 5 を形成する。その後、 n^+a -Si 膜を CVD 法により成膜する。CVD 法では原料ガスとして SiH_4 、 PH_3 、 H_2 の混合ガスを用いている。さらに、ホトリソグラフィ工程によりコンタクト層 8 に加工する。

【0032】

次に、ソース電極 6、ドレイン電極 7 を印刷法により形成する。この際、金属材料として、媒体はトルエンで希釈した銅微粒子を用いている。銅微粒子の粒径は平均 50 ナノメートル、銅の濃度は約 20 質量% である。ついで、窒素ガス 90%、酸素ガス 10% の雰囲気中で 300、5 分間、熱処理し、さらに窒素ガス 80%、水素ガス 20% の雰囲気中で 300、2 分間、熱処理する。

30

【0033】

なお、実施例 2 では示すようにソース電極 6、ドレイン電極 7 の端部が第 2 の絶縁層 5 に接しないように構成している。

【0034】

さらに、この上に実施例 1 と同様に保護性絶縁膜 10 と画素電極 11 を形成する。

【0035】

図 7 に示すように作製したアクティブマトリクス基板 13 上に配向膜 14 を形成し、スペーサ 15 を介して対向基板 16 と張り合わせて液晶 17 を封入し、周辺回路を実装し液晶表示装置を作製する。アクティブマトリクス上の各トランジスタは均一な特性を示し、得られた液晶表示装置はコントラストが高く均一性の良好な画像を示すようになる。

40

【0036】

【実施例 3】

図 5 に本発明による一実施例のアクティブマトリクス型液晶表示装置の画素部の要部断面図を示す。

【0037】

図 5 に示す実施例 3 も実施例 1 と同様の方法で絶縁基板 1 上にゲート配線 2、ゲート絶縁層 3、半導体層 4 を積層配置し、第 2 の絶縁層 5 を形成している。その後、 PH_3 と He を混合したガスを用いたプラズマ処理を施し、この工程によりドープ層 9 を形成している。

【0038】

50

ドープ層 9 を形成した後に、ソース電極 6 とドレイン電極 7 を印刷法により形成する。この際、塗布材料として金属材料として媒体はトルエンで希釈した銅微粒子を用いている。銅微粒子の粒径は平均 50 ナノメートル、銅の濃度は約 10 質量% である。ついで、窒素ガス 90%、酸素ガス 10% の雰囲気中で 300、5 分間、熱処理し、さらに、窒素ガス 80%、水素ガス 20% の雰囲気中で 300、2 分間、熱処理している。

【0039】

実施例 3 においても図 5 に示すようにソース電極 6 とドレイン電極 7 の端部が第 2 の絶縁層 5 に接しない構成にしている。さらに、この上に実施例 1 と同様に保護性絶縁膜 10、画素電極 11 を形成する。

【0040】

図 7 に示すように作製したアクティブマトリクス基板 13 上に配向膜 14 を形成し、スペーサ 15 を介して対向基板 16 と張り合わせて液晶 17 を封入し、周辺回路を実装し液晶表示装置を作製する。アクティブマトリクス上の各トランジスタは均一な特性を示し、得られた液晶表示装置はコントラストが高く均一性の良好な画像を示すようになる。

【0041】

【実施例 4】

図 6 に本発明による一実施例のアクティブマトリクス型液晶表示装置の画素部の要部断面図を示す。

【0042】

図 6 に示す実施例 4 も実施例 1 と同様の方法で、絶縁性基板 1 上にゲート配線 2、ゲート絶縁層 3、半導体層 4 を形成し積層配置にする。半導体層 4 を加工した後、ホトリソグラフィ工程によりゲート絶縁層 3 の端子部にスルーホールを形成する。さらに、実施例 1 と同様の方法で第 2 の絶縁層 5 を形成する。

【0043】

第 2 の絶縁層 5 を形成した後に、ソース電極 6、ドレイン電極 7、画素電極 11 をインクジェット法により形成する。この際、塩化インジウムと塩化第一スズのインジウムに対するスズの原子数濃度が 3at% の混合物を溶質とし、アセチルアセトンとエタノールのアセチルアセトンに対するエタノールの濃度が 20vol% の混合溶液を溶媒とし、インジウムとスズの総量が 10mol/L となる塗布溶液を用いている。塗布後、500 で 1 時間焼成する。

【0044】

その後、実施例 1 ~ 3 と同様に、図 7 に示すように作製したアクティブマトリクス基板 13 上に配向膜 14 を形成し、スペーサ 15 を介して対向基板 16 と張り合わせて液晶 17 を封入し、周辺回路を実装し液晶表示装置を作製する。アクティブマトリクス上の各トランジスタは均一な特性を示し、得られた液晶表示装置はコントラストが高く均一性の良好な画像を示すようになる。

【0045】

このようにしてアクティブマトリクス型の液晶表示装置を構成するのであるが、ソース電極およびドレイン電極を形成する前に第 2 の絶縁層をパターン形成し、第 2 の絶縁層を除去した部分にソース電極およびドレイン電極を塗付して形成している。このため、ソース電極およびドレイン電極を簡単に短時間に形成することができるので、生産性を向上させることができる。

【0046】

また、半導体層のほぼ中央部に形成される第 2 の絶縁層の半導体層上絶縁層の幅をゲート電極の幅より小さく形成しているため、ゲート電圧によって活性化できる半導体層の領域がソース電極あるいはドレイン電極から外れることなく TFT の機能を満足できるようになる。

【0047】

【発明の効果】

本発明はソース電極およびドレイン電極を形成する前に第 2 の絶縁層をパターン形成し、

10

20

30

40

50

第2の絶縁層を除去した部分にソース電極およびドレイン電極を塗付して形成している。このため、ソース電極およびドレイン電極を簡単に短時間に形成することができるので、生産性を向上させることができる。また、半導体層のほぼ中央部に形成される第2の絶縁層の半導体層上絶縁層の幅をゲート電極の幅より小さく形成しているため、ゲート電圧によって活性化できる半導体層の領域がソース電極あるいはドレイン電極から外れることなくTFTの機能を満足できるようになる。

【図面の簡単な説明】

- 【図1】 本発明の一実施例を示す平面図である。
- 【図2】 本発明の一実施例の要部を示す図1のA-A'断面図である。
- 【図3】 本発明の一実施例のTFTの断面図である。
- 【図4】 本発明の他の実施例を示す要部断面図である。
- 【図5】 本発明の他の実施例を示す要部断面図である。
- 【図6】 本発明の他の実施例を示す要部断面図である。
- 【図7】 本発明による液晶表示装置の一例断面図である。

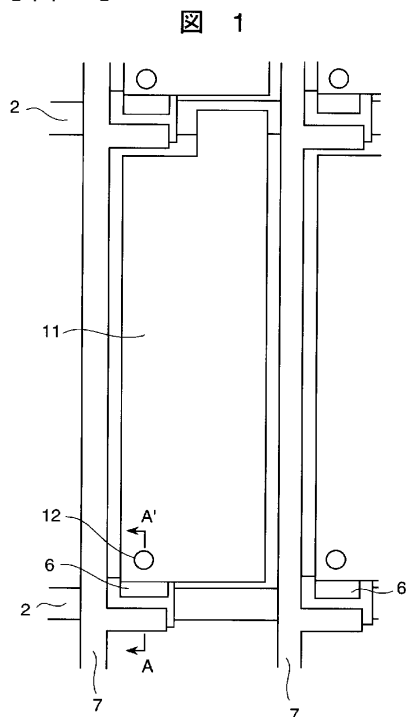
10

【符号の説明】

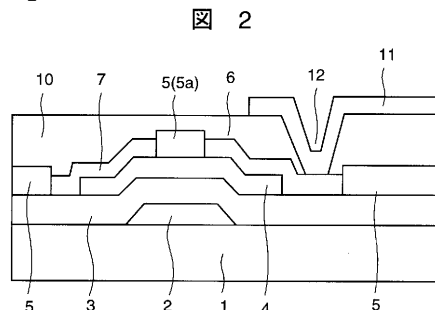
1 ... 絶縁基板、2 ... ゲート電極（配線）、3 ... ゲート絶縁層、4 ... 半導体層、5 ... 第2の絶縁層、5a ... 第2の絶縁層の半導体層上絶縁層、6 ... ソース電極、7 ... ドレイン電極、8 ... コンタクト層、9 ... ドープ層、10 ... 保護性絶縁膜、11 ... 画素電極、12 ... コンタクトホール、13 ... アクティブマトリクス基板、14 ... 配向膜、15 ... スペース、16 ... 対向基板、17 ... 液晶、18 ... 透明導電膜、19 ... カラーフィルタ。

20

【図1】

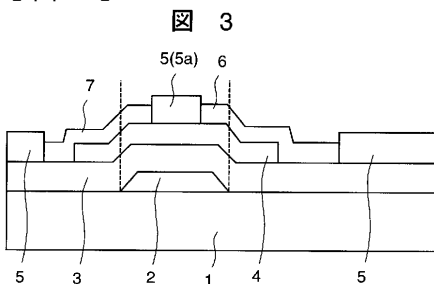


【図2】

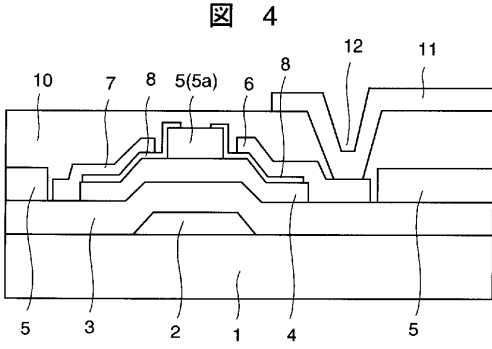


1...絶縁基板、2...ゲート電極(配線)、3...ゲート絶縁層、4...半導体層、
5...第2の絶縁層、5a...第2の絶縁層の半導体層上絶縁層、6...ソース電極、
7...ドレイン電極、8...コンタクト層、10...保護性絶縁膜、11...画素電極、
12...コンタクトホール

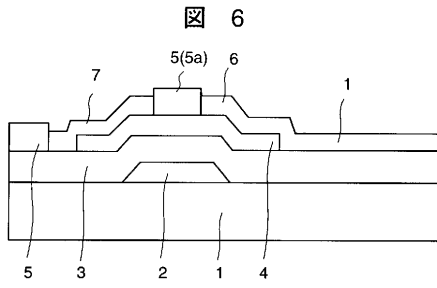
【図3】



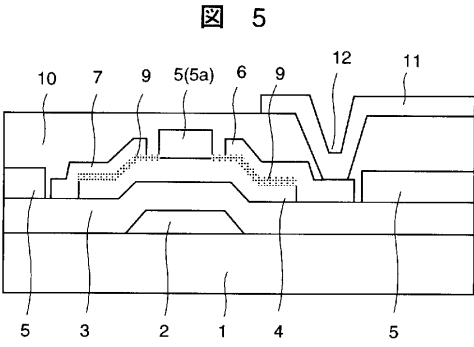
【 図 4 】



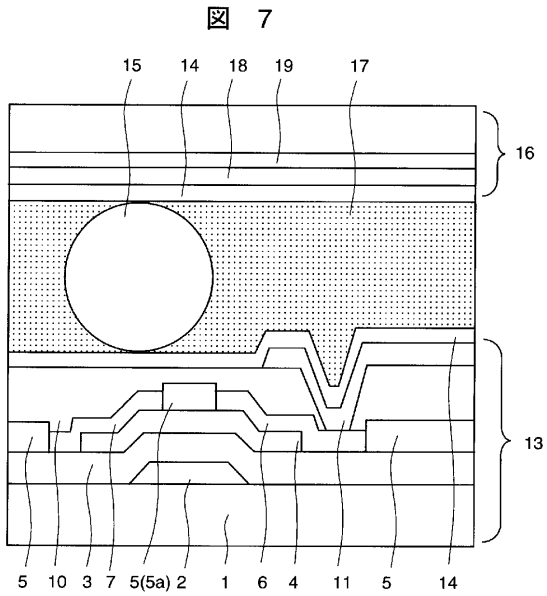
【 図 6 】



【 図 5 】



【 図 7 】



フロントページの続き

- (72)発明者 西村 悦子
茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内
- (72)発明者 宮内 昭浩
茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内

審査官 藤田 都志行

- (56)参考文献 特開平02-139972(JP,A)
特開平02-232935(JP,A)
特開平11-186561(JP,A)
国際公開第01/045147(WO,A1)
国際公開第00/079617(WO,A1)
国際公開第00/059041(WO,A1)
特開2002-246604(JP,A)
特開2003-058077(JP,A)
特表2003-518754(JP,A)
特表2003-505889(JP,A)
国際公開第01/017029(WO,A1)
米国特許第06197663(US,B1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

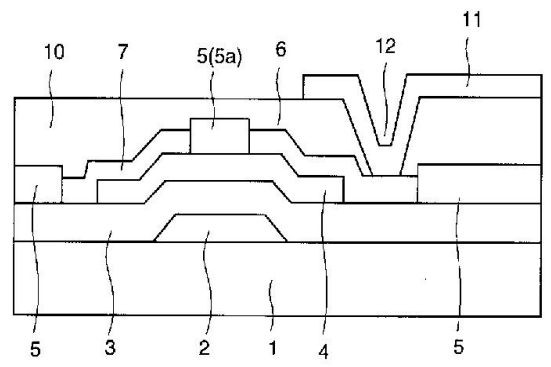
H01L 29/786

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP3980312B2	公开(公告)日	2007-09-26
申请号	JP2001293212	申请日	2001-09-26
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	若木政利 茶原健一 西村悦子 宫内昭浩		
发明人	若木 政利 茶原 健一 西村 悦子 宫内 昭浩		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 H01L21/288 H01L51/00 H01L51/05		
FI分类号	G02F1/1368 H01L29/78.616.K H01L29/78.619.A H01L21/288.Z H01L29/28 H01L29/28.100.A		
F-TERM分类号	2H092/GA11 2H092/GA17 2H092/GA25 2H092/GA26 2H092/GA29 2H092/GA30 2H092/GA60 2H092/JA26 2H092/JA31 2H092/JA34 2H092/JA36 2H092/JA38 2H092/JA42 2H092/JA46 2H092/JB58 2H092/KA18 2H092/KB01 2H092/KB04 2H092/KB05 2H092/MA01 2H092/MA10 2H092/NA27 2H092/NA29 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB36 2H192/CB71 2H192/CC04 2H192/HA23 4M104/AA10 4M104/BB01 4M104/BB02 4M104/BB04 4M104/BB05 4M104/BB08 4M104/BB09 4M104/BB13 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104/BB36 4M104/CC05 4M104/DD26 4M104/DD43 4M104/DD51 4M104/EE03 4M104/EE09 4M104/EE14 4M104/EE17 4M104/GG09 4M104/HH20 5F110/AA16 5F110/BB01 5F110/CC07 5F110/CC08 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE25 5F110/EE42 5F110/EE44 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF27 5F110/FF29 5F110/GG02 5F110/GG05 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG24 5F110/GG42 5F110/GG44 5F110/HJ01 5F110/HJ12 5F110/HJ18 5F110/HK02 5F110/HK04 5F110/HK07 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK25 5F110/HK32 5F110/HL07 5F110/HL22 5F110/HL23 5F110/NN03 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN36 5F110/QQ06		
代理人(译)	高田幸彦 竹ノ内 胜		
其他公开文献	JP2003098548A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置及其制造方法，能够提高材料的生产率和利用率。解决方案：布置第二绝缘层5，其在半导体层4的中心部分处具有指定宽度的半导体层顶部绝缘层5a，并且还形成为在栅极绝缘层3上图案化。通过涂敷在半导体层4上形成源电极6和漏电极7，并且半导体层顶部绝缘层5a的宽度形成为小于栅电极2的宽度。

図 2



絶縁基板、2…ゲート電極(配線)、3…ゲート絶縁層、4…半導体層、