

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3572071号

(P3572071)

(45) 発行日 平成16年9月29日(2004.9.29)

(24) 登録日 平成16年7月2日(2004.7.2)

(51) Int.Cl.⁷

F I

G09G 3/36

G09G 3/36

G02F 1/133

G02F 1/133 550

G09G 3/20

G09G 3/20 611A

G09G 3/20 611D

G09G 3/20 621M

請求項の数 5 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2003-425395 (P2003-425395)
 (22) 出願日 平成15年12月22日(2003.12.22)
 (62) 分割の表示 特願平7-115613の分割
 原出願日 平成7年5月15日(1995.5.15)
 (65) 公開番号 特開2004-110076 (P2004-110076A)
 (43) 公開日 平成16年4月8日(2004.4.8)
 審査請求日 平成15年12月22日(2003.12.22)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100077849
 弁理士 須山 佐一
 (72) 発明者 青木 良朗
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝 横浜事業所内
 (72) 発明者 佐藤 肇
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝 横浜事業所内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

マトリックス状に互いに交差して配線された複数の信号線と複数の走査線と、前記走査線と前記信号線との交差部ごとに配設され前記走査線から印加される走査信号電圧に基づいて開閉が制御される画素部スイッチング素子と、前記信号線から前記画素部スイッチング素子を介して供給された映像信号電圧を液晶層に印加しこれを駆動する画素電極とを有する液晶表示素子と、前記映像信号電圧を前記複数の信号線に選択的に印加してこれを駆動する信号線駆動回路と、前記走査信号電圧を前記複数の走査線に選択的に印加してこれを駆動する走査線駆動回路と、を備えた液晶表示装置において、

正相の映像信号が印加される第1の配線と、

10

負相の映像信号が印加される第2の配線と、

ソース・ドレインのうち一方の端子が前記第1の配線に接続され他端は前記信号線のうちの一本に接続され、タイミング発生回路にゲートが接続されてオン・オフを制御される第1のスイッチング素子と、

ソース・ドレインのうち一方の端子が前記第2の配線に接続され他端は前記信号線のうちの前記第1のスイッチング素子が接続されている一本の信号線に接続され、前記タイミング発生回路にゲートが接続されてオン・オフを制御される第2のスイッチング素子と、を備え、

前記第1のスイッチング素子および前記第2のスイッチング素子は、いずれもMOSトランジスタ構造のスイッチング素子であり、

20

一方の電極として前記第 1 のスイッチング素子の開閉を制御するための電圧とは逆極性である電圧が印加される電極とこれに誘電体層を介して対向する他方の電極として前記信号線のうちの一本に接続された電極とを備えた第 1 の容量と、

一方の電極として前記第 2 のスイッチング素子の開閉を制御するための電圧とは逆極性である電圧が印加される電極とこれに誘電体層を介して対向する他方の電極として前記第 1 の容量が接続されている一本の信号線に接続された電極とを備えた第 2 の容量とを具備することを特徴とする液晶表示装置。

【請求項 2】

請求項 1 記載の液晶表示装置において、前記タイミング発生回路および前記走査線駆動回路が、前記各画素電極に対応する液晶層を点順次に選択的に駆動することを特徴とする液晶表示装置。 10

【請求項 3】

請求項 1 記載の液晶表示装置において、

前記第 1 の配線と前記第 2 の配線とが各一本ずつを一組として複数組配設されており、前記第 1 のスイッチング素子が前記第 1 の配線の本数と同数個配設されており、

前記第 2 のスイッチング素子が前記第 2 の配線の本数と同数個配設されており、

前記複数の第 1 のスイッチング素子のうち同じ一つの第 1 の配線に接続された第 1 のスイッチング素子どうしが同一ブロックとして同じタイミングで選択され、かつ前記複数の第 2 のスイッチング素子のうち同じ一つの第 2 の配線に接続された第 2 のスイッチング素子どうしが同一ブロックとして同じタイミングで選択されて、前記画素電極に対応する各液晶層を前記ブロックごとに対応して選択的にブロック駆動することを特徴とする液晶表示装置。 20

【請求項 4】

請求項 1 乃至 3 記載の液晶表示装置において、前記第 1 のスイッチング素子および前記第 2 のスイッチング素子が、少なくとも前記画素部スイッチング素子と同一の基板上に配設されていることを特徴とする液晶表示装置。

【請求項 5】

請求項 1 乃至 4 記載の液晶表示装置において、前記正相の映像信号をスイッチングする前記第 1 のスイッチング素子は p 型 MOS トランジスタであり、前記負相の映像信号をスイッチングする前記第 2 のスイッチング素子は n 型 MOS トランジスタであることを特徴とする液晶表示装置。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の液晶表示装置に係り、特に表示領域内の信号線及び画素電極を交流駆動するための映像信号の供給方法と液晶表示装置の駆動回路に関する。

【背景技術】

【0002】

液晶表示装置は、薄型、低消費電力等の特長を生かして、テレビあるいはグラフィックディスプレイなどの表示素子として盛んに利用されている。 40

【0003】

中でも、薄膜トランジスタ (Thin Film Transistor; 以下、TFT と略称) をスイッチング素子として用いたアクティブマトリクス型液晶表示装置は、高速応答性に優れ、高精細化に適しており、ディスプレイ画面の高画質化、大型化、カラー画像化を実現するものとして注目されている。

【0004】

このアクティブマトリクス型液晶表示装置は一般に、TFT のようなスイッチング用アクティブ素子とこれに接続された画素電極が配設されたアクティブ素子アレイ基板と、これに対向して配置される対向電極が形成された対向基板と、これら基板間に挟持される 50

液晶組成物と、さらに各基板の外表面側に貼設される偏光板とからその主要部分が構成されている。

【0005】

図8に、そのような液晶表示装置の構造および映像信号の供給方式の概要を示す。

【0006】

液晶表示素子801の表示領域802には、信号線803と走査線804とが縦・横方向に交差してマトリックス状に配線され、それら配線の各交差部ごとに画素部スイッチング素子としてTFT805が形成されている。そのTFT805には画素電極806が接続されている。TFT805のスイッチング動作によって画素電極806に対する電圧の印加がスイッチング(制御)される。

10

【0007】

映像信号は、映像信号供給回路807から供給されると、まず信号線駆動回路808に入る。その信号線駆動回路808の内部では、タイミング発生回路809にスイッチングのタイミングを制御されるスイッチング素子810によりスイッチングされた映像信号は、信号線803を経由して画素部スイッチング素子であるTFT805に供給される。このとき、走査線804が走査パルスをTFT805のゲートに印加すると、TFT805は開閉動作が制御されてON状態となり、画素電極806に映像信号に基づいた電圧を供給する。

【0008】

一方、対向電極811は、例えば図8の例では接地されている。従って、前記の画素電極806の電圧が液晶画素812に液晶印加電圧として印加される。

20

【0009】

このように信号線803、走査線804はそれぞれ信号線駆動回路809、走査線駆動回路813によって順次に駆動され、TFT805が上記の開閉動作を繰り返すことで、所定の映像信号電圧が各液晶画素812に印加されて液晶表示装置の画面に表示が成される。なお、対向電極811には一定の電圧や特定の波形の電圧を印加する場合もある。

【0010】

一般に、液晶表示装置においては、液晶画素812に直流的な電圧を印加すると液晶組成物自体の劣化が起こり、液晶画素812の焼付きが発生する。あるいは信号線803と画素電極806との間に生じる容量等による悪影響を受けて表示品質が低下するという問題がある。従ってこれらの問題を防ぐために、各液晶画素に対して交互に交流的に変化する正相と負相の映像信号を供給する必要がある。

30

【0011】

正相の映像信号は対向電極811の電位(以下、Vcomと略称)よりも高電位側の映像信号であり、負相の映像信号はVcomよりも低電位側の映像信号である。これらの映像信号が交互に供給されることで、信号線803および画素電極806はいわゆる交流駆動された状態となる。

【0012】

従来の液晶表示装置では、これら正相と負相の映像信号は同一の配線で供給されるため、正相と負相で映像信号が切り替わるごとに、逆相の電位に変化するまで配線内の電荷を充放電しなければならず、外部の映像信号供給回路の消費電力が、交流駆動しない場合に比較して増加してしまうという問題があった。これを図9の波形図に模式的に示す。なお図9(a)は交流駆動しない場合を示し、図9(b)は交流駆動の場合を示している。

40

【0013】

さらには、信号線駆動回路807に着目すると、画素部スイッチング素子はn型のMOSトランジスタ(MOSTFT)が用いられる場合が多い。

【0014】

MOSTランジスタは一般に、図10に示すように、印加される映像信号電圧の正相と負相とでON抵抗およびOFF抵抗が異なった値をとる。これは信号線803への映像信号電圧の書き込み易さおよび映像信号電圧の保持率が、正相と負相とで異なるということ

50

である。その結果、画面を表示した際に、正相が印加されている画素の表示状態と負相が印加されている画素の表示状態とが異なったものとなり、それがムラとなって視認されるという問題が生じる。

【 0 0 1 5 】

さらには、図 1 1 に示すように、M O S トランジスタは一般に O N / O F F に伴ってゲート O F F の瞬間に突き抜け電圧が発生する確率が高いが、その突き抜け電圧は前記の抵抗の場合と同様に正相と負相とで異なった電圧となる。このような M O S トランジスタの突き抜け電圧の現象も、信号線 1 2 0 1 への映像信号電圧の正相と負相との書き込みの違いが生じる要因となっていた。

【 0 0 1 6 】

上記の問題の解決を企図して、前者に対しては特開平 3 - 5 1 8 8 7 号公報に開示されているように、信号線 1 2 0 1 の一方の端の信号線駆動回路 1 2 0 2 から正相の映像信号を供給し、他方の端の信号線駆動回路 1 2 0 3 から負相の映像信号を供給する方法が提案されている。これを図 1 2、図 1 3 に示す。図 1 2 は駆動回路系および液晶表示素子の電気回路的構造を模式的に示す図、図 1 3 はその駆動回路系を示す図である。

【 0 0 1 7 】

しかしながら、この方式では、一つの水平走査線（つまり一つの行）に対応する各画素の映像信号電圧を全信号線 1 2 0 1 それぞれに一度に供給する、いわゆる線順次駆動の場合にしか適用できず、その他の例えば点順次駆動で映像信号を信号線 1 2 0 1 に供給する場合には適用出来ないという問題がある。

【 0 0 1 8 】

さらには、上記の方式は、一本の信号線 1 2 0 1 に対して映像信号は正相および負相のうちいずれか一方の極性の電圧しか供給できない。従って、例えばスイッチング素子の性能が低く O N 抵抗が高いあるいは書き込み時間が充分に取れないなどの問題がある場合、一本の信号線 1 2 0 1 に対してその両端から電圧を印加する必要が生じた場合などには適用できないという問題がある。

【 0 0 1 9 】

また後者の問題に対しては、n 型と p 型の M O S トランジスタを組み合わせたトランスファゲート型で駆動回路のスイッチング素子を構成するという方法が提案されている。これを図 1 4 に示す。このような構成を採ることで、正相は p 型、負相は n 型の M O S トランジスタをそれぞれ経由して映像信号電圧が出力されるため、正相の際と負相の際とでの T F T の O N 抵抗および O F F 抵抗の違いは最小限に抑えることが可能となり、正相および負相ともに O N 抵抗の小さい領域で信号線 1 2 0 1 および画素電極 8 0 6 に電圧を書き込むことができる。

【 0 0 2 0 】

さらには突き抜け電圧についても、p 型と n 型とで突き抜け電圧が相殺し合うために、単極性の M O S トランジスタでスイッチング素子を構成した場合と比較して突き抜け電圧を極めて小さくすることができる。

【 0 0 2 1 】

しかしながら、この方式では、正相の映像信号と負相の映像信号とを同一の配線で供給するため、外部の映像信号供給回路の消費電力は単極性の M O S トランジスタでスイッチング素子を構成した場合とほとんど変わらないという問題があった。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 2 2 】

以上に述べたように、従来の液晶表示装置においては、信号線を順次駆動するアクティブマトリクス型の液晶表示装置において、表示領域内の信号線、及び画素電極を交流駆動する際に、外部の映像信号供給回路の消費電力が、交流駆動しない場合に比べて増加し、さらに正相の映像信号と負相の映像信号とでは、信号線への書き込み、保持の条件が異なるため、この差異が表示上のムラとなって視認されるという問題があった。

10

20

30

40

50

【 0 0 2 3 】

本発明は、このような問題を解決するために成されたもので、その目的は、簡易な構造で低消費電力化を達成できしかも表示ムラを解消して高品質な表示性能を実現できる液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 2 4 】

本発明の液晶表示装置は、第 1 に、マトリックス状に互いに交差して配線された複数の信号線と複数の走査線と、前記走査線と前記信号線との交差点ごとに配設され前記走査線から印加される走査信号電圧に基づいて開閉が制御される画素部スイッチング素子と、前記信号線から前記画素部スイッチング素子を介して供給された映像信号電圧を液晶層に印加しこれを駆動する画素電極とを有する液晶表示素子と、前記映像信号電圧を前記複数の信号線に選択的に印加してこれを駆動する信号線駆動回路と、前記走査信号電圧を前記複数の走査線に選択的に印加してこれを駆動する走査線駆動回路と、を備えた液晶表示装置において、正相の映像信号が印加される第 1 の配線と、負相の映像信号が印加される第 2 の配線と、ソース・ドレインのうち一方の端子が前記第 1 の配線に接続され他端は前記信号線のうちの一本に接続され、タイミング発生回路にゲートが接続されてオン・オフを制御される第 1 のスイッチング素子と、ソース・ドレインのうち一方の端子が前記第 2 の配線に接続され他端は前記信号線のうちの前記第 1 のスイッチング素子が接続されている一本の信号線に接続され、前記タイミング発生回路にゲートが接続されてオン・オフを制御される第 2 のスイッチング素子とを備え、前記第 1 のスイッチング素子および前記第 2 のスイッチング素子は、いずれも MOS トランジスタ構造のスイッチング素子であり、一方の電極として前記第 1 のスイッチング素子の開閉を制御するための電圧とは逆極性である電圧が印加される電極とこれに誘電体層を介して対向する他方の電極として前記信号線のうちの一本に接続された電極とを備えた第 1 の容量と、一方の電極として前記第 2 のスイッチング素子の開閉を制御するための電圧とは逆極性である電圧が印加される電極とこれに誘電体層を介して対向する他方の電極として前記第 1 の容量が接続されている一本の信号線に接続された電極とを備えた第 2 の容量とを具備することを特徴としている。

【 0 0 2 5 】

また第 2 に、上記の第 1 の液晶表示装置において、前記タイミング発生回路および前記走査線駆動回路が、前記各画素電極に対応する液晶層を点順次に選択的に駆動することを特徴とする液晶表示装置である。

【 0 0 2 6 】

また、第 3 に、上記の第 1 の液晶表示装置において、前記第 1 の配線と前記第 2 の配線とが各一本ずつを一組として複数組配設されており、前記第 1 のスイッチング素子が前記第 1 の配線の本数と同数個配設されており、前記第 2 のスイッチング素子が前記第 2 の配線の本数と同数個配設されており、前記複数の第 1 のスイッチング素子のうち同じ一つの第 1 の配線に接続された第 1 のスイッチング素子どうしが同一ブロックとして同じタイミングで選択され、かつ前記複数の第 2 のスイッチング素子のうち同じ一つの第 2 の配線に接続された第 2 のスイッチング素子どうしが同一ブロックとして同じタイミングで選択されて、前記画素電極に対応する各液晶層を前記ブロックごとに対応して選択的にブロック駆動することを特徴とする液晶表示装置である。

【 0 0 2 7 】

また、第 4 に、上記の液晶表示装置において、前記第 1 のスイッチング素子および前記第 2 のスイッチング素子が、少なくとも前記画素部スイッチング素子と同一の基板上に配設されていることを特徴とする液晶表示装置である。

【 0 0 2 8 】

また、第 5 に、上記の液晶表示装置において、前記正相の映像信号をスイッチングする前記第 1 のスイッチング素子は p 型 MOS トランジスタであり、前記負相の映像信号をスイッチングする前記第 2 のスイッチング素子は n 型 MOS トランジスタであることを特徴とする液晶表示装置である。

10

20

30

40

50

【 0 0 2 9 】

(作用)

本発明によれば、映像信号を外部より供給する配線の駆動振幅が、同一の配線で正相、負相の映像信号を供給する場合よりも小さくなるため、外部の映像信号供給回路の消費電力を少なくとも映像信号を交流駆動しない場合と同程度にまで低減することができる。

【 0 0 3 0 】

また、正相・負相の映像信号を供給する際に問題となる、ON抵抗とOFF抵抗との違い、および突き抜け電圧の正相・負相での違いを、それぞれ最小限に抑えることが可能となる(つまり理論的には正相・負相で全く同じにすることが可能だが、実際には無視できる程度の極めて小さな誤差的な違いは残る可能性があるものと考えられる。)さらには、正相、負相の映像信号をともにON抵抗の小さい領域で信号線に書き込むことができ、OFF抵抗の高い領域で効果的に保持できるため、画面の表示ムラを低減することができる。

10

【 0 0 3 1 】

また、上記のような第1の容量及び第2の容量を配設することにより、信号線に接続された容量から突き抜け電圧とは逆極性の電荷をMOSトランジスタのゲートOFF時に信号線に供給することができるため、MOSトランジスタをスイッチング素子として採用した場合に問題となる突き抜け電圧自体の発生を低減することができる。

【 0 0 3 2 】

そして上記の各作用に加えて、第1のスイッチング素子および第2のスイッチング素子を画素部スイッチング素子と同一基板上つまり一般にいわゆるスイッチング素子アレイ基板と呼ばれる基板上に、画素部スイッチング素子と同様のプロセスでこれと並行して形成することもできるので、その製造プロセスや構造を煩雑化することなく形成可能であるという利点も得ることができる。

20

【 0 0 3 3 】

その結果、本発明に係る液晶表示装置は簡易な構造により、低消費電力化を達成でき、しかも表示ムラを解消して高品質な表示性能を実現できる。

【発明の効果】

【 0 0 3 4 】

本発明によれば、簡易な構造で低消費電力化を達成できしかも表示ムラを解消して高品質な表示性能を実現できる液晶表示装置を提供することができる。

30

【発明を実施するための最良の形態】

【 0 0 3 5 】

以下、本発明の液晶表示装置の実施例を、図面を参照して詳細に説明する。

【 0 0 3 6 】

(実施例1)

図1は本発明に係る第1の実施例の液晶表示装置の電気回路的な構成の概要を示す図である。なお、本実施例においては液晶表示パネル(液晶表示素子)の部分は従来の液晶表示装置とほぼ同様の構造としたので、その部分についての詳述は省略し、本発明の主要部に係る部分を中心として以下に述べる。

40

【 0 0 3 7 】

映像信号供給回路1は、映像信号を信号線駆動回路2に供給する。

【 0 0 3 8 】

その映像信号は正相、負相に分離した形でそれぞれ別の配線3、4を通して信号線駆動回路2に供給される。

【 0 0 3 9 】

供給された正相、負相の映像信号は、信号線駆動回路2の内部のそれぞれ別のスイッチング素子5、6に供給される。例えばスイッチング素子5には正相の映像信号が、スイッチング素子6には負相の映像信号が、それぞれ供給される。そしてこの正相、負相にそれぞれ対応した2本の隣り合うスイッチング素子5、6どうしは同じ一本の信号線9に接続

50

されている。

【0040】

そしてスイッチング素子5、6は、各々がタイミング発生回路7から送られる信号によって開・閉動作をそれぞれ行なって、表示領域8内の各信号線9に対して正相、負相の映像信号をそれぞれ順次駆動で書き込んでいく。

【0041】

この正相の映像信号、負相の映像信号の、信号線9への書き込みを、一水平ラインごともしくは一画面ごとに切り換えることで、表示領域8内の信号線9を介して画素電極10に映像信号電圧を印加して液晶画素11を交流的に駆動し、映像（画像）を表示する。なお、各液晶画素11は、各画素電極10と対向電極12とが液晶層13を介して対向する部分ごとに形成されている。また各走査線14は走査線駆動回路15に接続されて走査パルスを印加され、画素領域内のいわゆる画素部スイッチング素子としてのTFT16のスイッチング動作を制御するように配設されていることは言うまでもない。また、信号線駆動回路2は、少なくともその内部のスイッチング素子5、6は、画素部スイッチング素子としてのTFT16が形成されているTFTアレイ基板の上にTFT16と同じ形成材料を用いて同様の構造のTFTとして形成することが望ましい。そしてこのとき、スイッチング素子5、6のTFTの製造は、画素部スイッチング素子としてのTFT16の製造プロセスと並行して行なうようにしてもよい。

10

【0042】

このような構造を採ることにより、外部の映像信号供給回路1の消費電力を、表示領域8内の液晶画素11を交流駆動しない場合と比べて少なくとも同程度にまで低減することができる。

20

【0043】

しかも、信号線駆動回路2をTFT16が形成されているTFTアレイ基板の上にTFT16と同じ形成材料を用いて同様の構造に形成することにより、信号線駆動回路2の構造および製造プロセスを大幅に簡易化することができる。

【0044】

（実施例2）

図2は、第1の実施例において図1に示した信号線駆動回路2と同様の信号線駆動回路2'を、表示領域8の上下にも配設して、信号線駆動回路を信号線の上下両端に配置した構造の液晶表示装置の、電気的な構成の概要を等価回路図として模式的に示した図である。なお、説明の簡潔化のために、この第2の実施例においても、上記第1の実施例と同様の部位には同じ符号を付して示している。

30

【0045】

信号線駆動回路2'には、映像信号供給回路1からの出力を供給するための配線3'、4'が接続されており、さらにその配線3'、4'にはそれぞれスイッチング素子5'、6'が接続されている。そしてスイッチング素子5'、6'は、各々がタイミング発生回路7'から送られる信号によって開・閉動作をそれぞれ行なう。このように構造及び動作ともに信号線駆動回路2と信号線駆動回路2'は対称的に（同じに）形成されている。

【0046】

従来の、正相の映像信号電圧を出力する信号線駆動回路と負相の映像信号電圧を出力する信号線駆動回路とを、一本の信号線の上端と下端とにそれぞれ接続した構造の液晶表示装置では、一度に一本の信号線の上下両端に同じ映像信号電圧を書き込む（印加する）ことができなかった。しかし、本発明によれば、上記に示した構造を採ることにより、正相、負相の映像信号を信号線9の上下両端から書き込むことが可能となる。

40

【0047】

これにより、本発明によれば、例えばスイッチング素子5、6のON抵抗が高いあるいは書き込み時間が充分に取れないといった場合に、実質的な信号線駆動のための負荷を1/2にすることができる。

【0048】

50

(実施例3)

図3は、第1の実施例において図1に示した信号線駆動回路の駆動相数を2相に増加した場合、つまり信号線を2つのブロックに分けていわゆるブロック駆動を行なう、ブロック駆動方式の液晶表示装置に本発明を適用した場合の一実施例を示す図である。なお、説明の簡潔化のために、この第3の実施例においても、上記第1の実施例と同様の部位には同じ符号を付して示している。このようなブロック駆動方式は、図2の実施例の場合と同様に信号線駆動回路内のスイッチング素子のON抵抗が高いあるいは書き込み時間が充分に取れないといった場合に、実質的な書き込み時間を2倍にするために用いられる方式である。

【0049】

10

すなわち、映像信号供給回路1から、映像信号として正相、負相に分離した形で、正相は配線3a、3bによって、また負相は配線4a、4bによって、それぞれ信号線駆動回路2に供給される。

【0050】

供給された正相、負相の映像信号は、信号線駆動回路2の内部のそれぞれ別のスイッチング素子5a、5b、6a、6bに供給される。スイッチング素子5a、5bには正相の映像信号が、スイッチング素子6a、6bには負相の映像信号が、それぞれ供給される。そしてこの正相、負相にそれぞれ対応した2本の隣り合うスイッチング素子5a、6aどうしは同じ一本の信号線9aに接続されている。またスイッチング素子5b、6bどうしは同じ一本の信号線9bに接続されている。

20

【0051】

ここで、信号線9aとは図中左から奇数番目の信号線を示すものであり、信号線9bとは図中左から偶数番目の信号線を示すものである。

【0052】

そして、スイッチング素子5a、6a、5b、6bは、各々がタイミング発生回路7から送られる信号によって開・閉動作をそれぞれ行なって、表示領域8内の各信号線9a、9bそれぞれを各1ブロックとして、その1ブロックごとに個別に制御しながら、正相、負相の映像信号を交互に印加して液晶画素11の駆動を行なう。このとき、奇数番目の信号線9aと偶数番目の信号線9bとが別ブロックで駆動されるので、駆動相数が2相となり、実質的な書き込み時間を2倍にすることができる。

30

【0053】

なお、上記のように映像信号を正相、負相に分離した形で、外部の映像信号供給回路からそれぞれ別の配線を通して液晶表示装置に供給し、正相、負相の映像信号を信号線駆動回路内のそれぞれ別個のスイッチング素子によって制御する形式を取るものであれば、上記の信号線駆動回路2は第2の実施例のように上下対称に配設されていても良い。

【0054】

また、駆動相が2相以上であっても、上記と同様の効果を実現することができることは言うまでもない。

【0055】

(実施例4)

40

図4は、本発明に係る第4の実施例の液晶表示装置の電気回路的な構成の概要を示す図である。なお、説明の簡潔化のために、この第4の実施例においても、上記第1の実施例と同様の部位には同じ符号を付して示している。

【0056】

信号線駆動回路2内のスイッチング素子はMOS型のトランジスタで構成されている。正相の映像信号をp型のMOSトランジスタ301が制御し、負相の映像信号をn型のMOSトランジスタ302が制御する。

【0057】

従って、このような構成を採ることにより、映像信号は正相、負相いずれもON抵抗の低い領域でスイッチング素子の抵抗値が正相と負相とでほとんど同じという条件下で映像

50

信号電圧の書き込みができ、しかもOFF抵抗の高い領域で映像信号電圧を液晶画素11に保持できるため、画面の表示ムラを従来よりも飛躍的に小さくすることができる。

【0058】

また、本実施例に示した技術は、スイッチング素子として例えば性能の低い素子を使用することも可能となるため、信号線駆動回路2内のスイッチング素子を、信号線9、走査線14、及び画素スイッチング素子16と同一のTFTアレイ基板上に形成した液晶表示装置においても、特に好適に用いることができる。

【0059】

(実施例5)

図5は、本発明に係る第5の実施例の液晶表示装置の回路構成の概要を模式的に示す図である。なお、説明の簡潔化のために、この第5の実施例においても、上記第1の実施例と同様の部位には同じ符号を付して示している。

【0060】

信号線駆動回路2内の各スイッチング素子はいずれも、n型のMOSトランジスタ302で形成されている。

【0061】

そのMOSトランジスタ302は、インバータ素子401を介して、それぞれのゲート駆動信号電圧とは逆極性の信号電圧が印加されて駆動される容量402に接続されている。

【0062】

各MOSトランジスタ302のゲート駆動信号電圧は、インバータ素子401で極性を反転されて出力され、容量402に印加される。

【0063】

このような容量402を備えた構造を採ることにより、その容量402から供給される逆極性の電荷の補充によって、MOSトランジスタ302のゲート開閉時に発生する突き抜け電圧を低減することができる。

【0064】

(実施例6)

図6は、第4の実施例で述べたようなp型のMOSトランジスタ301およびn型のMOSトランジスタ302を組み合わせる用いた液晶表示装置に、図5に示した第5の実施例の容量402と同様の容量403a、bを具備した構造の信号線駆動回路2を適用した場合の一実施例を示す回路構成図である。なお、説明の簡潔化のために、この第6の実施例においても、上記第1の実施例と同様の部位には同じ符号を付して示している。

【0065】

ここで、スイッチング素子であるMOSトランジスタの極性がp型の場合であってもそのゲート電極駆動の極性がn型とp型とでは異なるため、p型MOSトランジスタ301に付随する容量403aを駆動する信号電圧もそれに対応して極性が変化して、その容量403aから供給される突き抜け電圧補償のための電荷の極性がn型MOSトランジスタ302に付随する容量403bとは逆の極性となる。その結果、本実施例のように、p型のMOSトランジスタ301とn型のMOSトランジスタ302とを組み合わせる構造の液晶表示装置の場合であっても、例えば第5図の実施例のようなn型のMOSトランジスタ401のみを用いた場合と同様に、突き抜け電圧を低減する効果を得ることができる。

【0066】

(実施例7)

図7は、図6の実施例の液晶表示装置において、容量403a、403bの代りにMOSトランジスタ701a、701bを配置し、そのチャンネル容量を容量403a、403bとして用いた場合の回路構成の概要を示す図である。

【0067】

p型のトランジスタ301にはn型MOSトランジスタ701aのチャンネル容量を付随させ、n型のトランジスタ302にはp型MOSトランジスタ701bのチャンネル容量を

10

20

30

40

50

付随させている。

【 0 0 6 8 】

このような構造を採ることにより、突き抜け電圧の原因であるM O Sトランジスタのゲート容量と同様の容量が突き抜け電圧の補償に使用できるので、より正確な形でスイッチング素子の突き抜け電圧を補償することが可能となる。その結果、トランスファゲート型でスイッチング素子を構成した場合と少なくとも同程度にまで突き抜け電圧の値を低減することができる。

【 0 0 6 9 】

なお、上記の各種の突き抜け電圧を補償する容量は、以上のように突き抜け電圧を低減する電荷を供給するものであれば、容量値やチャネル容量の極性等はどのような値、極性を持っていても構わない。また、M O Sトランジスタ駆動の信号と逆極性の信号を得ることが出来るのであれば、第5の実施例に示したようにM O Sトランジスタのゲート駆動信号からインバータを介して容量を駆動するための信号を得ることは必須ではないことは言うまでもない。

10

【 0 0 7 0 】

本発明の適用は、以上に述べた各実施例のみに限定されるものではない。信号線を順次駆動するアクティブマトリックス方式の液晶表示装置において、表示領域内の信号線、画素電極が交流駆動される方式の液晶表示装置であれば、駆動回路が表示領域の上下に形成されていても良く、あるいは駆動相数が2相以上であっても構わない。また、駆動回路内のタイミング発生回路の回路構成や、駆動回路の設置方法、構成素子及び駆動回路の形成方法などが上記とは異なる場合にも、上記と同様の動作の液晶表示装置であれば、上記と同様の効果を得ることができることは言うまでもない。

20

【図面の簡単な説明】

【 0 0 7 1 】

【図1】第1の実施例の液晶表示装置の電気回路的な構成の概要を示す図である。

【図2】第2の実施例の液晶表示装置の電気回路的な構成の概要を示す図である。

【図3】第3の実施例の液晶表示装置の電気回路的な構成の概要を示す図である。

【図4】第4の実施例の液晶表示装置の電気回路的な構成の概要を示す図である。

【図5】第5の実施例の液晶表示装置の電気回路的な構成の概要を示す図である。

【図6】第6の実施例の液晶表示装置の電気回路的な構成の概要を示す図である。

30

【図7】第7の実施例の液晶表示装置の電気回路的な構成の概要を示す図である。

【図8】従来の液晶表示装置の構造及び映像信号の供給方式の概要を示す図である。

【図9】従来の液晶表示装置の問題点を、波形図に模式的に示す図である。

【図10】M O Sトランジスタのオフ抵抗が正相・負相で異なることを示す図である。

【図11】M O Sトランジスタの突き抜け電圧の発生を模式的に示す図である。

【図12】従来の液晶表示装置の構造及び映像信号の供給方式の概要を示す図である。

【図13】従来の液晶表示装置の構造及び映像信号の供給方式の概要を示す図である。

【図14】従来の液晶表示装置の構造及び映像信号の供給方式の概要を示す図である。

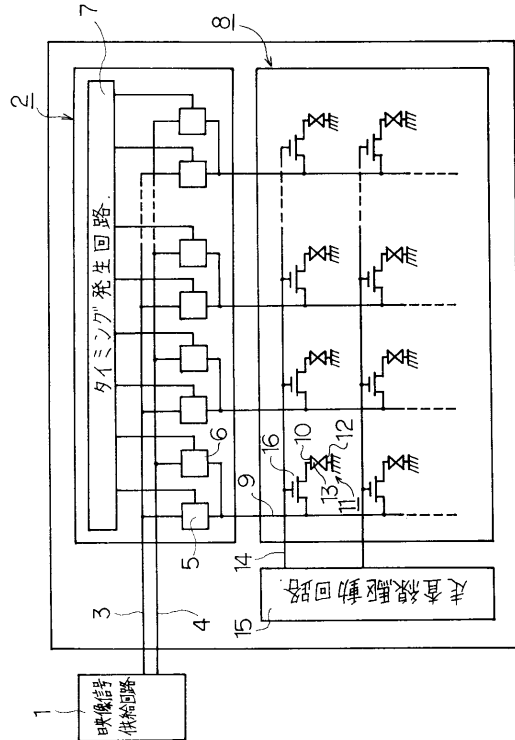
【符号の説明】

【 0 0 7 2 】

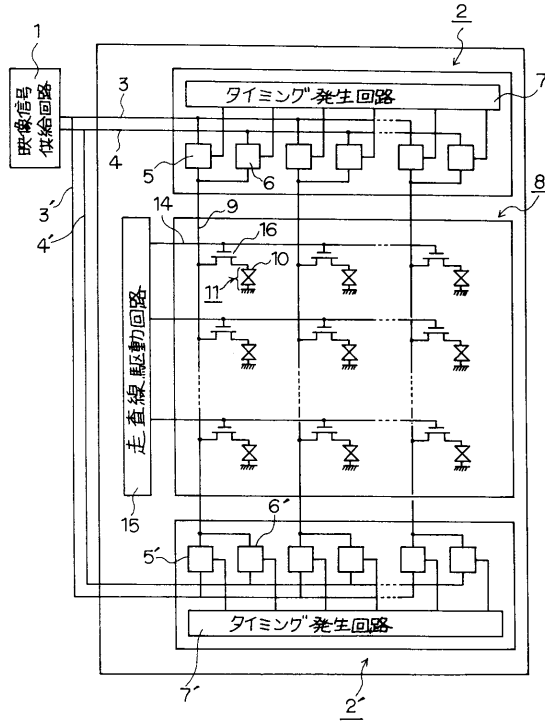
40

1 ... 映像信号供給回路、2 ... 信号線駆動回路、3 ... 配線、4 ... 配線、5 ... スwitchング素子、6 ... スwitchング素子、7 ... タイミング発生回路、8 ... 表示領域、9 ... 信号線、10 ... 画素電極、11 ... 液晶画素、12 ... 対向電極、13 ... 液晶層、14 ... 走査線、15 ... 走査線駆動回路、16 ... T F T

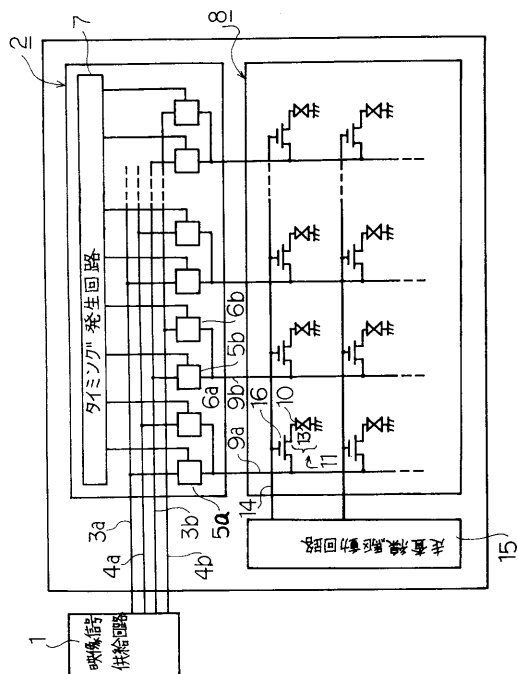
【図 1】



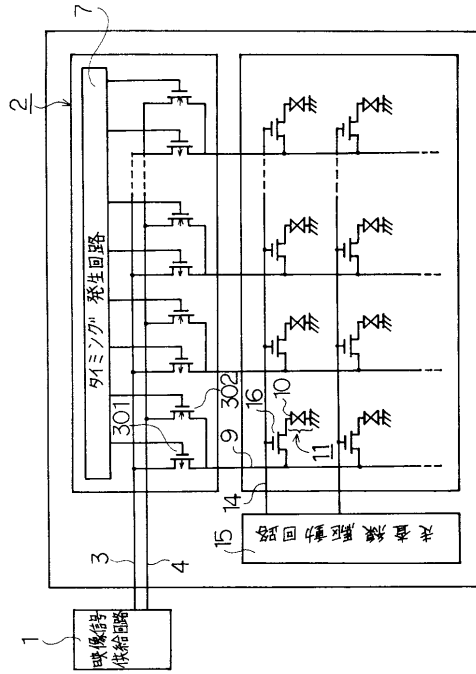
【図 2】



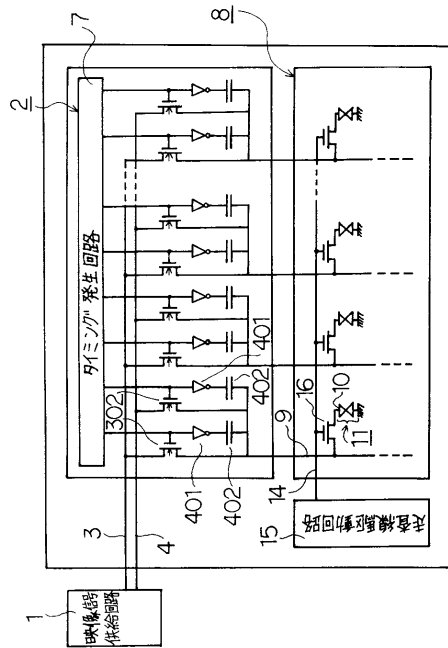
【図 3】



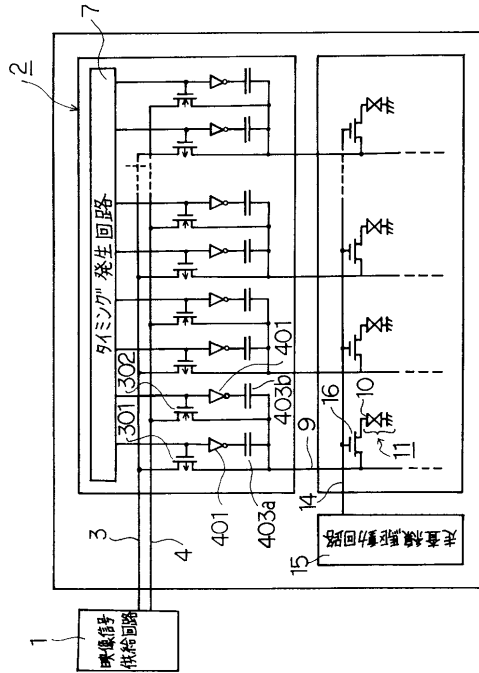
【図 4】



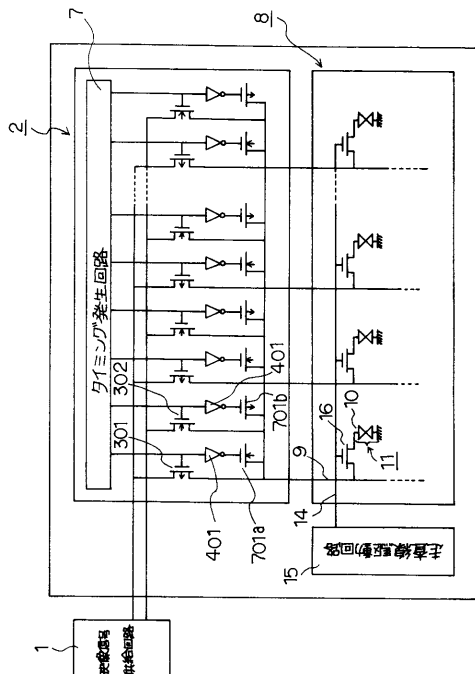
【図 5】



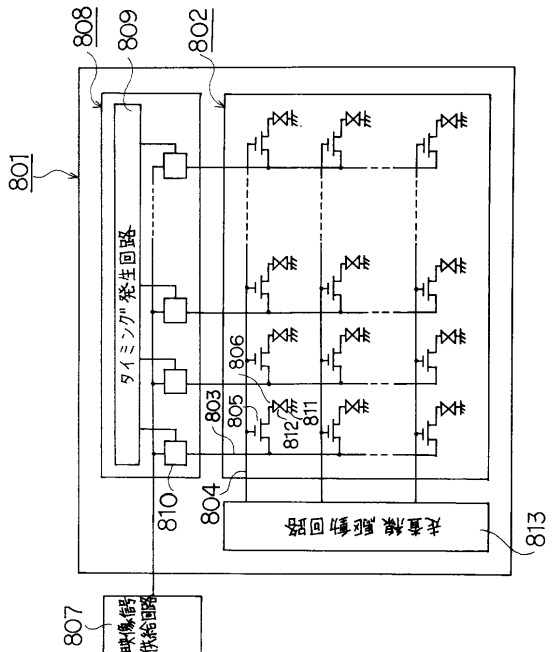
【図 6】



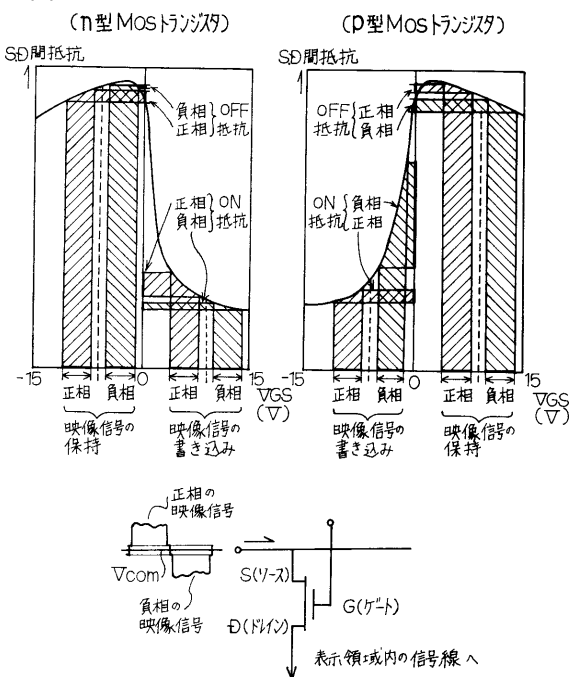
【図 7】



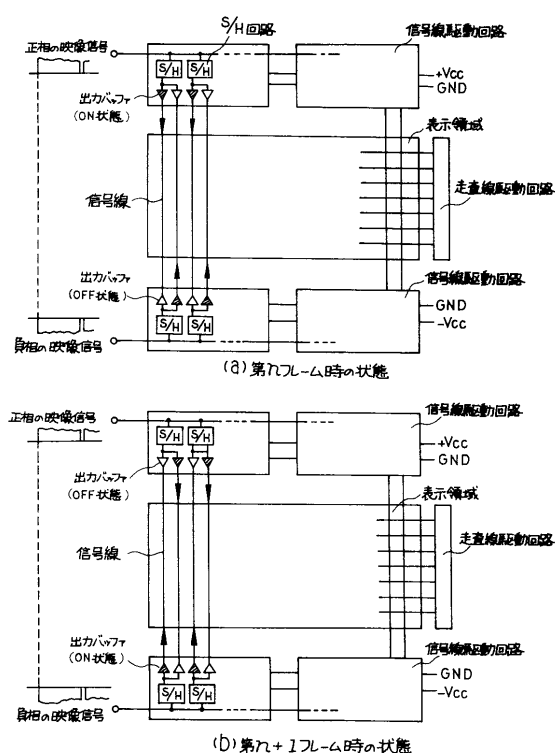
【図 8】



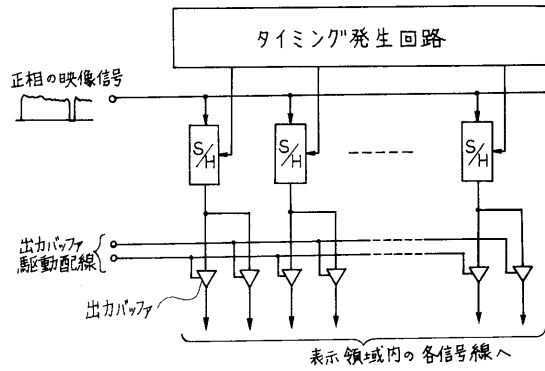
【 図 1 0 】



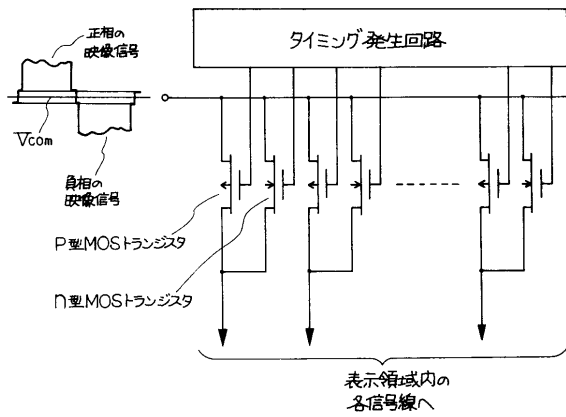
【 図 1 2 】



【図 13】



【図 14】



フロントページの続き(51) Int.Cl.⁷

F I

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/20 6 8 0 G

(56)参考文献 特開平 0 1 - 2 1 7 4 9 8 (J P , A)
特開平 0 7 - 1 1 4 3 6 3 (J P , A)
特開平 0 6 - 3 0 8 5 3 5 (J P , A)
特開平 0 6 - 0 9 5 0 7 3 (J P , A)
特開平 0 6 - 3 2 4 6 4 2 (J P , A)
特開平 0 7 - 2 5 3 7 6 7 (J P , A)
特公平 0 6 - 0 6 1 0 3 0 (J P , B 2)

(58)調査した分野(Int.Cl.⁷, D B名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0

专利名称(译)	液晶表示装置		
公开(公告)号	JP3572071B2	公开(公告)日	2004-09-29
申请号	JP2003425395	申请日	2003-12-22
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
当前申请(专利权)人(译)	东芝公司		
[标]发明人	青木良朗 佐藤肇		
发明人	青木 良朗 佐藤 肇		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.611.D G09G3/20.621.M G09G3/20.642.A G09G3/20.680.G G02F1/133.525 G09G3/20.611.J G09G3/20.621.B G09G3/20.623.X		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA42 2H093/NA43 2H093/NC10 2H093/NC13 2H093/NC22 2H093/NC23 2H093/NC34 2H093/NC49 2H093/ND05 2H093/ND09 2H093/ND15 2H093/ND38 2H093/ND39 2H193/ZA04 2H193/ZC02 2H193/ZC22 2H193/ZD32 2H193/ZD34 2H193/ZF22 5C006/AA16 5C006/AC09 5C006/AC27 5C006/AC28 5C006/AF43 5C006/AF71 5C006/BB16 5C006/BC13 5C006/BC20 5C006/BC23 5C006/BF03 5C006/BF24 5C006/BF25 5C006/BF27 5C006/BF33 5C006/BF34 5C006/BF37 5C006/FA12 5C006/FA15 5C006/FA16 5C006/FA18 5C006/FA22 5C006/FA26 5C006/FA36 5C006/FA37 5C006/FA38 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
其他公开文献	JP2004110076A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够以简单的结构实现低功耗的液晶显示装置，并且通过消除显示不均匀性而实现高质量的显示性能。解决方案：视频信号提供电路1将视频信号提供给信号线驱动电路2。视频信号通过单独的布线3,4以相位形式提供给信号线驱动电路2，分离成正相和负相，分别。正相视频信号提供给开关元件5，负相视频信号分别提供给开关元件6。然后，对应于这些正相和负相的两个相邻的开关元件5,6连接到相同的单个信号线9

