

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3382221号
(P3382221)

(45)発行日 平成15年3月4日(2003.3.4)

(24)登録日 平成14年12月20日(2002.12.20)

(51)Int.Cl⁷

識別記号

F I

G 0 2 F 1/1368

G 0 2 F 1/1368

請求項の数 4 (全 14数)

(21)出願番号 特願2000 - 368690(P2000 - 368690)

(22)出願日 平成12年12月4日(2000.12.4)

(65)公開番号 特開2002 - 169181(P2002 - 169181A)

(43)公開日 平成14年6月14日(2002.6.14)

審査請求日 平成12年12月4日(2000.12.4)

(出願人による申告) 国などの委託研究の成果に係る特許出願(平成11年度新エネルギー・産業技術総合開発機構「エネルギー使用合理化超先端液晶技術開発(超先端電子技術開発促進事業新機能電子材料設計・制御・分析等技術)」委託研究、産業活力再生特別措置法第30条の適用を受けるもの

(73)特許権者 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 原 雄二郎

神奈川県川崎市幸区小向東芝町1番地 株式
会社東芝研究開発センター内

(72)発明者 小野塚 豊

神奈川県川崎市幸区小向東芝町1番地 株式
会社東芝研究開発センター内

(72)発明者 秋山 政彦

神奈川県川崎市幸区小向東芝町1番地 株式
会社東芝研究開発センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

審査官 右田 昌士

最終頁に続く

(54)【発明の名称】 液晶表示装置

1

(57)【特許請求の範囲】

【請求項1】 水平方向に設けられた複数の走査線と垂直方向に設けられた複数の信号線との交差部に対応して設けられ、画素電極と対向電極とに挟まれる液晶層から成る複数の画素部を有する液晶表示装置であって、前記画素部は、第1端が前記画素電極に接続される強誘電体容量と、第1端が前記信号線に接続され、第2端が前記強誘電体容量の第2端に接続され、前記走査線からの走査信号によって制御される第1のスイッチング素子と、前記強誘電体容量に並列接続された第2のスイッチング素子と、を具備することを特徴とする液晶表示装置。

【請求項2】 前記画素部に供給される表示信号の連続する表示フレーム間での比較結果に基づき、該表示信号が

2

連続する表示フレーム間で異なる場合に前記第2のスイッチング素子をオン状態に制御する制御部をさらに有することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記制御部は、同一の走査線に接続された複数の画素部単位で第2のスイッチング素子のオン・オフを制御可能であり、ある画素部に供給される表示信号が連続する表示フレーム間で異なる場合に、該画素部及び該画素部と同一の走査線に接続された他の画素部が有する第2のスイッチング素子を選択的にオン状態にするものであることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 前記画素部には、前記第2のスイッチング素子がオン状態のときにはオフ状態のときよりも振幅の小さな表示信号が供給されることを特徴とする請求項1に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置、特にアクティブマトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置（LCD）は、大型、薄型、軽量、高精細でかつ消費電力も少ないため、大型壁掛けテレビ、ノートブック型パソコン、携帯電話などに広く用いられており、今後もさらに需要が高まると予想される。このような状況の中で、特に携帯情報機器用途においては、長時間の電池駆動が必須となり、より消費電力の少ない液晶表示装置が望まれている。

【0003】図17は、薄膜トランジスタ（TFT）を用いた従来のアクティブマトリクス型液晶表示装置の構成例を示した図である。表示領域511内には、複数の走査線513と複数の信号線514との各交差部に対応して単位画素512がマトリクス状に配列されており、走査線（ゲート線）513は走査線駆動回路515に、信号線514は信号線駆動回路516に接続されている。走査線駆動回路515からは60Hzの周波数で走査線513に走査信号（ゲート信号）が与えられ、選択された走査線513に接続された薄膜トランジスタを介して信号線514から与えられた画素信号（表示信号）が液晶層に印加される。液晶は直流電圧をかけつづけると画像の焼き付きが起こるため、通常は画像信号には交流が用いられる。

【0004】図18は、図17に示した単位画素512の等価回路について示した図である。走査線513と信号線514との交差部に薄膜トランジスタ531が接続されており、画素電極533と対向電極534とに挟まれた液晶層532に対して並列に補助容量535が接続されている。

【0005】ここで、液晶表示装置の信号線駆動回路による消費電力Pについて考えると、信号線負荷容量をC、ゲート線数をn、信号をリフレッシュする周波数（リフレッシュ周波数）を f_{ref} 、画像信号電圧をVとすると、

$$P = C n f_{ref} V^2 \quad (1)$$

と表される。

【0006】消費電力を低減するには、(1)式より、信号線負荷容量C、ゲート線数n、リフレッシュ周波数 f_{ref} 、画像信号電圧Vのいずれかを下げる必要がある。このうち、Cは信号線と対向電極の間の容量などからなり、nは表示の精細度を表している。したがって、コントラストや精細度などの表示品位を下げずに、これらの値を大幅に下げることは難しい。また、画像信号電圧Vは、液晶材料を用いて階調表示をするために一定値以上が必要であり、これを低減することはコントラストの低下につながる。

【0007】これに対し、リフレッシュ周波数 f_{ref}

は、必要な画像信号を表示できる限り、フレーム周波数 f_{fr} よりも小さくすることが可能である。通常、リフレッシュ周波数 f_{ref} はフレーム周波数 f_{fr} に等しく、動画の場合にリフレッシュ周波数 f_{ref} を小さくすることは応答性の低下につながるが、複数フレームにわたって画像信号が同じになるような静止画の場合には、リフレッシュ周波数を下げることでより低消費電力化が可能である。しかし、これを実現するためには、画像信号を長時間保持する機構、すなわちメモリ性が必要となる。

【0008】メモリ性を持った液晶表示装置としては、強誘電性液晶、コレステリック型液晶などのメモリ性を有する液晶材料を用いたタイプ、各画素内にメモリ性を付与するための回路を設けるタイプがよく知られている。しかし、前者については、多階調表示が難しいといった問題や、衝撃などに対する強度が弱いといった問題がある。また、後者については、画素構造の微細化が難しく、高精細化に不利であるという問題がある。

【0009】上述したような問題を解決する液晶表示装置として、図19に示すように、各画素に強誘電体薄膜層を用いた強誘電体キャパシタ536を形成し、強誘電体のメモリ性を利用して表示を行う方式が提案されている。この方式は、強誘電体自体のメモリ性を用いるため、液晶材料の制約がなく、従来から広く用いられているツイストネマチック（TN）液晶などを用いることができる。そのため、多階調表示が可能となり、かつ、複雑な回路構造を有していないため高精細化にも対応可能である。しかしながら、この方式では、画素構造が強誘電体と液晶の直列容量構造になっているため、画素に与える画像信号電圧の大きさが従来よりも大きくなってしまいうという問題がある。以下、この問題点について説明する。

【0010】図20は、図19に示すような構成を有する液晶表示装置について、その画像信号波形（図20（a））及び走査信号波形（図20（b））を示したものである。駆動は以下のシーケンスで行われる。まず、リセット期間 T_r において、全ての走査線に信号を与えて全ての薄膜トランジスタをオン状態にし、各信号線から強誘電体の分極をリセットする信号 V_r を印加する（リセット）。次に、書き込み期間 T_w において、線順次走査を行いながら各画素に画像信号 V_w を書き込む（書き込み）。最後に、保持期間 T_h において、リセット時と同様に全ての走査線に信号を与え、薄膜トランジスタをオンさせた状態で、表示状態を保持するための保持信号電圧 V_h を印加する（保持）。

【0011】リフレッシュ周波数 f_{ref} は、リセット期間 T_r 、書き込み期間 T_w 及び保持期間 T_h により、 $f_{ref} = 1 / (T_r + T_w + T_h)$ (2) となる。

【0012】ここで、強誘電体層の分圧 V_f 及び液晶層の分圧 V_{lc} を計算する。画素信号電圧を V_{sig} とし、液

5

6

晶層の電荷を Q_{lc} 、強誘電体層の電荷を Q_f 、強誘電体*

*のヒステリシス特性関数を $F(V_f)$ とすると、

$$V_f + V_{lc} = V_{sig} \quad (3)$$

$$Q_f = F(V_f) \quad (4)$$

$$Q_{lc} = C_{lc} \cdot V_{lc} = -C_{lc}(V_f - V_{sig}) \quad (5)$$

となる。また、

$$Q_f = Q_{lc} \quad (6)$$

という関係が成り立つ。

【0013】上記の連立方程式を解けば、液晶層及び強誘電体層それぞれの分圧が求められる。また、これは強誘電体の分圧 V_f を横軸に、電荷 Q_f を縦軸に取った座標系で、式(4)及び(5)をそれぞれ描き、それらの交点を求めることで、図式的に解くことも可能である。以下、式(5)を負荷直線と呼ぶことにする。

【0014】図21は、強誘電体のヒステリシス特性と、リセット、書き込み及び保持の3つの状態における負荷直線を示したものである。上記の式を考慮すると、リセット時の画像信号電圧 $V_{sig} = V_r$ 、書き込み時の画像信号電圧 $V_{sig} = V_w$ 、書き込み時の強誘電体電圧(強誘電体層に印加される電圧) V_{fw} 、保持時の液晶出力電圧(液晶層に印加される電圧) $V_{lc} = V_{out}$ が、それぞれ図上で示された量として求められることがわかる。

【0015】図21を見ると、リセット時の電圧 V_r 、*

$$V_{sig} = ((C_f + C_{lc})V_f + Q_r) / C_{lc} \quad (8)$$

と表される。 $V_{lc} = (C_f V_{sig} + Q_r) / (C_f + C_{lc})$ 電体電圧 V_f が V_{c9} に等しい時と考えられる。これを考

【0018】分極反転に必要な信号電圧 V_{sig} は、強誘電体電圧 V_f が V_{c9} に等しい時と考えられる。これを考

$$V_w = ((C_f + C_{lc})V_c + Q_r) / C_{lc} \quad (10)$$

となる。また、保持時のバイアス電圧を抗電圧 V_c に等しいとすると、保持時の液晶出力電圧 V_{out} は(9)式より、

$$V_{out} = (C_f V_c + Q_r) / (C_f + C_{lc}) \quad (11)$$

となる。(10)及び(11)式より Q_r を消去すると、

$$V_w = ((C_f + C_{lc})(V_c + V_{out}) - C_f V_c) / C_{lc} \quad (12)$$

となる。 アス電圧を基準として定義し直し、これを入力電圧 ΔV_w とすると、

【0019】ここで、書き込み時の信号電圧 V_w をバイアス電圧 V_w とすると、

$$\Delta V_w = V_w - V_c = ((C_f + C_{lc}) / C_{lc}) V_{out} \quad (13)$$

となる。 大きくする必要があるため、リフレッシュ周波数を下げることのできない動画表示の場合には消費電力が増加してしまうという問題があった。

【0020】結果として、液晶を駆動するために必要な電圧を得るためには、(13)式で表される大きな画像信号電圧が必要となる。静止画の場合は、画像信号電圧が大きくなったことの寄与分よりもリフレッシュ周波数を下げたことの寄与分の方が大きければ、消費電力が下がる。(1)式からわかる。一方で、動画の場合には、表示品位を下げることなくリフレッシュ周波数を下げることが難しいため、画像信号電圧が大きくなる分、かえって消費電力が増加してしまう。

【0021】

【発明が解決しようとする課題】このように、強誘電体のメモリ性を利用した液晶表示装置では、画像信号電圧 V_{sig} を液晶層に印加される液晶出力電圧 V_{out} よりも

*書き込み時の電圧 V_w 及び液晶出力電圧 V_{out} が、それぞれ液晶容量 C_{lc} によって大きく影響されることがわかる。例えば、液晶容量 C_{lc} を大きくすれば、負荷容量の傾きの絶対値は増すため、電圧 V_r 及び V_w は小さくなるが、同時に保持時の液晶出力電圧 V_{out} は小さくなってしまう。逆に、液晶容量 C_{lc} を小さくすれば、保持時の液晶出力電圧 V_{out} は大きくなるが、電圧 V_r 及び V_w が大きくなってしまう。

【0016】次に、式を用いて、書き込み時に必要な信号電圧を見積もる。図22に示すように、強誘電体のヒステリシス特性関数 $F(V_f)$ を平行四辺形モデルと仮定する。 V_c は強誘電体の分極反転の閾電圧であり、抗電圧と呼ぶことにする。

【0017】図22中の直線 a は、

$$Q_f = F(V_f) = C_f V_f + Q_r \quad (7)$$

と表される。また、負荷曲線 b は(5)式で表されるので、(3)、(5)、(6)及び(7)式より、信号電圧 V_{sig} と液晶電圧 V_{lc} は、

電体電圧 V_f が V_{c9} に等しい時と考えられる。これを考慮すると、書き込み時の信号電圧 V_w は、

アス電圧を基準として定義し直し、これを入力電圧 ΔV_w とすると、

大きくする必要があるため、リフレッシュ周波数を下げることのできない動画表示の場合には消費電力が増加してしまうという問題があった。

【0022】本発明は上記従来の課題を解決するためになされたものであり、動画表示時における駆動電圧を低くすることができ、消費電力の低減が可能な液晶表示装置を提供することを目的とする。

【0023】

【課題を解決するための手段】本発明に係る液晶表示装置は、水平方向に設けられた複数の走査線と垂直方向に設けられた複数の信号線との交差部に対応して設けられ、画素電極と対向電極とに挟まれる液晶層から成る複数の画素部を有する液晶表示装置であって、前記画素部は、第1端が前記画素電極に接続される強誘電体容量

と、第 1 端が前記信号線に接続され、第 2 端が前記強誘電体容量の第 2 端に接続され、前記走査線からの走査信号によって制御される第 1 のスイッチング素子と、前記強誘電体容量に並列接続された第 2 のスイッチング素子と、を具備することを特徴とする。

【0024】本発明によれば、強誘電体容量に対して第 2 のスイッチング素子が並列接続されているため、第 2 のスイッチング素子を非導通状態（オフ状態）にした場合には、液晶部に対して強誘電体容量の容量成分が等価的に直列接続された状態となり、第 2 のスイッチング素子を導通状態（オン状態）にした場合には、第 2 のスイッチング素子によって強誘電体容量が等価的に短絡された状態となる。したがって、静止画表示のときには第 2 のスイッチング素子をオフ状態にする一方、動画表示のときには第 2 のスイッチング素子をオン状態にすることで、動画表示の際に画像信号電圧の大部分を液晶層に印加することが可能であり、動画表示の際の駆動電圧を低くすることができ、消費電力の低減をはかることが可能となる。

【0025】前記発明において、前記画素部に供給される表示信号の連続する表示フレーム間での比較結果に基づき、該表示信号が連続する表示フレーム間で異なる場合に前記第 2 のスイッチング素子をオン状態に制御する制御部をさらに設けることにより、静止画表示と動画表示とが容易に判別され、第 2 のスイッチング素子の的確な制御を自動的に行うことが可能となる。

【0026】また、前記発明において、前記制御部は、同一の走査線に接続された複数の画素部単位で第 2 のスイッチング素子のオン・オフを制御可能であり、ある画素部に供給される表示信号が連続する表示フレーム間で異なる場合に、該画素部及び該画素部と同一の走査線に接続された他の画素部が有する第 2 のスイッチング素子を選択的にオン状態にすることが好ましい。このように同一の走査線毎に第 2 のスイッチング素子を制御することにより、1 画面内において静止画表示と動画表示を走査線単位で混在させて行うことが可能となる。

【0027】また、前記発明において、前記画素部に対し、前記第 2 のスイッチング素子がオン状態のときにはオフ状態のときよりも振幅の小さな表示信号を供給することで、動画表示の際の画像信号電圧が静止画表示のときよりも低くなり、消費電力の低減をはかることが可能となる。

【0028】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0029】（実施形態 1）まず、本発明の基本的な実施形態について説明する。図 1 は、本発明の実施形態に係るアクティブマトリクス型液晶表示装置の構成例を示した図である。

【0030】基本的な構成は、図 17 に示した従来技術

の構成と同様である。すなわち、表示領域 11 内には、水平方向に設けられた複数の走査線 13 と垂直方向に設けられた複数の信号線 14 との各交差部に対応して単位画素 12 がマトリクス状に配列されており、走査線（ゲート線）13 は走査線駆動回路 15 に、信号線 14 は信号線駆動回路 16 に、それぞれ接続されている。本実施形態では、各単位画素 12 に対してスイッチ線（導通制御線）17 が接続されており、このスイッチ線 17 を介してスイッチ線駆動回路 18 から各単位画素 12 に所定の選択信号が供給されるようになっている。

【0031】図 2 は、図 1 に示した単位画素 12 の等価回路について示した図である。

【0032】走査線 13 と信号線 14 との交差部に薄膜トランジスタ（主トランジスタ）31 が配置されており、薄膜トランジスタ 31 のゲート電極は走査線 13 に、薄膜トランジスタ 31 のソース電極は信号線 14 に、それぞれ接続されている。薄膜トランジスタ 31 のドレイン電極には強誘電体薄膜を用いた強誘電体キャパシタ 32 の一端が接続されており、強誘電体キャパシタ 32 の他端には画素電極 34 が接続されている。この画素電極 34 と対向する位置には、液晶層 33 を介して対向電極 35 が配置されており、画素電極 34 の電位と対向電極 35 の電位との電位差が液晶層 33 に印加される。

【0033】また、強誘電体キャパシタ 32 に対して並列に、薄膜トランジスタ（並列トランジスタ）36 が接続されており、薄膜トランジスタ 36 のゲート電極に接続されたスイッチ線 17 によってその導通状態（オン／オフ）が制御されるようになっている。すなわち、強誘電体キャパシタ 32 及び薄膜トランジスタ 36 からなる並列回路は、薄膜トランジスタ 36 が導通状態（オン状態）のときには実質的に薄膜トランジスタ 36 のオン抵抗成分が支配的となり、薄膜トランジスタ 36 が非導通状態（オフ状態）のときには実質的に強誘電体キャパシタ 32 の容量成分が支配的になる。

【0034】なお、液晶層 33 の液晶材料には任意の液晶材料を用いることができるが、代表的には、ツイストネマチック（TN）型液晶、スーパーツイストネマチック（STN）型液晶、コレステリック型液晶、ゲストホスト型液晶、高分子分散型液晶などを用いることができる。ネマチック液晶には、例えばフッ素系ネマチック液晶やシアノ系ネマチック液晶等を用いることができる。

【0035】次に、本実施形態の駆動方法について説明する。

【0036】駆動波形は、動画モードと静止画モードとで異なっている。時間的には、各フレーム時間（ $T_{fr} = 1 / f_{fr} = 16.7 \text{ ms}$ ）ごとに、動画モードと静止画モードのどちらのモードになるかが判断される。また、空間的には、表示領域全体或いは走査線ごとに動画モードと静止画モードのどちらのモードになるかが判断され

る。動画モードと静止画モードのどちらのモードにするかは、スイッチ等によって固定するようにしてもよいし、1フレーム或いは数フレーム分の表示信号をフレームメモリに記憶させ、連続する2以上のフレーム間で画像信号（表示信号）が等しい場合には静止画と判断し、動画モードから静止画モードに切り替わるようにしてもよい。これとは逆に、連続する2以上のフレーム間で画像信号が異なる場合には動画と判断し、静止画モードから動画モードに切り替わるようにしてもよい。

【0037】次に、本実施形態の駆動方法の一例を、図3及び図4に示したタイミングチャートを参照して説明する。図3は静止画モードにおけるタイミングチャート、図4は動画モードにおけるタイミングチャートである。図3及び図4に示した各信号波形は、信号線14を介して薄膜トランジスタ31に供給される画像信号 V_{sig} 、走査線（ゲート線）13を介して薄膜トランジスタ31に供給される走査信号（ゲート信号） V_g 、スイッチ線17を介して薄膜トランジスタ36に供給されるスイッチ信号 V_{sw} を、それぞれ示している。

【0038】図3に示すように、静止画モードの場合、スイッチ信号 V_{sw} は常にオフ状態であり、画像信号波形 V_{sig} 及びゲート信号波形 V_g は図19及び図20に示したような従来技術と同様の波形となる。

【0039】具体的には、まず、リセット期間 T_r において、静止画モードの全ての走査線13に信号を供給して薄膜トランジスタ31をオン状態にし、強誘電体キャパシタ32の分極をリセットする信号 V_r を信号線14から薄膜トランジスタ31を介して供給する（リセット）。次に、書き込み期間 T_w において、静止画モードの走査線13を順次選択し、各单位画素に信号線14から薄膜トランジスタ31を介して画像信号 V_w を順次書き込む（書き込み）。その後、保持期間 T_h において、静止画モードの全ての走査線13に信号を供給して各薄膜トランジスタ31をオン状態にし、各单位画素に信号線14から薄膜トランジスタ31を介して画素状態を保持するための保持信号電圧 V_h を供給する（保持）。

【0040】ここで、リフレッシュ周波数 f_{ref} は、リセット期間 T_r と書き込み期間 T_w 及び保持期間 T_h により、(2)式から定まる。フレーム周波数はリフレッシュ周波数の整数倍である必要があり、またリセット期間 T_r と書き込み期間 T_w の和は1フレーム期間 T_{fr} ($1/f_{fr} = 16.7\text{ms}$)より短い。したがって、静止画モードでは、従来の強誘電体薄膜を用いた液晶表示装置とほぼ同等の消費電力となる。

【0041】一方、図4に示すように、動画モードの場合、図17及び図18に示したような従来の液晶表示装置と同様の駆動方法となる。つまり、動画モードでは、スイッチ信号 V_{sw} は常にオン状態であり、表示信号 V_{sig} は1フレーム期間 T_{fr} ごとに書き換えられる。まず、静止画モードでリセット期間に相当する時間、ゲート線

は非選択となる。次に、動画モードとなるゲート線を順次選択し、各画素に画像信号 V_w' を書き込み。1フレーム期間後には再び同一のゲート線が選択され、各画素に新たな画像信号が書き込まれる。静止画モードでは V_{out} の電圧を液晶層に印加するには式(12)の V_w で表される電圧を用いる必要があるが、動画モードでは V_{out} と等しい電圧 V_w' ($V_w' < V_w$)を用いればよい。

【0042】このように、本実施形態では、動画表示時には強誘電体薄膜からなる容量に電圧が印加されないため入力信号電圧を小さくすることができ、従来の液晶表示装置よりも低電圧化が可能となり、消費電力の小さい液晶表示装置を得ることが可能となる。

【0043】（実施形態2）本実施形態は、実施形態1で示したような構成を有する液晶表示装置のより具体的な構成に関するものである。図5は本実施形態に係る液晶表示装置の単位画素領域の構成例を示した平面図であり、図6は図5のA-Bに沿った断面図である。なお、本実施形態の等価回路は図2に示したものとほぼ同様である。

【0044】薄膜トランジスタ等が形成される基板（アレイ基板）の製造工程は以下の通りである。

【0045】まず、無アルカリガラス基板101aの上にCVD法により SiO_x を200nm堆積し、アンダーコート層102を形成した。次に、スパッタ法によりTiを100nm、続いてPtを200nm形成した。続いて、スパッタ法によりチタン酸ジルコン酸鉛（PZT）結晶膜を1 μm 形成した。さらに、スパッタ法によりPt膜を200nm形成した。その後、Pt膜のエッチングを行い、強誘電体キャパシタ上部電極105のパターンを形成した。続いて、PZT膜のエッチングを行い、強誘電体薄膜104の島パターンを形成した。さらに、Pt/Ti層をエッチングして下地電極パターン103を形成した。このようにして、まず強誘電体キャパシタを形成した。なお、強誘電体材料としては、鉛系酸化物強誘電体やピスマス層状構造酸化物強誘電体などの無機強誘電体材料の他、有機強誘電体材料なども用いることも可能である。

【0046】次に、MoW合金膜を300nm形成し、これをパターニングして、主薄膜トランジスタのゲート電極106a及びゲート配線、並列薄膜トランジスタのゲート電極106b及びスイッチ配線を形成した。なお、MoW以外にも、MoTa合金、Au、Cuなどの高融点金属材料を用いることができる。

【0047】次に、 SiO_x 膜350nm及び SiN_x 膜50nmからなるゲート絶縁膜107を形成し、さらにアモルファスSi膜50nm及び SiN_x 200nmを形成した。これらの各膜はCVD法を用いて連続形成した。続いて、 SiN_x をパターニングして、チャンネルストッパー層109a及び109bを形成した。さらに、アモルファスSi層をパターニングして、チャンネル

11

層 1 0 8 a 及び 1 0 8 b を形成した。

【 0 0 4 8 】次に、Mo 膜 1 0 0 nm、Al 膜 3 0 0 nm を連続形成し、これらをパターニングして、薄膜トランジスタのソース電極及びドレイン電極 1 1 0 a、1 1 0 b、1 1 0 c 及び 1 1 0 d を形成した。

【 0 0 4 9 】次に、感光性樹脂層 1 1 1 を 3 μ m 形成した。このとき、マスク露光を用いて、感光性樹脂層 1 1 1 の表面に凹凸パターン層 1 1 2 を形成した。続いて、エッチングによりこの感光性樹脂層のパターニングを行い、パッシベーション層とした。その後、Al 膜をスパッタ法で 3 0 0 nm 形成し、これをパターニングして画素電極 1 1 3 を形成した。さらに、ポリイミド膜を 1 0 nm 形成し、配向膜 1 1 4 a を形成した。

【 0 0 5 0 】次に、対向電極等が形成される基板（対向基板）を以下のようにして作製した。アレイ基板 1 0 1 a と同様な無アルカリガラス基板 1 0 1 b 上にクロム膜を形成し、これをパターニングしてブラックマトリクス層 1 1 8 を形成した。その後、カラーフィルタ層 1 1 7 を形成した。さらに、対向電極 1 1 6 となる ITO 膜を 1 0 0 nm 形成した。最後に、配向膜 1 1 4 b としてポリイミド膜を 1 0 nm 形成した。

【 0 0 5 1 】以上のようにして作製されたアレイ基板と対向基板を対向させ、両基板間にスペーサ 1 1 9 を挟んで 5 μ m の均等な間隔になるようにしてシールで張り合わせ、さらに両基板間に液晶を注入して液晶層 1 1 5 とした。このようにして液晶表示装置のセルが完成した。

【 0 0 5 2 】最後に、走査線駆動回路、信号線駆動回路及びスイッチ線駆動回路を表示領域の周囲に配置し、信号線、走査線及びスイッチ線に所定の信号を送って表示動作を実現した。

【 0 0 5 3 】なお、主薄膜トランジスタ及び並列薄膜トランジスタには、チャンネル層がアモルファスシリコンからなるアモルファスシリコン TFT の他に、チャンネル層が多結晶シリコンからなるポリシリコン TFT を用いてもよい。ポリシリコン TFT を用いる場合には、アレイ基板上の表示領域内に TFT を形成する際に、走査線駆動回路、信号線駆動回路及びスイッチ線駆動回路を表示領域の周囲に同時に形成することも可能である。

【 0 0 5 4 】（実施形態 3）図 7 は本実施形態に係る液晶表示装置の単位画素領域の構成例を示した平面図であり、図 8 は図 7 の A - B に沿った断面図である。なお、基本的な等価回路構成は図 2 に示したものと同様である。

【 0 0 5 5 】本実施形態では、強誘電体キャパシタに並列接続された薄膜トランジスタとして、金属 - 強誘電体 - 半導体のゲート構造を有する電解移動度トランジスタ（Metal-Ferroelectric-Semiconductor Field Effect Transistor : MFS - FET）を用いている。

【 0 0 5 6 】薄膜トランジスタ等が形成される基板（アレイ基板）の製造工程は以下の通りである。

12

【 0 0 5 7 】まず、無アルカリガラス基板 2 0 1 a の上に CVD 法により SiO_x を 2 0 0 nm 堆積し、アンダーコート層 2 0 2 を形成した。次に、スパッタ法により Ti を 1 0 0 nm、続いて Pt を 2 0 0 nm 形成した。続いて、スパッタ法によりチタン酸ジルコン酸鉛（PZT）結晶膜を 1 μ m 形成した。さらに、スパッタ法により Pt 膜を 2 0 0 nm 形成した。その後、Pt 膜のエッチングを行い、強誘電体キャパシタ上部電極 2 0 5 のパターンを形成した。続いて、PZT 膜のエッチングを行い、MFS - FET の強誘電体薄膜部分 2 0 4 a、強誘電キャパシタの容量となる強誘電体薄膜 2 0 4 b の島パターンを形成した。さらに Pt / Ti 層をエッチングして MFS - FET のゲート電極部分 2 0 3 a、強誘電体キャパシタの下地電極パターン 2 0 3 b を形成した。

【 0 0 5 8 】このようにして、まず、強誘電体薄膜キャパシタを形成するとともに、MFS - FET のゲート電極部分及び強誘電体薄膜部分を形成した。なお、強誘電体材料としては、鉛系酸化物強誘電体やピスマス層状構造酸化物強誘電体などの無機強誘電体材料の他、有機強誘電体材料なども用いることも可能である。

【 0 0 5 9 】次に、MoW 合金膜を 3 0 0 nm 形成し、これをパターニングして、ゲート配線、薄膜トランジスタのゲート電極 2 0 6 a、スイッチ配線を形成した。スイッチ配線は、MFS - FET のゲート電極 2 0 3 a と接続した。なお、MoW 以外にも、MoTa 合金、Au、Cu などの高融点金属材料を用いることができる。

【 0 0 6 0 】次に、 SiO_x 膜 3 5 0 nm 及び SiN_x 膜 5 0 nm からなるゲート絶縁膜 2 0 7 を形成し、さらにアモルファス Si 膜 5 0 nm 及び SiN_x 2 0 0 nm を形成した。これらの各膜は CVD 法を用いて連続形成した。続いて、 SiN_x をパターニングして、チャンネルストッパー層 2 0 9 a 及び 2 0 9 b を形成した。さらに、アモルファス Si 層をパターニングして、チャンネル層 2 0 8 a 及び 2 0 8 b を形成した。

【 0 0 6 1 】次に、Mo 膜 1 0 0 nm、Al 膜 3 0 0 nm を連続形成し、これらをパターニングして、薄膜トランジスタのソース・ドレイン電極 2 1 0 a 及び 2 1 0 b、並びに MFS - FET のソース・ドレイン電極 2 1 0 c 及び 2 1 0 d を、同時に形成した。

【 0 0 6 2 】次に、感光性樹脂層 2 1 1 を 3 μ m 形成した。このとき、マスク露光を用いて、感光性樹脂層 2 1 1 の表面に凹凸パターン層 2 1 2 を形成した。続いて、エッチングによりこの感光性樹脂層のパターニングを行い、パッシベーション層とした。その後、Al 膜をスパッタ法で 3 0 0 nm 形成し、これをパターニングして画素電極 2 1 3 を形成した。さらに、ポリイミド膜を 1 0 nm 形成し、配向膜 2 1 4 a を形成した。

【 0 0 6 3 】次に、対向電極等が形成される基板（対向基板）を以下のようにして作製した。アレイ基板 2 0 1 a と同様な無アルカリガラス基板 2 0 1 b 上にクロム膜

を形成し、これをパターニングしてブラックマトリクス層 2 1 8 を形成した。その後、カラーフィルタ層 2 1 7 を形成した。さらに、対向電極 2 1 6 となるITO膜を 1 0 0 nm 形成した。最後に、配向膜 2 1 4 b としてポリイミド膜を 1 0 nm 形成した。

【0 0 6 4】以上のようにして作製されたアレイ基板と対向基板を対向させ、両基板間にスペーサ 2 1 9 を挟んで 5 μ m の均等な間隔になるようにしてシールで張り合わせ、さらに両基板間に液晶を注入して液晶層 2 1 5 とした。このようにして液晶表示装置のセルが完成した。

【0 0 6 5】最後に、走査線駆動回路、信号線駆動回路及びスイッチ線駆動回路を表示領域の周囲に配置した。

【0 0 6 6】次に、本実施形態の駆動方法について、図 1 0 及び図 1 1 に示したタイミングチャートを参照して説明する。基本的な動作は第 1 の実施形態と同様であるが、本実施形態では、スイッチ線を介して並列薄膜トランジスタに印加される電圧波形 V_{sw} が第 1 の実施形態とは異なっている。

【0 0 6 7】図 9 に示すように、M F S - F E T のドレイン電流 I_{ds} のゲート電圧 V_g に対する特性はメモリ性を有している。そこで、動画モードから静止画モードに切り替わる際には、図 1 0 に示すように、スイッチ線に電圧 V_{swoff} のパルスを印加して並列薄膜トランジスタをオフ状態にし、強誘電体キャパシタ及び薄膜トランジスタからなる並列回路を、実質的に強誘電体キャパシタのみが接続された状態にする。また、静止画モードから動画モードに切り替わる際には、図 1 1 に示すように、スイッチ線に電圧 V_{swon} のパルスを印加して並列薄膜トランジスタをオン状態にし、強誘電体キャパシタ及び薄膜トランジスタからなる並列回路において、強誘電体キャパシタが実質的にショートされた状態にする。

【0 0 6 8】なお、薄膜トランジスタには、第 2 の実施形態と同様、チャンネル層がアモルファスシリコンからなるアモルファスシリコン T F T の他に、チャンネル層が多結晶シリコンからなるポリシリコン T F T を用いてもよく、ポリシリコン T F T を用いる場合には、アレイ基板上の表示領域内に T F T を形成する際に、走査線駆動回路、信号線駆動回路及びスイッチ線駆動回路を表示領域の周囲に同時に形成することも可能である。

【0 0 6 9】また、強誘電体キャパシタに並列接続されるスイッチング素子には、上述した M F S - F E T の他に、金属 - 強誘電体 - 金属 - 絶縁体 - 半導体のゲート構造を有する電解移動度トランジスタ (Metal-Ferroelectric-Metal-Insulator-Semiconductor Field Effect Transistor: M F M I S - F E T) のようなスイッチング特性にメモリ性を有するトランジスタを用いてもよい。

【0 0 7 0】本実施形態においても第 1 の実施形態と同様、動画表示時には強誘電体薄膜からなる容量に電圧が印加されないため入力信号電圧を小さくすることができ、従来の液晶表示装置よりも低電圧化が可能となり、

消費電力の小さい液晶表示装置を得ることが可能となる。

【0 0 7 1】(実施形態 4) 本実施形態は、第 1 の実施形態等で示した液晶表示装置の他の駆動方法に関するものである。本駆動方法について、図 1 2 及び図 1 3 に示したタイミングチャートを参照して説明する。図 1 2 は静止画モードにおけるタイミングチャート、図 1 3 は動画モードにおけるタイミングチャートである。

【0 0 7 2】静止画モードにおける駆動方法について、図 1 2 に示したタイミングチャートを参照して説明する。

【0 0 7 3】まず、各走査線 (ゲート線) に対して選択信号 V_{gon} を順次供給することで線順次操作を行い、各ゲート線に接続された主薄膜トランジスタを順次オン状態にする。ゲートの選択期間は、前半のリセット期間 T_r と後半の書き込み期間 T_w からなり、リセット期間 T_r では強誘電体の分極をリセットする信号 V_r を信号線から供給し (リセット)、書き込み期間 T_w では画像信号 V_w を書き込む (書き込み)。このような表示信号のリフレッシュを行う書き込みフレーム T_{fw} は、リフレッシュごとに少なくとも 1 度あればよい。書き込みフレーム期間 T_{fw} では、スイッチ線に接続された並列スイッチング素子はオフ状態 (V_{swoff}) とすればよい。

【0 0 7 4】書き込みフレーム期間 T_{fw} に続く保持フレーム期間 T_{fh} では、静止画モードとなるゲート線に対し信号を与えて主薄膜トランジスタをオン状態とし、画素状態を保持するための保持信号電圧 V_h を印加する (保持)。このような保持フレームは通常、書き込みフレーム後の 2 以上の所定フレーム期間続く。保持フレーム期間 T_{fh} においても、スイッチ線に接続された並列スイッチング素子はオフ状態とすればよい。

【0 0 7 5】次に、動画モードにおける駆動方法について、図 1 3 に示したタイミングチャートを参照して説明する。

【0 0 7 6】まず、各ゲート線に対して選択信号 V_{gon} を順次供給することで線順次操作を行い、各ゲート線に接続された主薄膜トランジスタを順次オン状態にし、ゲートが選択された期間に画像信号 V_w を書き込む (書き込み)。このような書き込みを各画素について 1 フレーム期間 T_f 毎に 1 度ずつ行う。また、スイッチ線に接続された並列スイッチング素子はオン状態 (V_{swon}) とすればよい。なお、書き込みの前にリセットを行うようにしてもよい。

【0 0 7 7】本実施形態の駆動方法を用いることにより、1 画面内で静止画表示と動画表示を同時に行うことが可能である。すなわち、同一の走査線に接続された複数の画素単位で主薄膜トランジスタ及び並列薄膜トランジスタのオン・オフ制御は可能であるため、走査線単位で静止画と動画の切り替えが可能である。静止画を表示する部分では並列薄膜トランジスタを選択的にオフ状態

にして図 1 2 に示したような静止画モードの駆動を行い、動画を表示する部分では並列薄膜トランジスタを選択的にオン状態にして図 1 3 に示したような動画モードの駆動を行えばよい。なお、静止画を表示するか動画を表示するかの判断は、ある画素に供給される表示信号が連続する表示フレーム間で異なる場合には、当該画素の表示は動画であると見なし、当該画素と同一の走査線に接続された全ての画素を動画表示部分とする。

【0078】本実施形態においても第 1 の実施形態と同様、動画表示時には強誘電体薄膜からなる容量に電圧が印加されないため入力信号電圧を小さくすることができ、従来の液晶表示装置よりも低電圧化が可能となり、消費電力の小さい液晶表示装置を得ることが可能となる。

【0079】（実施形態 5）本実施形態は、第 1 の実施形態等で示した液晶表示装置の全体的なシステム構成に関するものである。以下、図 1 4 に示したブロック図を参照して、本実施形態に係る液晶表示装置について説明する。

【0080】図 1 4 に示した装置では、表示信号（画像信号）及び同期信号が表示タイミングコントローラ 6 1 に入力し、このタイミングコントローラ 6 1 で生成された信号がフレームメモリ 6 2、走査線駆動回路 6 3 及びスイッチ線駆動回路 6 5（リセット線駆動回路）に送られる。フレームメモリ 6 2 には、1 フレーム分或いは数フレーム分の表示信号が記録され、直前の 1 フレーム分或いは数フレーム分の表示信号との間で表示信号が同一であるかどうかと比較及び判断される。表示信号が同一である場合には静止画、同一でない場合には動画であると判断され、走査線駆動回路 6 3、信号線駆動回路 6 4 及びスイッチ線駆動回路 6 5 にそれぞれ、静止画モード或いは動画モードに対応した信号が送られる。これらの各駆動回路 6 3、6 4 及び 6 5 からは、静止画モード或いは動画モードに対応した信号が表示領域 6 6 に供給される。表示領域 6 6 の構成は、例えば上述した各実施形態に示したような構成となっている。

【0081】なお、動画モードと静止画モードの切り替えのための表示信号の同一性についての判断は、フレーム毎に画面全体に対して行ってもよいし、フレーム毎に各走査線単位で行ってもよい。

【0082】（実施形態 6）図 1 5 は本実施形態に係るアクティブマトリクス型液晶表示装置の構成例を示した図であり、図 1 6 は図 1 5 に示した単位画素 1 2 の等価回路について示した図である。基本的な構成は図 1 及び図 2 に示した第 1 の実施形態の構成と同様であり、対応する構成要素については同一の参照番号を付している。

【0083】図 1 及び図 2 に示した構成では、スイッチ線 1 7 が水平方向すなわち走査線 1 3 と平行な方向に配置されていたが、本実施形態では、スイッチ線 1 7 が垂直方向すなわち信号線 1 4 と平行な方向に配置されてい

*る。このような構成に対し、図 3 及び図 4 に示すような所定の信号を送ることにより表示動作を実現した。この場合、動画モードと静止画モードの切り替えのための表示信号の同一性についての判断は、フレームごとに画面全体に対して行えばよい。

【0084】以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【0085】

【発明の効果】本発明によれば、強誘電体のメモリ性を利用した液晶表示装置において、強誘電体容量に並列にスイッチング素子を設けたことにより、静止画表示と動画表示とで強誘電体容量の接続状態を変えることができるため、動画表示における駆動電圧の低減をはかることができ、消費電力の少ない液晶表示装置を得ることが可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る液晶表示装置の基本的な構成例を示した図。

【図 2】本発明の第 1 の実施形態に係る液晶表示装置の単位画素についてその等価回路を示した図。

【図 3】本発明の第 1 の実施形態に係る液晶表示装置の静止画モードにおける駆動方法を示したタイミングチャート。

【図 4】本発明の第 1 の実施形態に係る液晶表示装置の動画モードにおける駆動方法を示したタイミングチャート。

【図 5】本発明の第 2 の実施形態に係る液晶表示装置についてその単位画素の構成例を示した平面図。

【図 6】本発明の第 2 の実施形態に係る液晶表示装置についてその単位画素の構成例を示した断面図。

【図 7】本発明の第 3 の実施形態に係る液晶表示装置についてその単位画素の構成例を示した平面図。

【図 8】本発明の第 3 の実施形態に係る液晶表示装置についてその単位画素の構成例を示した断面図。

【図 9】本発明の第 3 の実施形態に係り、MFS - FET のドレイン電流のゲート電圧に対する特性を示した図。

【図 10】本発明の第 3 の実施形態に係る液晶表示装置の静止画モードにおける駆動方法を示したタイミングチャート。

【図 11】本発明の第 3 の実施形態に係る液晶表示装置の動画モードにおける駆動方法を示したタイミングチャート。

【図 1 2】本発明の第 4 の実施形態に係る液晶表示装置の静止画モードにおける駆動方法を示したタイミングチャート。

【図 1 3】本発明の第 4 の実施形態に係る液晶表示装置の動画モードにおける駆動方法を示したタイミングチャート。

【図 1 4】本発明の第 5 の実施形態に係る液晶表示装置のシステム構成を示したブロック図。

【図 1 5】本発明の第 6 の実施形態に係る液晶表示装置の構成例を示した図。

【図 1 6】本発明の第 6 の実施形態に係る液晶表示装置の単位画素についてその等価回路を示した図。

【図 1 7】従来技術に係る液晶表示装置の基本的な構成例を示した図。

【図 1 8】従来技術に係る液晶表示装置の単位画素についてその等価回路を示した図。

【図 1 9】従来技術に係る液晶表示装置の単位画素についてその等価回路を示した図。

【図 2 0】従来技術に係る液晶表示装置の駆動方法を示したタイミングチャート。

【図 2 1】従来技術に係る液晶表示装置に関し、強誘電体キャパシタのヒステリシス特性及び負荷曲線を示した図。

【図 2 2】従来技術に係る液晶表示装置に関し、強誘電体キャパシタのヒステリシス特性及び負荷曲線をモデル化して示した図。

【符号の説明】

1 1、6 6 ...表示領域

1 2 ...単位画素

1 3 ...走査線

1 4 ...信号線

1 5、6 3 ...走査線駆動回路

1 6、6 4 ...信号線駆動回路

* 1 7 ...スイッチ線

1 8、6 5 ...スイッチ線駆動回路

3 1 ...薄膜トランジスタ (主トランジスタ)

3 2 ...強誘電体キャパシタ

3 3 ...液晶層

3 4 ...画素電極

3 5 ...対向電極

3 6 ...薄膜トランジスタ (並列トランジスタ)

6 1 ...タイミングコントローラ

10 6 2 ...フレームメモリ

1 0 1 a、1 0 1 b、2 0 1 a、2 0 1 b ...ガラス基板

1 0 2、2 0 2 ...アンダーコート層

1 0 3、2 0 3 b ...下地電極パターン

1 0 4、2 0 4 a、2 0 4 b ...強誘電体薄膜

1 0 5、2 0 5 ...強誘電体キャパシタ上部電極

1 0 6 a、1 0 6 b、2 0 6 a ...ゲート電極

1 0 7、2 0 7 ...ゲート絶縁膜

1 0 8 a、1 0 8 b、2 0 8 a、2 0 8 b ...チャネル層

1 0 9 a、1 0 9 b、2 0 9 a、2 0 9 b ...チャネルス

20 トッパー層

1 1 0 a ~ 1 1 0 d、2 1 0 a ~ 2 1 0 d ...ソース・ドレイン電極

1 1 1、2 1 1 ...感光性樹脂層

1 1 2、2 1 2 ...凹凸パターン層

1 1 3、2 1 3 ...画素電極

1 1 4 a、1 1 4 b、2 1 4 a、2 1 4 b ...配向膜

1 1 5、2 1 5 ...液晶層

1 1 6、2 1 6 ...対向電極

1 1 7、2 1 7 ...カラーフィルタ層

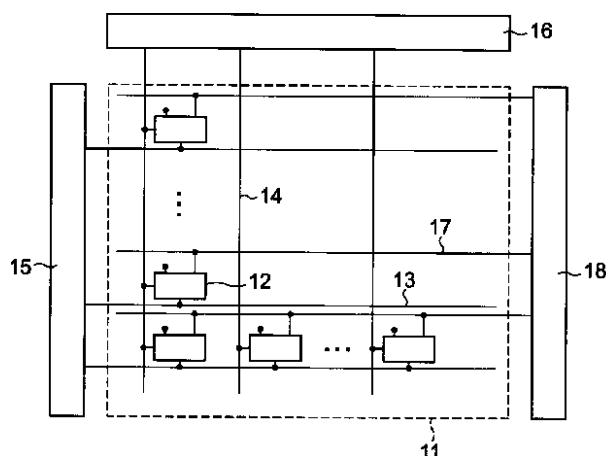
30 1 1 8、2 1 8 ...ブラックマトリクス層

1 1 9、2 1 9 ...スペーサ

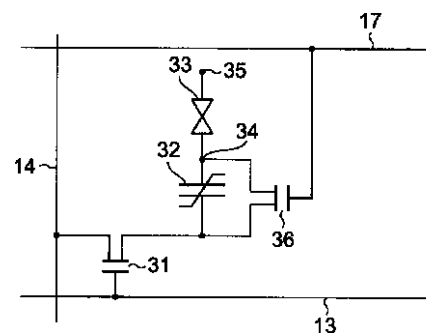
2 0 3 a ...M F S - F E T のゲート電極

*

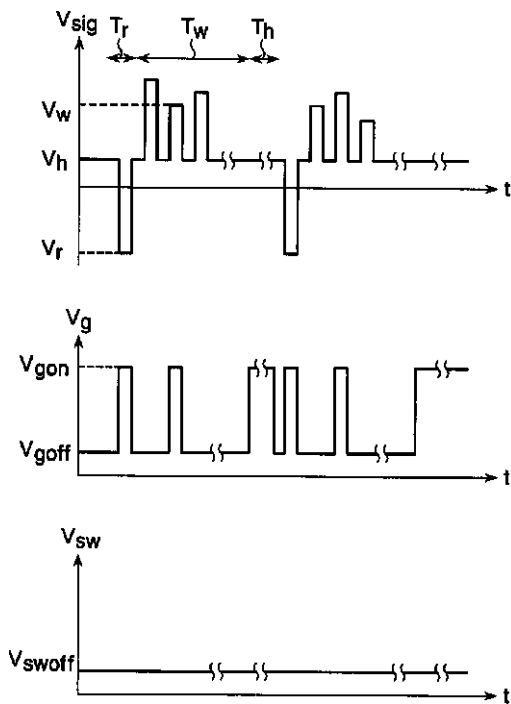
【図 1】



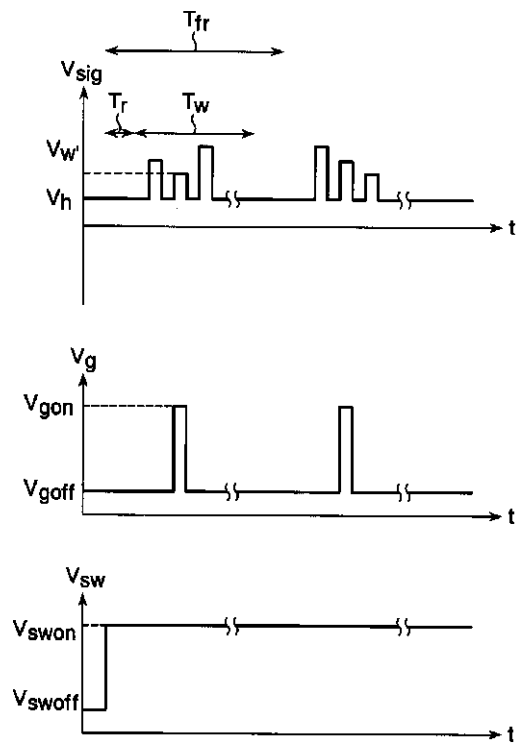
【図 2】



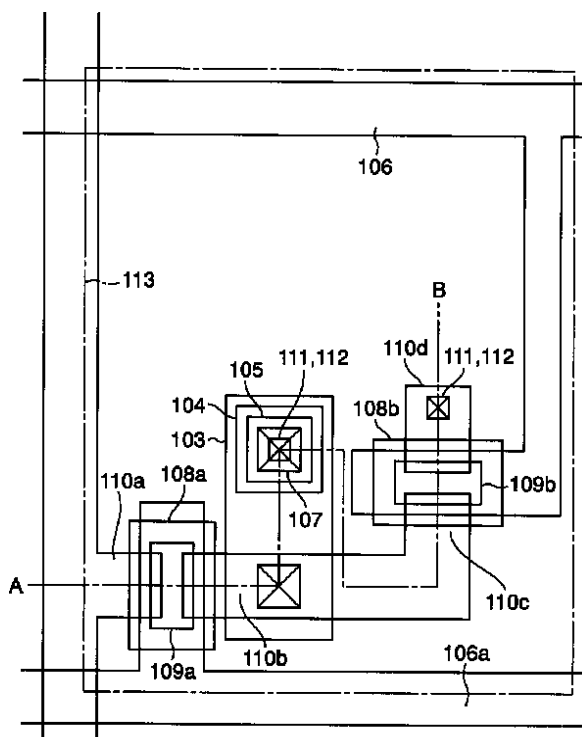
【図 3】



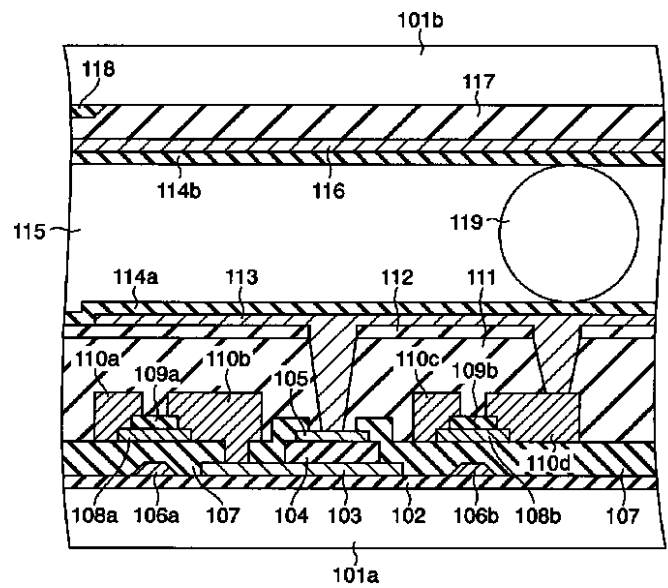
【図 4】



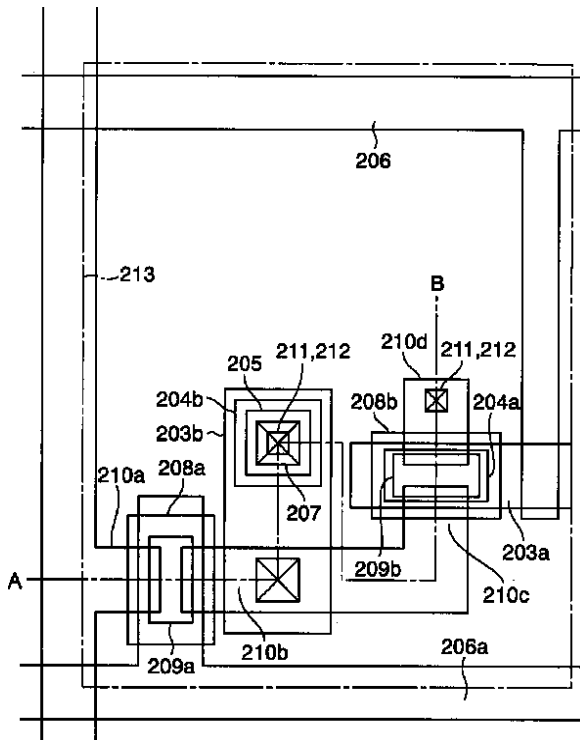
【図 5】



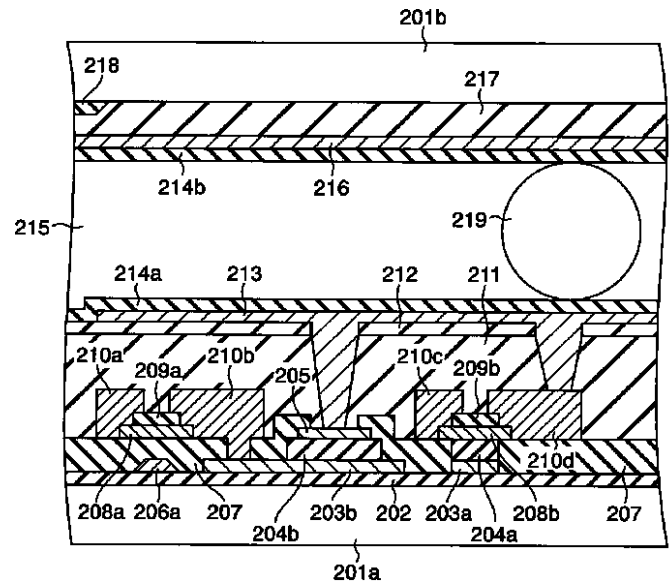
【図 6】



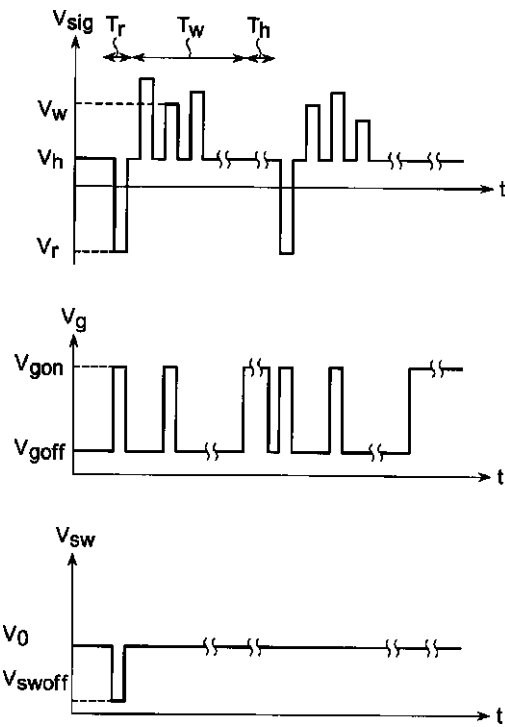
【図 7】



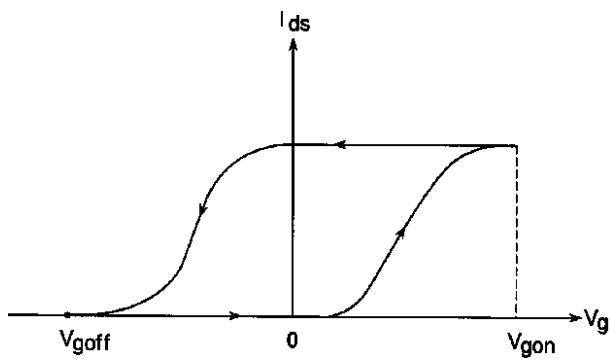
【図 8】



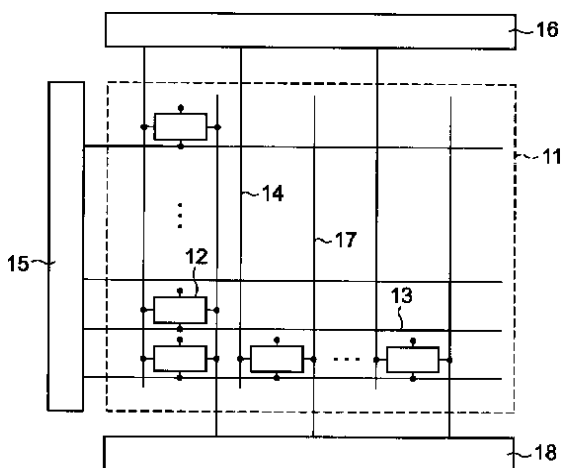
【図 10】



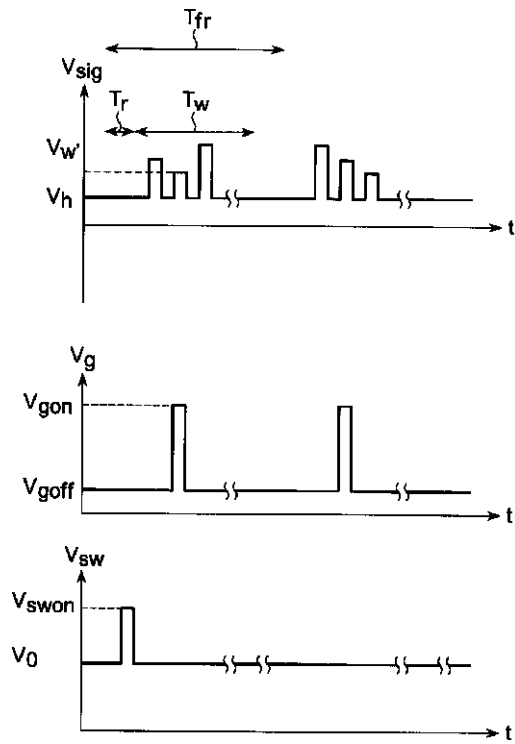
【図 9】



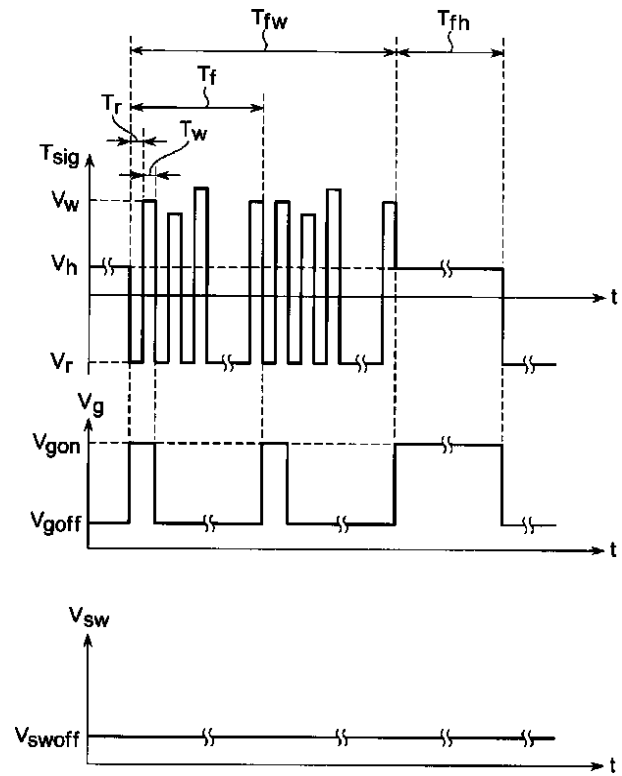
【図 15】



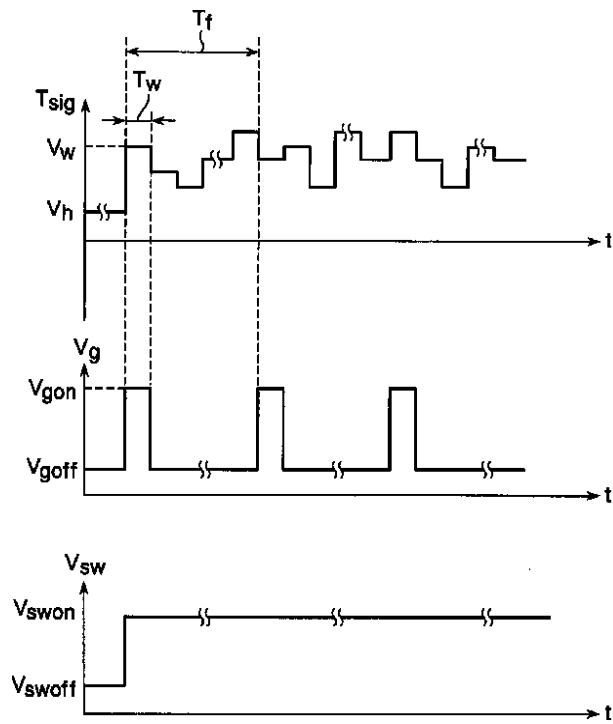
【図 1 1】



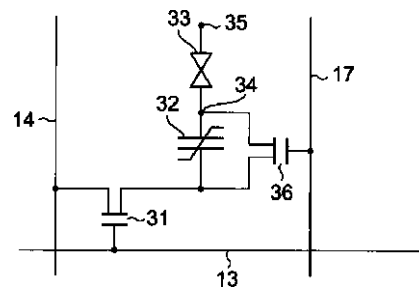
【図 1 2】



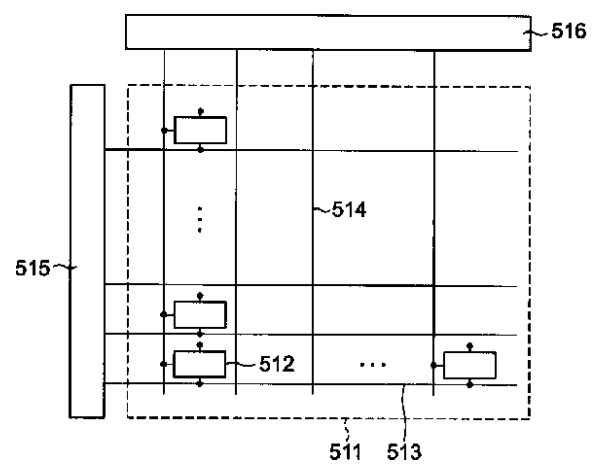
【図 1 3】



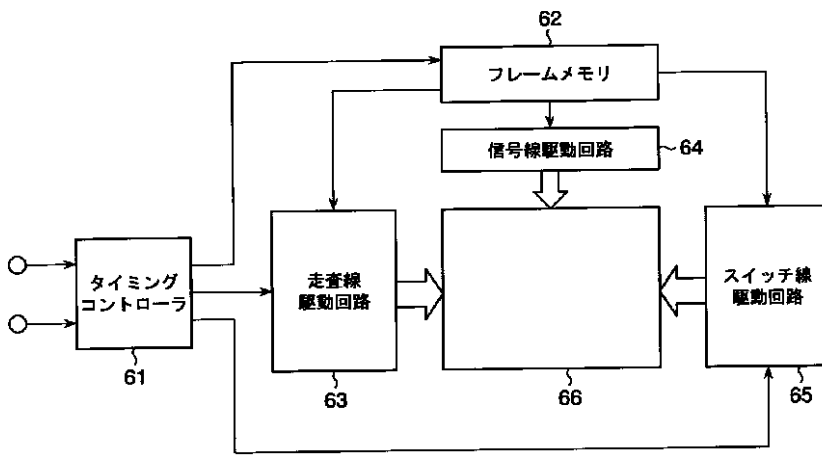
【図 1 6】



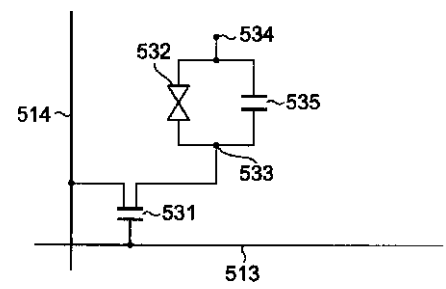
【図 1 7】



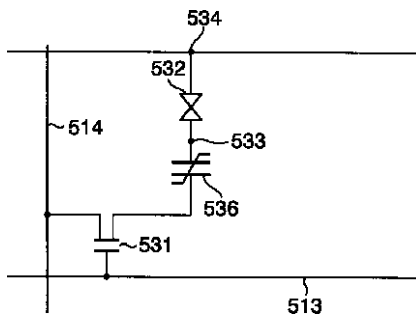
【図 1 4】



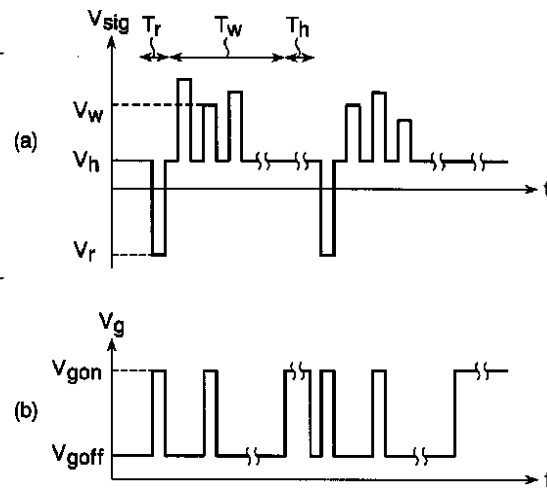
【図 1 8】



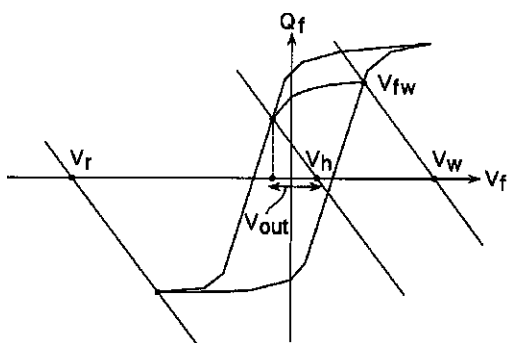
【図 1 9】



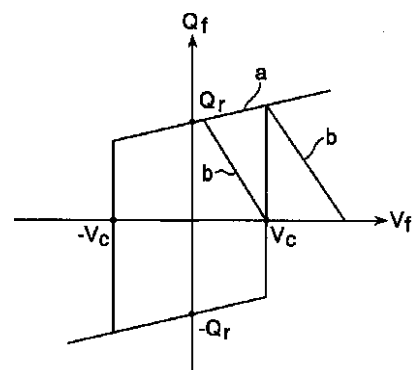
【図 2 0】



【図 2 1】



【図 2 2】



フロントページの続き

(56)参考文献 特開 平 9 - 236824 (J P , A)
特開 平11 - 30789 (J P , A)
特開 平 7 - 72511 (J P , A)
特開 平 2 - 120790 (J P , A)
特開 平 5 - 289114 (J P , A)
特開 平 9 - 138428 (J P , A)
特開 昭49 - 3649 (J P , A)
特開 昭56 - 21193 (J P , A)
特開2001 - 195028 (J P , A)

(58)調査した分野(Int.Cl.⁷, D B 名)

G02F 1/1362
G02F 1/1343
G02F 1/1333
G02F 1/133

专利名称(译)	液晶表示装置		
公开(公告)号	JP3382221B2	公开(公告)日	2003-03-04
申请号	JP2000368690	申请日	2000-12-04
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
当前申请(专利权)人(译)	东芝公司		
[标]发明人	原雄二郎 小野塚豊 秋山政彦		
发明人	原 雄二郎 小野塚 豊 秋山 政彦		
IPC分类号	G02F1/136 G02F1/133 G02F1/1368 G09F9/30 G09G3/20 G09G3/36		
FI分类号	G02F1/1368 G02F1/133.550 G02F1/136.500 G09F9/30.338 G09G3/20.611.A G09G3/20.622.P G09G3/20.624.B G09G3/36		
F-TERM分类号	2H092/JA24 2H092/JA33 2H092/JA35 2H092/JA36 2H092/JA39 2H092/JA43 2H092/JA44 2H092/JB07 2H092/JB42 2H092/JB52 2H092/JB57 2H092/JB63 2H092/JB67 2H092/KA05 2H092/KA12 2H092/KA18 2H092/KA19 2H092/KA22 2H092/KB05 2H092/KB24 2H092/KB28 2H092/MA05 2H092/MA07 2H092/PA08 2H092/PA09 2H092/QA07 2H092/QA08 2H092/QA10 2H092/QA15 2H093/NA16 2H093/NA43 2H093/NA53 2H093/ND38 2H093/ND39 2H093/NF05 2H093/NF06 2H093/NF11 2H093/NF13 2H192/AA24 2H192/BC31 2H192/BC72 2H192/BC82 2H192/CB05 2H192/CB23 2H192/CB83 2H192/EA22 2H192/EA43 2H192/GC21 2H192/GD61 2H192/JA06 2H193/ZA19 2H193/ZD23 2H193/ZQ06 2H193/ZQ07 2H193/ZQ09 2H193/ZQ13 5C006/AA01 5C006/AA22 5C006/AC11 5C006/AC15 5C006/AC22 5C006/AC24 5C006/AF44 5C006/BA12 5C006/BB15 5C006/BC06 5C006/BF02 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD26 5C080/FF11 5C080/GG05 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C094/AA22 5C094/BA03 5C094/BA09 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DA15 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA10 5C094/EB02 5C094/FA01 5C094/FA02 5C094/FB16 5C094/GA10		
其他公开文献	JP2002169181A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示器，能够在显示运动图像时降低驱动电压，并降低功耗。解决方案：该液晶显示器具有多个像素部分，其对应于多条扫描线13的交叉部分，水平布置，多条信号线14垂直布置，并且包括保持在像素电极34和计数器之间的液晶层33电极35;像素部设有铁电电容32，其第一端与像素部连接;第一开关元件31，其第一端与信号线连接，第二端与铁电电容的第二端连接，并且由来自扫描线的扫描信号控制;第二开关元件36与铁电电容并联连接。

【図2】

