

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-107777

(P2008-107777A)

(43) 公開日 平成20年5月8日(2008.5.8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 621M	5C006
G02F 1/133 (2006.01)	G09G 3/20 680G	5C080
	G09G 3/20 612J	
	G09G 3/20 641C	
審査請求 未請求 請求項の数 18 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2007-98395 (P2007-98395)	(71) 出願人	390019839
(22) 出願日	平成19年4月4日 (2007.4.4)		三星電子株式会社
(31) 優先権主張番号	10-2006-0103624		SAMSUNG ELECTRONICS
(32) 優先日	平成18年10月24日 (2006.10.24)		CO., LTD.
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞416
			416, Maetan-dong, Yeongtong-gu, Suwon-si,
			Gyeonggi-do 442-742
			(KR)
		(74) 代理人	110000408
			特許業務法人高橋・林アンドパートナーズ
		(72) 発明者	金 ▲寛▼ ▲許▼
			大韓民国忠清南道天安市斗井洞洗鑛アパートメント203棟 1203号

最終頁に続く

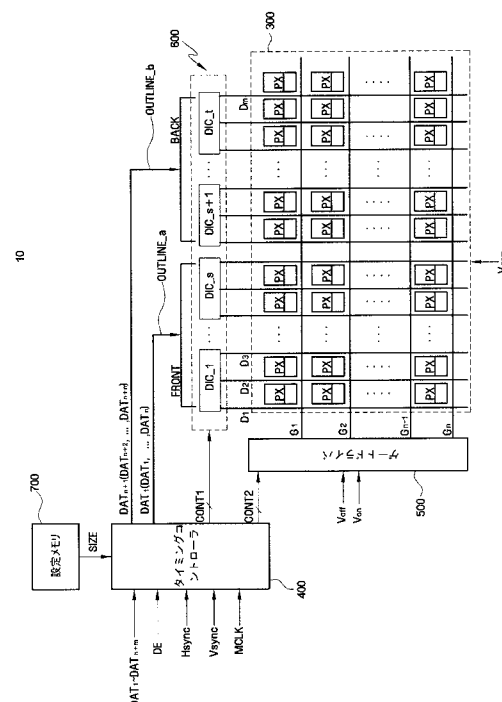
(54) 【発明の名称】 タイミングコントローラ及びこれを備える液晶表示装置

(57) 【要約】

【課題】EMIを低減できるタイミングコントローラ及びこれを備える液晶表示装置を提供する。

【解決手段】ラインバッファメモリと、第1映像データセットのデータサイズを表す第1データ情報と、第2映像データセットのデータサイズを表す第2データ情報とを受信して、前記第1映像データセットのデータサイズと前記第2映像データセットのデータサイズとを比較する比較部と、比較結果によって、ラインバッファメモリを同じメモリサイズの、もしくは、前記第2映像データセットを保存できるメモリサイズを有する第1メモリ部と第2メモリ部とに区分するメモリ割当部と、を備えるタイミングコントローラ。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

回路基板と、

前記回路基板上に実装されるタイミングコントローラであり、順次に入力される第 1 ないし第 $n + m$ 画素データを、前記第 1 ないし第 n 画素データを含む第 1 映像データセットと、前記第 $n + 1$ ないし第 $n + m$ 画素データを含む第 2 映像データセットとに区分して保存するが、前記第 1 映像データセットのデータサイズは、前記第 2 映像データセットのデータサイズより小さく ($m > n$)、前記保存された第 1 映像データセット及び前記第 2 映像データセットからそれぞれ 1 個ずつの前記画素データを同時に出力するタイミングコントローラと、

10

前記回路基板と電氣的に接続されて、前記画素データに対応するデータ電圧を複数のデータラインに提供するデータドライバであり、第 1 ないし第 n 画素データに対応するデータ電圧を提供する第 1 番目ないし第 s 番目データドライバ IC を含む第 1 データドライバ IC グループと、前記第 $n + 1$ ないし第 $n + m$ 画素データに対応するデータ電圧を提供する第 $s + 1$ 番目ないし第 $s + t$ 番目データドライバ IC を含む第 2 データドライバ IC グループと、を含むが、前記第 1 データドライバ IC グループのデータドライバ IC の個数は、前記第 2 データドライバ IC グループのデータドライバ IC の個数より小さな ($t > s$) データドライバと、

前記複数のデータラインによって印加された前記データ電圧によって映像を表示する液晶パネルと、
を備えることを特徴とする液晶表示装置。

20

【請求項 2】

前記タイミングコントローラは、前記第 1 映像データセットを保存する第 1 メモリ部と、前記第 2 映像データセットを保存する第 2 メモリ部と、
を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 メモリ部と前記第 2 メモリ部とは、同じメモリサイズを有することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記タイミングコントローラは、第 1 メモリ部及び第 2 メモリ部を備え、前記第 1 メモリ部及び前記第 2 メモリ部に前記第 2 映像データセットを保存できるメモリサイズを割り当て、前記第 1 メモリ部に前記第 1 映像データセットを保存し、前記第 2 メモリ部に前記第 2 映像データセットを保存する請求項 1 に記載の液晶表示装置。

30

【請求項 5】

前記タイミングコントローラは、ラインバッファメモリと、前記第 1 映像データセットのデータサイズを表す第 1 データ情報と、前記第 2 映像データセットのデータサイズを表す第 2 データ情報とを受信して、前記第 1 映像データセットのデータサイズと前記第 2 映像データセットのデータサイズとを比較する比較部と、その比較結果によって前記ラインバッファメモリを、前記第 2 映像データセットを保存できるメモリサイズを有する第 1 メモリ部と第 2 メモリ部とに区分するメモリ割当部と、
を備えることを特徴とする請求項 1 に記載の液晶表示装置。

40

【請求項 6】

前記第 1 データ情報及び前記第 2 データ情報を前記比較部に提供する設定メモリをさらに備えることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記第 1 データ情報は、前記複数のデータラインのうち、前記第 1 データドライバ IC グループに電氣的に接続されたデータラインの数であり、前記第 2 データ情報は、前記複数のデータラインのうち、前記第 2 データドライバ IC グループに電氣的に接続されたデータラインの数であることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

50

前記タイミングコントローラは、前記第 s 番目データドライバ IC 及び前記第 $s + 1$ データドライバ IC が前記回路基板に接続される部分の間の前記回路基板上に実装されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】

前記回路基板は、前記タイミングコントローラと前記第 1 データドライバ IC グループとの間に接続され、前記第 1 ないし第 n 画素データを伝達する第 1 信号伝送ラインと、前記タイミングコントローラと前記第 2 データドライバ IC グループとの間に接続され、前記第 $n + 1$ ないし第 $n + m$ 画素データを伝達する第 2 信号伝送ラインとを備え、前記第 1 及び第 2 信号伝送ラインはそれぞれ、前記タイミングコントローラから前記第 1 ないし第 n 画素データ及び前記第 $n + 1$ ないし第 $n + m$ 画素データが順次に同時に出力される前記回路基板の第 1 層の第 1 出力ラインと、ビアを介して前記第 1 出力ラインから前記第 1 ないし第 n 画素データ及び前記第 $n + 1$ ないし第 $n + m$ 画素データが、それぞれ前記第 1 番目ないし第 s 番目データドライバ IC 及び前記第 $s + 1$ 番目ないし第 $s + t$ 番目データドライバ IC に出力される前記回路基板の第 2 層の第 2 出力ラインと、を備えることを特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 10】

前記第 1 出力ラインは、複数の屈曲部を備え、前記屈曲部の内角が 90° 以上であることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

順次に入力される第 1 ないし第 $n + m$ 画素データを、前記第 1 ないし第 n 画素データを含む第 1 映像データセットと、前記第 $n + 1$ ないし第 $n + m$ 画素データを含む第 2 映像データセットとに区分して保存し、前記保存された第 1 映像データセット及び前記第 2 映像データセットからそれぞれ 1 個ずつの前記画素データを同時に出力するタイミングコントローラと、

20

前記第 1 ないし第 n 画素データを受信して、複数のデータラインのうち一部に、前記第 1 ないし第 n 画素データそれぞれに対応するデータ電圧を提供する第 1 データドライバ IC グループと、前記第 $n + 1$ ないし第 $n + m$ 画素データを受信して、前記複数のデータラインのうちの残りに、前記第 $n + 1$ ないし第 $n + m$ 画素データそれぞれに対応するデータ電圧を提供する第 2 データドライバ IC グループとを含むデータドライバであり、前記第 1 データドライバ IC グループは、第 1 番目ないし第 s 番目データドライバ IC を含み、第 2 データドライバ IC グループは、第 $s + 1$ 番目ないし第 $s + t$ 番目データドライバ IC を含むデータドライバと、

30

前記タイミングコントローラが実装され、前記タイミングコントローラと前記第 1 データドライバ IC グループとの間に接続され、前記第 1 ないし第 n 画素データを伝達する第 1 信号伝送ラインと、前記タイミングコントローラと前記第 2 データドライバ IC グループとの間に接続され、前記第 $n + 1$ ないし第 $n + m$ 画素データを伝達する第 2 信号伝送ラインと、を備える回路基板であり、

前記第 1 及び第 2 信号伝送ラインはそれぞれ、

前記タイミングコントローラから、前記第 1 ないし第 n 画素データ及び前記第 $n + 1$ ないし第 $n + m$ 画素データが順次に同時に出力される前記回路基板の第 1 層の第 1 出力ラインと、

40

ビアを介して前記第 1 出力ラインから、前記第 1 ないし第 n 画素データ及び前記第 $n + 1$ ないし第 $n + m$ 画素データが、それぞれ前記第 1 番目ないし第 s 番目データドライバ IC 及び前記第 $s + 1$ 番目ないし第 $s + t$ 番目データドライバ IC に出力される前記回路基板の第 2 層の第 2 出力ラインを備え、前記第 1 出力ラインは、複数の屈曲部を備え、前記屈曲部の内角は 90° 以上である回路基板と、を備えることを特徴とする液晶表示装置。

【請求項 12】

前記第 1 映像データセットのデータサイズは、前記第 2 映像データセットのデータサイズより小さく ($m > n$)、前記第 1 データドライバ IC グループのデータドライバ IC の

50

個数は、前記第 2 データドライバ I C グループのデータドライバ I C の個数より小さな ($t > s$)、ことを特徴とする請求項 1 1 に記載の液晶表示装置。

【請求項 1 3】

前記タイミングコントローラは、前記第 s 番目データドライバ I C 及び前記第 $s + 1$ データドライバ I C が前記回路基板に接続される接続部の間の前記回路基板上に実装されることを特徴とする請求項 1 2 に記載の液晶表示装置。

【請求項 1 4】

前記タイミングコントローラは、ラインバッファメモリと、前記第 1 映像データセットのデータサイズを表す第 1 データ情報と、前記第 2 映像データセットのデータサイズを表す第 2 データ情報とを受信して、前記第 1 映像データセットのデータサイズと前記第 2 映像データセットのデータサイズとを比較する比較部と、その比較結果によって前記ラインバッファメモリを、前記第 2 映像データセットを保存できるメモリサイズを有する第 1 メモリ部と第 2 メモリ部とに区分するメモリ割当部と、を備えることを特徴とする請求項 1 1 に記載の液晶表示装置。

10

【請求項 1 5】

前記第 1 映像データセットのデータサイズを表す第 1 データ情報及び前記第 2 映像データセットのデータサイズを表す第 2 データ情報を前記比較部に提供する設定メモリをさらに備えることを特徴とする請求項 1 4 に記載の液晶表示装置。

【請求項 1 6】

ラインバッファメモリと、

20

第 1 データ情報と第 2 データ情報とを比較する比較部と、

その比較結果によって、前記ラインバッファメモリを同じメモリサイズを有する第 1 メモリ部と第 2 メモリ部とに区分するメモリ割当部と、を備えることを特徴とするタイミングコントローラ。

【請求項 1 7】

順次に入力される第 1 ないし第 $n + m$ 画素データを、前記第 1 ないし第 n 画素データを含む第 1 映像データセットと、前記第 $n + 1$ ないし第 $n + m$ 画素データを含む第 2 映像データセットとに区分し、前記第 1 データ情報は、前記第 1 映像データセットのデータサイズを表し、前記第 2 データ情報は、第 2 映像データセットのデータサイズを表すとき、

30

前記メモリ割当部は、前記ラインバッファメモリを前記第 1 データ情報と前記第 2 データ情報のうち、大きなデータサイズに対応するメモリサイズを有する前記第 1 メモリ部と前記第 2 メモリ部とに区分することを特徴とする請求項 1 6 に記載のタイミングコントローラ。

【請求項 1 8】

前記ラインバッファメモリは、前記第 1 映像データセットを前記第 1 メモリ部に保存し、前記第 2 映像データセットを第 2 メモリ部に保存し、前記保存された第 1 映像データセット及び前記第 2 映像データセットからそれぞれ 1 個ずつの前記画素データを同時に出力することを特徴とする請求項 1 7 に記載のタイミングコントローラ。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、タイミングコントローラ及びこれを備える液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、映像表示のために複数の画素データを提供するタイミングコントローラと、タイミングコントローラから提供された画素データに対応する電圧を複数のデータラインに提供するデータドライバと、を備える。

【0003】

1 チャネル駆動方式によれば、タイミングコントローラは、順次に入力される複数の画素データを、入力された順にデータドライバに画素データを提供する。高解像度の液晶表

50

示装置の場合、データラインの数が多くなって、2チャンネル方式で駆動する。すなわち、タイミングコントローラは、複数のデータドライバICを含むデータドライバを、第1データドライバICグループと第2データドライバICグループとに区分し、順次に入力される複数の画素データを保存した後、第1データドライバICグループと第2データドライバICグループとに、それぞれ画素データを同時に出力する。このために、タイミングコントローラは、第1データドライバICグループに提供する第1映像データセットと、第2データドライバICグループに提供する第2映像データセットとを、それぞれ第1メモリ部と第2メモリ部とに保存する。

【0004】

このようなタイミングコントローラは、複数の画素データを受信する前に、第1メモリ部と第2メモリ部に、第1映像データセットを保存できる十分なメモリサイズを割り当てる。したがって、複数のデータドライバICsは、第1映像データのデータサイズが第2映像データセットのデータサイズより大きくなるように、第1データドライバICグループと第2データドライバICグループとに区分される。すなわち、第1データドライバICグループに含まれるデータドライバICsの個数は、第2データドライバICグループに含まれるデータドライバICの個数より大きくなる。

【0005】

このような場合、タイミングコントローラが一定の形状の回路基板に実装されるとき、タイミングコントローラは、第1データドライバICグループと第2データドライバICグループとの間の回路基板上に実装されず、第1データドライバICグループ側に偏って実装される。したがって、第1データドライバICグループに画素データを伝送する信号伝送ラインは、90°より小さいか若しくは同等の内角を有する屈曲部を備える。また、タイミングコントローラの実装位置が制限的になる。したがって、電磁波干渉(Electro Magnetic Interference、以下「EMI」という)が誘発される。

【特許文献1】韓国特許公開第2000-0075227号

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする技術的課題は、EMIを減少させるタイミングコントローラを提供することである。

【0007】

本発明が解決しようとする他の技術的課題は、EMIを減少させる液晶表示装置を提供することである。

【0008】

本発明の目的は、以上で言及した目的に制限されず、言及されていない他の目的は下の記載から当業者に明確に理解されう。

【課題を解決するための手段】

【0009】

前記技術的課題を達成するための本発明の一態様によるタイミングコントローラは、ラインバッファメモリと、第1データ情報と第2データ情報とを比較する比較部、及びその比較結果によってラインバッファメモリを同じメモリサイズの第1メモリ部と第2メモリ部とに区分するメモリ割当部と、を備える。

【0010】

他の技術的課題を達成するための本発明の一態様による液晶表示装置は、回路基板と、回路基板上に実装されるタイミングコントローラであり、順次に入力される第1ないし第n+m画素データを、第1ないし第n画素データを含む第1映像データセットと、前記第n+1ないし第n+m画素データを含む第2映像データセットとに区分して保存するが、第1映像データセットのデータサイズは、第2映像データセットのデータサイズより小さく($m > n$)、保存された第1映像データセット及び第2映像データセットからそれぞれ1

10

20

30

40

50

個ずつの画素データを同時に出力するタイミングコントローラと、回路基板と電氣的に接続されて、画素データに対応するデータ電圧を複数のデータラインに提供するデータドライバであり、第 1 ないし第 n 画素データに対応するデータ電圧を提供する第 1 番目ないし第 s 番目データドライバ IC を含む第 1 データドライバ IC グループと、第 $n + 1$ ないし第 $n + m$ 画素データに対応するデータ電圧を提供する第 $s + 1$ 番目ないし第 $s + t$ 番目データドライバ IC を含む第 2 データドライバ IC グループと、を含むが、第 1 データドライバ IC グループのデータドライバ IC の個数は、第 2 データドライバ IC グループのデータドライバ IC の個数より小さな ($t > s$) データドライバと、複数のデータラインを介して印加されたデータ電圧によって映像を表示する液晶パネルと、を備える。

【0011】

技術的課題を達成するための本発明のさらに他の態様による液晶表示装置は、順次に入力される第 1 ないし第 $n + m$ 画素データを、第 1 ないし第 n 画素データを含む第 1 映像データセットと、第 $n + 1$ ないし第 $n + m$ 画素データを含む第 2 映像データセットとに区分して保存し、保存された第 1 映像データセット及び第 2 映像データセットからそれぞれ 1 個ずつの画素データを同時に出力するタイミングコントローラと、第 1 ないし第 n 画素データを受信して、複数のデータラインのうち一部に、第 1 ないし第 n 画素データそれぞれに対応するデータ電圧を提供する第 1 データドライバ IC グループと、第 $n + 1$ ないし第 $n + m$ 画素データを受信して、複数のデータラインのうち残りに、第 $n + 1$ ないし第 $n + m$ 画素データそれぞれに対応するデータ電圧を提供する第 2 データドライバ IC グループを含むデータドライバであり、第 1 データドライバ IC グループは、第 1 番目ないし第 s 番目データドライバ IC を含み、第 2 データドライバ IC グループは、第 $s + 1$ 番目ないし第 $s + t$ 番目データドライバ IC を含むデータドライバと、タイミングコントローラが実装され、タイミングコントローラと第 1 データドライバ IC グループとの間に接続され、第 1 ないし第 n 画素データを伝達する第 1 信号伝送ラインと、タイミングコントローラと第 2 データドライバ IC グループとの間に接続され、第 $n + 1$ ないし第 $n + m$ 画素データを伝達する第 2 信号伝送ラインと、を備える回路基板であり、第 1 及び第 2 信号伝送ラインはそれぞれ、タイミングコントローラから、第 1 ないし第 $n + m$ 画素データ及び第 n ないし第 $n + m$ 画素データが順次に同時に出力される回路基板の第 1 層の第 1 出力ラインと、ビアを介して第 1 出力ラインから、第 1 ないし第 $n + m$ 画素データ及び第 n ないし第 $n + m$ 画素データが、それぞれ第 1 番目ないし第 s 番目データドライバ IC 及び第 $s + 1$ 番目ないし第 $s + t$ 番目データドライバ IC に出力される回路基板の第 2 層の第 2 出力ラインを備え、第 1 出力ラインは、複数の屈曲部を備え、屈曲部の内角は 90° 以上である回路基板と、を備える。その他の実施例の具体的な事項は詳細な説明及び図面に含まれている。

【発明の効果】

【0012】

本発明のタイミングコントローラ及びこれを備える液晶表示装置によれば、電磁波の放出を防止して EMI を減少させる。

【発明を実施するための最良の形態】

【0013】

本発明の利点及び特徴、そしてこれを達成する方法は添付された図面に基づいて詳細に後述されている実施例を参照すれば明確になる。しかし、本発明は以下で開示される実施例に限定されるものではなく、この実施例から外れて多様な形に実現でき、本明細書で説明する実施例は本発明の開示を完全にし、本発明が属する技術分野における当業者に発明の範ちゅうを完全に理解させるために提供されるものである。一方、明細書全体にわたって同一の参照符号は同一の構成要素を示す。

【0014】

以下、添付した図面を参照して本発明の好ましい実施形態について詳細に説明する。

図 1 ないし図 4 を参照して、本発明の実施形態によるタイミングコントローラ及びこれを備える液晶表示装置について説明する。図 1 は、本発明の実施形態による液晶表示装置

10

20

30

40

50

を説明するためのブロック図であり、図2は、図1の一画素の等価回路図であり、図3は、図1のタイミングコントローラを説明するためのブロック図であり、図4は、図1のタイミングコントローラとデータドライバとの配置構造を説明するための回路基板の斜視図である。

【0015】

まず、図1を参考にすれば、本発明の実施形態による液晶表示装置10は、液晶パネル300、タイミングコントローラ400、ゲートドライバ500、データドライバ600及び設定メモリ700を備える。

【0016】

液晶パネル300は、等価回路で見ると、複数の表示信号線 $G_1 \sim G_p$ 、 $D_1 \sim D_n$ と、これらに接続されており、行列の形態に配列された複数の画素PXを含む。表示信号線 $G_1 \sim G_p$ 、 $D_1 \sim D_n$ は、ゲート信号を伝達する複数のゲートライン $G_1 \sim G_p$ と、データ信号を伝達する複数のデータライン $D_1 \sim D_n$ とを備える。

10

【0017】

図2に、図1の一画素PXに対する等価回路を示した。第1表示板100の画素電極PEと対向するように、第2表示板200の共通電極CEの一部領域にカラーフィルタCFが形成される。各画素PX、例えば、 i 番目($i = 1, 2, \dots, p$)ゲートライン G_i と j 番目($j = 1, 2, \dots, n$)データライン D_j とに接続された画素PXは、信号線(G_i, D_j)に接続されたスイッチング素子Qと、これに接続された液晶キャパシタ(liquid crystal capacitor、Clc)及び蓄積キャパシタ(storage capacitor、Cst)を含む。蓄積キャパシタCstは、必要に応じて省略してもよい。

20

【0018】

一方、タイミングコントローラ400の外部のグラフィック制御器(図示せず)から順次に第1画素データDAT₁ないし第 $n+m$ 画素データDAT _{$n+m$} を受信し、一対ずつの画素データを順次に出力する。すなわち、第1画素データDAT₁及び第 $n+1$ 画素データDAT _{$n+1$} を同時に出力し、次いで、第2画素データDAT₂及び第 $n+2$ 画素データDAT _{$n+2$} を出力する。このような方式で、第1画素データDAT₁及び第 $n+1$ 画素データDAT _{$n+1$} を始め、順次に一対の画素データを同時に出力する。ここで、第1画素データDAT₁ないし第 $n+m$ 画素データDAT _{$n+m$} は、一つのゲートライン $G_1 \sim G_p$ と電氣的に接続された画素PXに印加される画素データである。

30

【0019】

さらに詳細に説明すれば、タイミングコントローラ400はまず、順次に入力された第1画素データDAT₁ないし第 $n+m$ 画素データDAT _{$n+m$} を、第1画素データDAT₁ないし第 n 画素データDAT _{n} を含む第1映像データセットと、第 $n+1$ 画素データDAT _{$n+1$} ないし第 $n+m$ 画素データDAT _{$n+m$} を含む第2映像データセットとに区分して保存する。ここで、第1映像データセットのデータサイズは、第2映像データセットの大きさより小さい($m > n$)。

【0020】

次いで、保存された第1映像データセットと第2映像データセットとから、それぞれ一対ずつの画素データを同時に出力する。このために、タイミングコントローラ400は、第1画素データDAT₁ないし第 $n+m$ 画素データDAT _{$n+m$} を、タイミングコントローラ400内部のラインバッファメモリ(図示せず)に保存する。

40

【0021】

具体的に、第1画素データDAT₁ないし第 n 画素データDAT _{n} を含む第1映像データセットを、ラインバッファメモリ(図示せず)の第1メモリ部(図示せず)に保存し、第 $n+1$ 画素データDAT _{$n+1$} ないし第 $n+m$ 画素データDAT _{$n+m$} を含む第2映像データセットを、ラインバッファメモリ(図示せず)の第2メモリ部(図示せず)に保存する。このとき、第1メモリ部(図示せず)と第2メモリ部(図示せず)のメモリサイズは、タイミングコントローラ400が、設定メモリ部700から第1データ情報SIZE1と

50

第2データ情報 $S I Z E 2$ とを受信して、各メモリサイズを割り当てる。ここで、第1データ情報 $S I Z E 1$ と第2データ情報 $S I Z E 2$ とは、それぞれ第1映像データセットのデータサイズと第2映像データセットのデータサイズとを表す。このようなタイミングコントローラ 400の詳細な動作は、図3を参照して後述する。

【0022】

また、タイミングコントローラ 400は、入力制御信号を受信してゲート制御信号 $C O N T 2$ とデータ制御信号 $C O N T 1$ とを生成し、ゲート制御信号 $C O N T 2$ をゲートドライバ 500に、データ制御信号 $C O N T 1$ をデータドライバ 600に送る。

【0023】

ここで、入力制御信号の例としては、垂直同期信号 $V s y n c$ と水平同期信号 $H s y n c$ 、メインクロック $M C L K$ 、データイネーブル信号 $D E$ などがある。ゲート制御信号 $C O N T 2$ は、ゲートドライバ 500の動作を制御するための信号であり、ゲートドライバ 500の動作を開始する垂直開始信号、ゲートオン電圧の出力時期を決定するゲートクロック信号及びゲートオン電圧のパルス幅を決定する出力イネーブル信号などを含む。データ制御信号 $C O N T 1$ は、データドライバの動作を制御する信号であり、データドライバの動作を開始する水平開始信号、二つのデータ電圧の出力を指示するロード信号などを含む。

【0024】

データドライバ 600は、タイミングコントローラ 400から画素データ $D A T _1 \sim D A T _{n+m}$ を受信して、これに対応するデータ電圧を複数のデータライン $D _1 \sim D _n$ に提供する。このようなデータドライバ 600は、第1番目データドライバ $I C \quad D I C _1$ ないし第 s 番目データドライバ $I C \quad D I C _s$ を含む第1データドライバ $I C$ グループ $F R O N T$ と、第 $s+1$ 番目データドライバ $I C \quad D I C _s+1$ ないし第 $s+t$ 番目データドライバ $I C \quad D I C _s+t$ を含む第2データドライバ $I C$ グループ $B A C K$ とに区分される。

【0025】

ここで、第1データドライバ $I C$ グループ $F R O N T$ は、タイミングコントローラ 400から第1映像データセットの画素データ $D A T _1 \sim D A T _n$ を、第1信号伝送ライン $O U T L I N E _a$ を介して受信する。第2データドライバ $I C$ グループ $B A C K$ は、タイミングコントローラ 400から第2映像データセットの画素データ $D A T _{n+1} \sim D A T _{n+m}$ を、第2信号伝送ライン $O U T L I N E _b$ を介して受信する。

【0026】

すなわち、タイミングコントローラ 400が保存した第1映像データセットのデータサイズが、第2映像データセットのデータサイズより小さいので、第1データドライバ $I C$ グループ $F R O N T$ のデータドライバ $I C \quad D I C _1 \sim D I C _s$ の数が、第2データドライバ $I C$ グループ $B A C K$ のデータドライバ $I C \quad D I C _s+1 \sim D I C _t$ の数より小さい ($t > s$)。

【0027】

一方、ゲートドライバ 500は、ゲートライン $G _1 \sim G _p$ に接続されて、ゲートオン/オフ電圧 ($V _{on}$ 、 $V _{off}$) 発生部 (図示せず) からのゲートオン電圧 $V _{on}$ とゲートオフ電圧 $V _{off}$ の組み合わせからなるゲート信号を、ゲートライン $G _1 \sim G _n$ に印加する。ゲートドライバ 500は、タイミングコントローラ 400からのゲート制御信号 $C O N T 2$ によって、ゲートオン/オフ電圧発生部 (図示せず) からゲートオン電圧 $V _{on}$ をゲートライン $G _1 \sim G _p$ に印加して、このゲートライン $G _1 \sim G _p$ に接続された図2のスイッチング素子 Q をターンオンさせる。それにより、データライン $D _1 \sim D _n$ に印加されたデータ電圧が、ターンオンされたスイッチング素子 Q を介して画素 $P X$ に印加される。

【0028】

図3を参照して、タイミングコントローラ 400が順次に入力された第1画素データ $D A T _1$ ないし第 $n+m$ 画素データ $D A T _{n+m}$ を、第1画素データ $D A T _1$ ないし第 n 画素データ $D A T _n$ を含む第1映像データセットと、第 $n+1$ 画素データ $D A T _{n+1}$ ない

10

20

30

40

50

し第 $n + m$ 画素データ DAT_{n+m} を含む第 2 映像データセットとに区分して保存し、第 1 映像データセットと第 2 映像データセットとから順次にそれぞれ一つずつの画素データを同時に出力する動作について詳細に説明する。

【0029】

図 3 を参照すれば、タイミングコントローラ 400 は、比較部 410、メモリ割当部 420 及びラインバッファメモリ 430 を備える。

【0030】

まず、設定メモリ 700 には、第 1 映像データセットのデータサイズを表す第 1 データ情報 $SIZE_1$ と、第 2 映像データセットのデータサイズを表す第 2 データ情報 $SIZE_2$ とが保存されている。それ以外にも、タイミングコントローラ 400 の動作のために、
10
他の色々なデータが保存されていることがある。例えば、データ制御信号 $CONT_1$ 及びゲート制御信号 $CONT_2$ の生成のための条件などが保存される。このような設定メモリ 700 は、EEPROM (Electrically Erasable and Programmable Read Only Memory) であってもよい。

【0031】

比較部 410 は、第 1 映像データセットのデータサイズを表す第 1 データ情報 $SIZE_1$ と、第 2 映像データセットのデータサイズを表す第 2 データ情報 $SIZE_2$ とを受信して、データサイズを比較する。例えば、第 1 データ情報 $SIZE_1$ は、第 1 データドライバ IC グループ $FRONT$ と電氣的に接続されたデータラインの数であり、第 2 データ情報 $SIZE_2$ は、第 2 データドライバ IC グループ $BACK$ と電氣的に接続されたデータ
20
ラインの数でありうる。比較部 410 は、比較結果 CPR をメモリ割当部 420 に知らせる。例えば、比較部 410 は、比較した結果によって、第 1 映像データセットと第 2 映像データセットのうち大きなデータサイズをメモリ割当部 420 に知らせることができる。

【0032】

メモリ割当部 420 は、比較結果 CPR によってラインバッファメモリ 430 を、同じメモリサイズを有する第 1 メモリ部 430__1 と第 2 メモリ部 430__2 とに区分する。例えば、第 1 メモリ部 430__1 と第 2 メモリ部 430__2 とは、データサイズが大きな第 2 映像データセットを保存できるメモリサイズを有するようにしてもよい。ここで、ラインバッファメモリ 430 は、一つのゲートライン $G_1 \sim G_p$ と電氣的に接続された画素
30
 PX に印加される画素データである第 1 画素データ DAT_1 ないし第 $n + m$ 画素データ DAT_{n+m} が保存されるメモリである。

【0033】

第 1 メモリ部 430__1 と第 2 メモリ部 430__2 のメモリサイズが割り当てられた後、メモリ割当部 420 は、外部のグラフィックコントローラ (図示せず) から順次に第 1 画素データ DAT_1 ないし第 $n + m$ 画素データ DAT_{n+m} を受信する。メモリ割当部 420 は、まず、順次に入力された第 1 画素データ DAT_1 ないし第 n 画素データ DAT_n を、第 1 メモリ部 430__1 に保存する。次いで、順次に入力される第 n 画素データ DAT_n ないし第 $n + m$ 画素データ DAT_{n+m} を、第 2 メモリ部 430__2 に保存する。次いで、第 1 メモリ部 430__1 及び第 2 メモリ部 430__2 にそれぞれ保存された第 1 映像データセット及び第 2 映像データセットから順次に、一つずつの画素データを同時に出力する。第 1 メモリ部 430__1 から出力された画素データ $DAT_1 \sim DAT_n$ は、第 1 データドライバ IC グループ $FRONT$ に入力され、第 2 メモリ部 430__2 から出力された画素データ $DAT_{n+1} \sim DAT_{n+m}$ は、第 2 データドライバ IC グループ $BACK$ に入力される。
40

【0034】

ただし、これと異なって、第 1 画素データ DAT_1 ないし第 n 画素データ DAT_n を第 1 メモリ部 430__1 に保存し、次いで、第 $n+1$ 画素データ DAT_{n+1} ないし第 $n + m$ 画素データ DAT_{n+m} のうち、一部を第 2 メモリ部 430__2 に保存した後、第 $n+1$ 画素データ DAT_{n+1} ないし第 $n + m$ 画素データ DAT_{n+m} のうち、残りを第 2 メモリ部 430__2 に保存すると同時に、第 1 メモリ部 430__1 と第 2 メモリ部からそれぞれ一つ
50

ずつの画素データを出力できる。

【0035】

言い換えれば、タイミングコントローラ400は、第1映像データセットのデータサイズと第2映像データセットのデータサイズとを比較して、大きな第2映像データセットを保存できるように、第1メモリ部430__1と第2メモリ部430__2とのメモリサイズを同一に割り当て、第1メモリ部430__1及び第2メモリ部430__2に、それぞれ第1映像データセット及び第2映像データセットを保存した後、一对の画素データをそれぞれ第1データドライバICグループFRONTと、第2データドライバICグループBACKとに提供する。したがって、第1データドライバICグループFRONTが含むデータドライバICの個数が、第2データドライバICグループBACKが含むデータドライバICの個数より小さくなりうる。

10

【0036】

したがって、タイミングコントローラ400も、第1データドライバICグループFRONTと第2データドライバICグループBACKとの間の回路基板上に実装されうる。

【0037】

これについて、以下で図4を参照して、タイミングコントローラ400及びデータドライバICの回路基板での配置構造について詳細に説明する。

【0038】

図4を参照すれば、回路基板800には、第1ないし第 $n + m$ 画素データを出力するタイミングコントローラ400と複数の回路とが実装され、複数のドライバIC $DIC_1 \sim DIC_s + t$ と電氣的に接続される。図4に図示していないが、複数のドライバIC $DIC_1 \sim DIC_s + t$ は、液晶パネル(図1の300参照)と電氣的に接続されて、複数のデータライン(図1の $D_1 \sim D_n$ 参照)に画素データに対応するデータ電圧を印加する。

20

【0039】

タイミングコントローラ400は、第1データドライバICグループFRONTと第2データドライバICグループBACKとの間に配置される。さらに詳細に説明すれば、タイミングコントローラ400は、第 s 番目データドライバIC DIC_s と第 $s + 1$ 番目データドライバIC $DIC_s + 1$ とが、回路基板800に接続された部分の間に位置してもよい。ここで、第1データドライバICグループFRONTが含むデータドライバIC $DIC_1 \sim DIC_s$ の数は、第2データドライバICグループBACKが含むデータドライバIC $DIC_s + 1 \sim DIC_s + t$ の数より小さい($t > s$)。

30

【0040】

以下では、タイミングコントローラ400は、第1データドライバICグループFRONTと第2データドライバICグループBACKとの間に配置される場合、EMIが低減する理由について具体的な例を挙げて説明する。

【0041】

図5は、本発明の一実施形態によるタイミングコントローラ及びこれを備える液晶表示装置を説明するための斜視図であり、図6は、図5のL部分を拡大した拡大図である。ここで、データドライバICが7つであり、回路基板801は、第1層820と第2層810とを備える場合を例として説明する。

40

【0042】

図5及び図6を参照すれば、まず、タイミングコントローラ401は、第1データドライバICグループFRONTと第2データドライバICグループBACKとの間に配置される。

【0043】

回路基板801は、タイミングコントローラ401と第1データドライバICグループFRONTとの間に接続され、第1ないし第 n 画素データを伝達する第1信号伝送ラインOUTLINE__aと、タイミングコントローラ401と第2データドライバICグループBACKとの間に接続され、前記第 $n + 1$ ないし第 $n + m$ 画素データを伝達する第2

50

信号伝送ライン $OUTLINE_b$ とを備える。

【0044】

第1信号伝送ライン $OUTLINE_a$ は、タイミングコントローラ401から順次に出力される第1ないし第 n 画素データを伝送する回路基板801の第1層820の第1出力ライン $OUTLINE_1a$ と、ビア（図示せず）を介して第1出力ライン $OUTLINE_1a$ から第1ないし第 n 画素データを第1データドライバICグループFRONTに伝送する、回路基板801の第2層810の第2出力ライン $OUTLINE_2a$ とを備える。

【0045】

第2信号伝送ライン $OUTLINE_b$ は、タイミングコントローラ401から順次に出力される第 $n+1$ ないし第 $n+m$ 画素データを伝送する回路基板801の第1層820の第1出力ライン $OUTLINE_1b$ と、ビア（図示せず）を介して第1出力ライン $OUTLINE_1b$ から第 $n+1$ ないし第 $n+m$ 画素データを第2データドライバICグループBACKに伝送する、回路基板801の第2層810の第2出力ライン $OUTLINE_2b$ とを備える。

10

【0046】

したがって、タイミングコントローラ401から出力された第1映像データセットの画素データは、回路基板801の第1層820の第1出力ライン $OUTLINE_1a$ 、 $OUTLINE_1b$ を介して伝送され、ビア（図示せず）を経て回路基板801の第2層810の第2出力ライン $OUTLINE_2a$ 、 $OUTLINE_2b$ を介して、第1データドライバICグループFRONTのうち、一つのデータドライバICに提供される。また、タイミングコントローラ401から出力された第2映像データセットの画素データは、回路基板の第1層810の第1出力ライン $OUTLINE_1a$ 、 $OUTLINE_1b$ を介して伝送され、ビア（図示せず）を経て回路基板801の第2層820の第2出力ライン $OUTLINE_2a$ 、 $OUTLINE_2b$ を介して、第2データドライバICグループBACKのうち一つのデータドライバICに提供される。

20

【0047】

ここで、タイミングコントローラ401が、第1データドライバICグループFRONTと第2データドライバICグループBACKとの間の回路基板800に位置するので、第1出力ライン $OUTLINE_1a$ 、 $OUTLINE_1b$ の配置構造を、EMIを最小化するように設計できる。例えば、第1出力ライン $OUTLINE_1a$ 、 $OUTLINE_1b$ は、複数の部分が屈曲するが、図6に示したように、各屈曲部の内角 $IA1$ 、 $IA2$ 、 $IA3$ 、 $IA4$ 、 $IA5$ が 90° 以上になる。

30

【0048】

もし、第1データドライバICグループFRONTのデータドライバICの個数が、第2データドライバICグループBACKのデータドライバICの個数よりさらに大きな場合、タイミングコントローラ401は、固定された形状の回路基板で、第1データドライバICグループFRONTと第2データドライバICグループBACKとの間に位置できなくなる。このような場合には、第1出力ライン $OUTLINE_1a$ 、 $OUTLINE_1b$ は、内角 $IA1$ 、 $IA2$ 、 $IA3$ 、 $IA4$ 、 $IA5$ が 90° 以下である屈曲部を備えて、EMIが増加する。

40

【0049】

しかし、本発明の場合には、第1データドライバICグループFRONTが含むデータドライバICの個数は、第2データドライバICグループBACKが含むデータドライバICの個数より少ないので、タイミングコントローラ401が第1データドライバICグループFRONTと第2データドライバICグループBACKとの間の回路基板801に配置できるため、第1出力ライン $OUTLINE_1a$ 、 $OUTLINE_1b$ が 90° 以下の内角 $IA1$ 、 $IA2$ 、 $IA3$ 、 $IA4$ 、 $IA5$ を形成する屈曲部はなく延びるため、EMIが減少する。

【0050】

50

図 7 は、本発明の他の実施形態によるタイミングコントローラとこれを備える液晶表示装置を説明するための斜視図である。

【 0 0 5 1 】

以前の実施形態とは異なって、第 1 データドライバ IC グループ FRONT が含むデータドライバ IC の個数は 2 つであり、第 2 データドライバ IC グループ BACK が含むデータドライバ IC の個数は 5 つである。

【 0 0 5 2 】

このような場合にも上記実施形態と同様に、タイミングコントローラ 4 0 2 は、第 1 データドライバ IC グループ FRONT と第 2 データドライバ IC グループ BACK との間の回路基板 8 0 2 上に実装されて、第 1 出力ライン OUTLINE __ 1 a、OUTLINE __ 1 b は、内角が 9 0 ° 以下の屈曲部を含まなくなる。また、タイミングコントローラ 4 0 2 の周辺に空間が確保されるので、回路基板 8 0 2 のグラウンド電圧が印加されるグラウンド領域をタイミングコントローラ 4 0 2 の周辺に形成できる。したがって、タイミングコントローラ 4 0 2 及びタイミングコントローラ 4 0 2 が実装された回路基板 8 0 2 から発生する E M I を低減できる。

【 0 0 5 3 】

以上、添付した図を参照して本発明の実施例を説明したが、本発明が属する技術分野で当業者ならば本発明がその技術的思想や必須の特徴を変更せずとも他の具体的な形に実施されうることが理解できるであろう。したがって、前述した実施例は全ての面で例示的なものであって、限定的なものではないと理解せねばならない。

【 産業上の利用可能性 】

【 0 0 5 4 】

本発明は、タイミングコントローラ及びこれを備える液晶表示装置に好適に用いられる。

【 図面の簡単な説明 】

【 0 0 5 5 】

【 図 1 】 本発明の実施形態による液晶表示装置を説明するためのブロック図である。

【 図 2 】 図 1 の一画素の等価回路図である。

【 図 3 】 図 1 のタイミングコントローラを説明するためのブロック図である。

【 図 4 】 図 1 のタイミングコントローラとデータドライバとの配置構造を説明するための回路基板の斜視図である。

【 図 5 】 本発明の一実施形態によるタイミングコントローラ及びこれを備える液晶表示装置を説明するための斜視図である。

【 図 6 】 図 5 の L 部分を拡大した拡大図である。

【 図 7 】 本発明の他の実施形態によるタイミングコントローラとこれを備える液晶表示装置を説明するための斜視図である。

【 符号の説明 】

【 0 0 5 6 】

- 1 0 液晶表示装置
- 1 0 0 第 1 表示板
- 1 5 0 液晶層
- 2 0 0 第 2 表示板
- 3 0 0 液晶パネル
- 4 0 0 タイミングコントローラ
- 4 1 0 比較部
- 4 2 0 メモリ割当部
- 4 3 0 ラインバッファメモリ
- 5 0 0 ゲートドライバ
- 6 0 0 データドライバ
- 7 0 0 設定メモリ

10

20

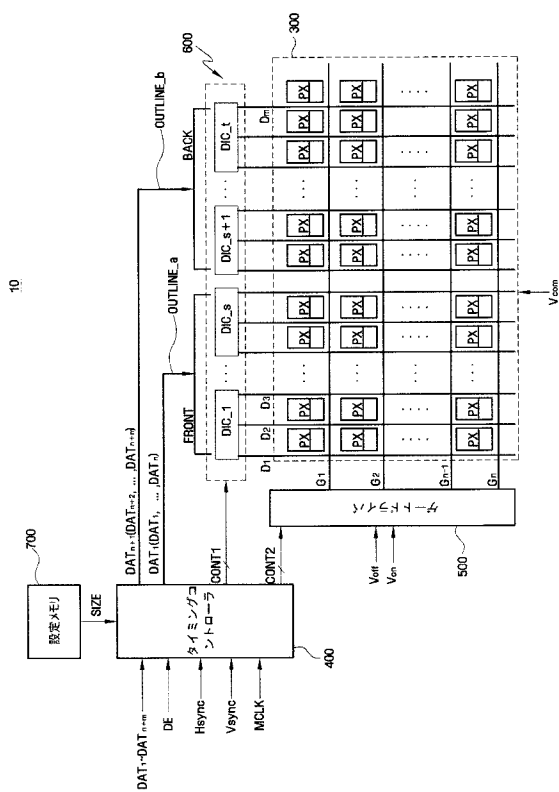
30

40

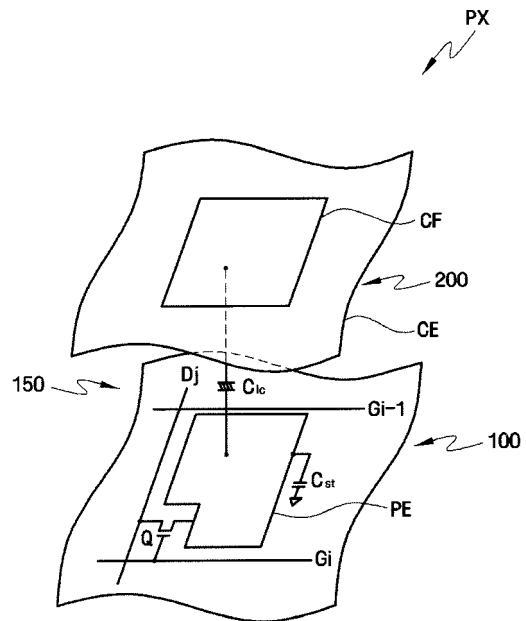
50

800 回路基板

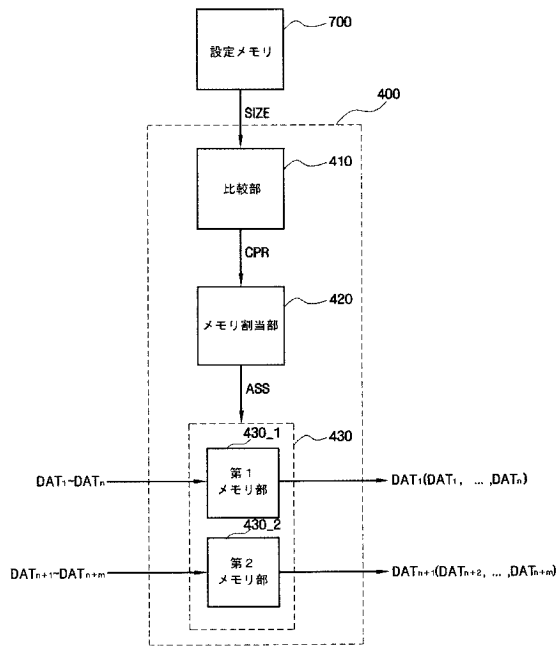
【図1】



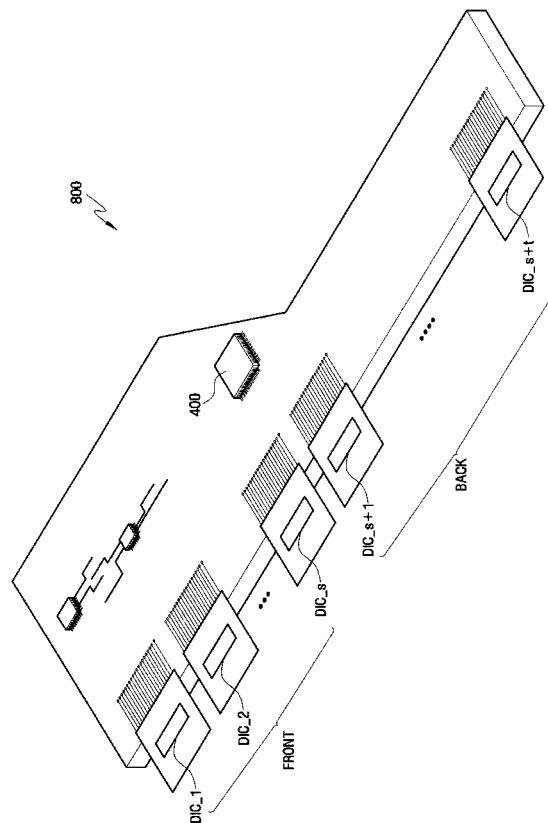
【図2】



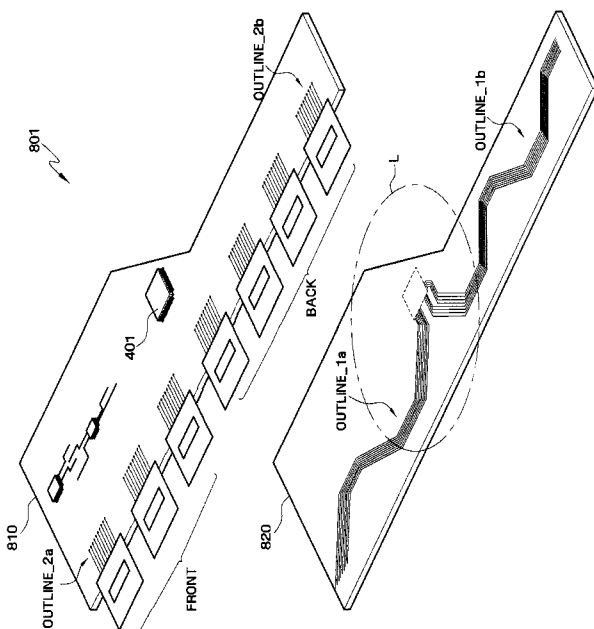
【図 3】



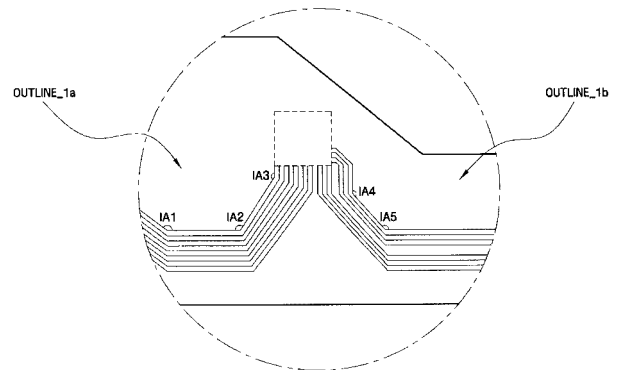
【図 4】



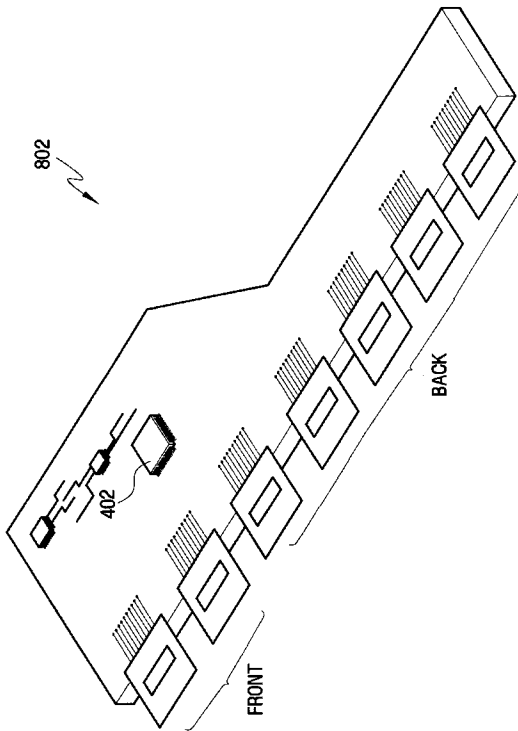
【図 5】



【図 6】



【図 7】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 V
G 0 9 G	3/20	6 3 1 D
G 0 9 G	3/20	6 3 1 B
G 0 9 G	3/20	6 3 1 U
G 0 9 G	3/20	6 3 1 Q
G 0 9 G	3/20	6 1 1 C
G 0 2 F	1/133	5 5 0

F ターム(参考) 2H093 NA16 NC16 NC28 NC34 NC35 ND40

5C006	AA22	AF03	AF04	AF06	AF13	AF43	AF72	BB16	BC02	BC12
	BC23	BC24	BF02	BF05	BF08	BF09	BF14	EB05	FA13	FA15
	FA32	FA41								
5C080	AA10	BB06	CC03	DD12	DD22	DD25	EE29	FF11	FF13	GG15
	GG17	JJ02	JJ06							

专利名称(译)	定时控制器和具有该定时控制器的液晶显示装置		
公开(公告)号	JP2008107777A	公开(公告)日	2008-05-08
申请号	JP2007098395	申请日	2007-04-04
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金寬許		
发明人	金 ▲寬▼ ▲許▼		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3611 G09G3/3648 G09G2300/0426 G09G2330/06		
FI分类号	G09G3/36 G09G3/20.621.M G09G3/20.680.G G09G3/20.612.J G09G3/20.641.C G09G3/20.623.V G09G3/20.631.D G09G3/20.631.B G09G3/20.631.U G09G3/20.631.Q G09G3/20.611.C G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NC16 2H093/NC28 2H093/NC34 2H093/NC35 2H093/ND40 5C006/AA22 5C006/AF03 5C006/AF04 5C006/AF06 5C006/AF13 5C006/AF43 5C006/AF72 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BC23 5C006/BC24 5C006/BF02 5C006/BF05 5C006/BF08 5C006/BF09 5C006/BF14 5C006/EB05 5C006/FA13 5C006/FA15 5C006/FA32 5C006/FA41 5C080/AA10 5C080/BB06 5C080/CC03 5C080/DD12 5C080/DD22 5C080/DD25 5C080/EE29 5C080/FF11 5C080/FF13 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ06 2H193/ZA04		
优先权	1020060103624 2006-10-24 KR		
其他公开文献	JP2008107777A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够减少电磁干扰（EMI）的定时控制器，并提供具有定时控制器的液晶显示装置。ŽSOLUTION：时序控制器包括：行缓冲存储器；比较单元，接收呈现第一图像数据集的数据大小的第一数据信息和呈现第二图像数据集的数据大小的第二数据信息，并将第一图像数据集的数据大小与数据大小进行比较第二图像数据集；存储器分配部分将行缓冲存储器分成第一存储器部分和第二存储器部分，每个具有相同的存储器大小或能够根据比较结果存储第二图像数据的存储器大小。Ž

