

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-15282

(P2008-15282A)

(43) 公開日 平成20年1月24日(2008.1.24)

| (51) Int. Cl. | F I | テーマコード (参考) |
|------------------------------|----------------|-------------|
| G02F 1/1368 (2006.01) | G02F 1/1368 | 2H092 |
| G02F 1/133 (2006.01) | G02F 1/133 550 | 2H093 |
| G09G 3/36 (2006.01) | G09G 3/36 | 5C006 |
| G09G 3/20 (2006.01) | G09G 3/20 624A | 5C080 |
| | G09G 3/20 611J | |

審査請求 未請求 請求項の数 3 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2006-187140 (P2006-187140)
 (22) 出願日 平成18年7月6日(2006.7.6)

(71) 出願人 302020207
 東芝松下ディスプレイテクノロジー株式会社
 東京都港区港南4-1-8
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

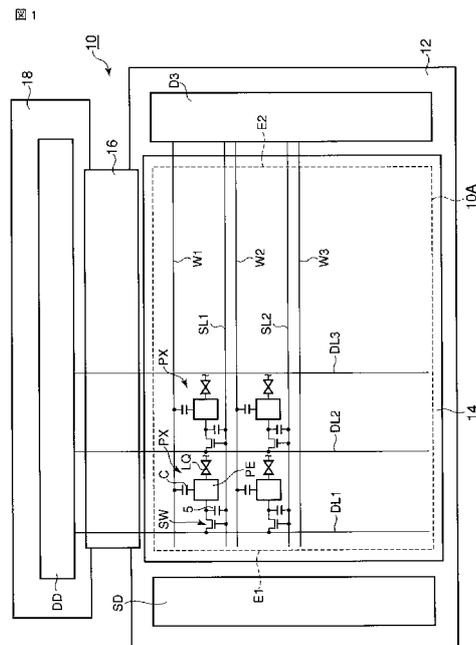
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】コスト低減を実現するとともに、優れた性能を有する液晶表示装置を提供することを目的とする。

【解決手段】アレイ基板12と対向基板14との間に挟持された液晶層LQを備え、マトリクス状に配置された複数の表示画素PXからなる表示部10Aと表示部10Aを囲む周辺部10Bとを有する液晶表示装置であって、アレイ基板12は、表示部10Aにおいて、表示画素PXのそれぞれに配置された画素電極PEと、表示画素PXの行に沿って配置された走査線SLと、走査線SLと略平行に配置された補償配線Wと、を有し、アレイ基板12は、周辺部10Bにおいて、走査線SLを介して表示画素PXを行毎に選択するための走査信号を出力する走査線駆動回路SDと、表示画素PXの寄生容量5による電位降下を補償するような保持容量Cを画素電極PEと補償配線Wとの間で形成するための補償信号を補償配線Wに出力する補償回路D3と、を備えた液晶表示装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 基板と第 2 基板との間に挟持された液晶層を備え、マトリクス状に配置された複数の表示画素からなる表示部と前記表示部を囲む周辺部とを有する液晶表示装置であって、

前記第 1 基板は、前記表示部において、前記表示画素のそれぞれに配置された画素電極と、前記表示画素の行に沿って配置された走査線と、前記走査線と略平行に配置された配線と、を有し、

前記第 1 基板は、周辺部において、前記走査線を介して前記表示画素を行毎に選択するための走査信号を出力する走査線駆動回路と、前記表示画素の寄生容量による電位降下を補償するような保持容量を前記画素電極と前記配線との間で形成するための補償信号を前記配線に出力する補償回路と、を備えた液晶表示装置。

10

【請求項 2】

前記表示部は第 1 端辺と、前記第 1 端辺に対向する第 2 端辺とを有し、

前記走査線駆動回路は、前記表示部の第 1 端辺に沿って配置され、

前記補償回路は、第 2 端辺に沿って配置されている請求項 1 記載の液晶表示装置。

【請求項 3】

前記補償回路は、非晶質シリコンを用いた能動素子を有する請求項 1 記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は液晶表示装置に関し、特にアクティブマトリクス型の液晶表示装置に関するものである。

【背景技術】

【0002】

現在、ラップトップパソコンやノートパソコン用の表示装置として液晶表示装置が広く使用されている。

【0003】

液晶表示装置として、薄膜トランジスタ (TFT) を画素スイッチ等の能動素子に用いた液晶表示装置 (TFT-LCD) が広く使用されている。

30

【0004】

液晶表示装置は、一般的に液晶、マトリクス状に配置された表示画素からなる表示部を備えた液晶表示パネルを有している。液晶表示パネルは、互いに対向する一对の基板、すなわちアレイ基板及び対向基板と、この一对の基板間に挟持された液晶層とを備えている。この液晶表示パネルは、マトリクス状に配置された表示画素からなる表示部を備えている。液晶表示装置は、これら複数の表示画素を駆動する駆動回路を有している。

【0005】

この液晶表示装置を例えば 1 フレーム反転駆動方式で駆動する場合、画素スイッチのソース電極とゲート電極との間に発生する寄生容量によって、画素電極の電位降下が発生し、画素電極と対向電極との間に直流電圧成分が印加されてしまう。

40

【0006】

このような寄生容量による電位降下を効果的に補償する駆動方法として、容量結合駆動方法が提案されている (特許文献 1 参照)。この駆動方法では、電位降下を補償するための補償信号を走査信号に重畳して入力する。

【0007】

この容量結合駆動方式によって液晶表示装置を駆動すると、寄生容量による電位降下を解消することができると共に画像信号の振幅が低くても十分なコントラストを得ることができるといった利点がある。

【特許文献 1】特開 2004 - 70367 号公報

【発明の開示】

50

【発明が解決しようとする課題】**【0008】**

しかし、上記の容量結合駆動方式では、寄生容量による電位降下を補償するための電位を走査信号に重畳して走査線に入力することから、走査線に入力される信号の最大振幅が大きくなる。そうすると、走査線に接続された画素スイッチの耐圧を高める必要が生じ、チップサイズの増大やコストアップにつながるがあった。

【0009】

さらに、容量結合駆動方式で駆動するための駆動回路を液晶表示パネルの外部に設けると、液晶表示装置の小型化およびコスト低減を実現することが難しかった。

【0010】

本発明は上記の点に鑑みてなされたものであり、液晶表示装置のコスト低減を実現するとともに、優れた性能を有する液晶表示装置を提供することを目的とする。

【課題を解決するための手段】**【0011】**

本発明の態様による液晶表示装置は、第1基板と第2基板との間に挟持された液晶層を備え、マトリクス状に配置された複数の表示画素からなる表示部と前記表示部を囲む周辺部とを有する液晶表示装置であって、前記第1基板は、前記表示部において、前記表示画素のそれぞれに配置された画素電極と、前記表示画素の行に沿って配置された走査線と、前記走査線と略平行に配置された配線と、を有し、前記第1基板は、周辺部において、前記走査線を介して前記表示画素を行毎に選択するための走査信号を出力する走査線駆動回路と、前記表示画素の寄生容量による電位降下を補償するような保持容量を前記画素電極と前記配線との間で形成するための補償信号を前記配線に出力する補償回路と、を備える。

【発明の効果】**【0012】**

この発明によれば、液晶表示装置のコスト低減を実現するとともに、優れた性能を有する液晶表示装置を提供することができる。

【発明を実施するための最良の形態】**【0013】**

以下、本発明の第1実施形態に係る液晶表示装置について図面を参照して説明する。図1に示すように、本実施形態に係る液晶表示装置は、略矩形状の液晶表示パネル10を有している。液晶表示パネル10は、互いに対向するように配置された一对の基板すなわちアレイ基板12および対向基板14を有している。アレイ基板12および対向基板間には液晶層LQが挟持されている。

【0014】

この液晶表示パネル10は、マトリクス状に配置された表示画素PXからなる表示部10Aと、表示部10Aを囲む周辺部10Bとを有している。本実施形態に係る液晶表示装置の場合、液晶表示パネル10は、略矩形状の表示部10Aを有している。表示部10Aは、向かい合った第1端辺E1および第2端辺E2を有している。

【0015】

表示部10Aにおいて、各表示画素PXには画素電極PEおよび画素電極PEに接続された画素スイッチSWが配置されている。表示部10Aには、表示画素PXが配列する行に沿って配置された複数の走査線SL(SL1~SLm)、および、表示画素PXが配列する列に沿って配置された複数の信号線DL(DL1~DLn)が配置されている。さらに、表示部10Aには、走査線SLと略平行に延びている補償配線W(W1~Wm)が配置されている。

【0016】

本実施形態の場合、補償配線Wは、例えば、図2に示すように画素電極PEの下層に配置されている。すなわち、補償配線Wは、信号線DLおよび画素スイッチのドレイン電極と同層に配置されているか、あるいは、画素スイッチSWのゲート電極と同層に配置され

10

20

30

40

50

ている。また、補償配線Wは、例えば、図3に示すように画素電極PEと並んで配置されてもよい。すなわち、補償配線Wが画素電極PEと同層に配置されていても良い。画素スイッチSWは、非晶質シリコンの半導体層を有する薄膜トランジスタを有している。

【0017】

画素スイッチSWのゲート電極は、対応する走査線SLに接続されている（あるいは一体に形成されている）。ソース電極は、対応する信号線DLに接続されている（或いは一体に形成されている）。ドレイン電極は、画素電極PEに接続されている。

【0018】

また、画素電極PEと補償配線Wとの間には、保持容量Cが設けられている。すなわち、走査線SLは画素スイッチSWを介して画素電極PEに接続され、補償配線Wは保持容量Cを介して画素電極PEに接続されている。

10

【0019】

対向基板14には、複数の画素電極PEに対向する対向電極CEが配置されている。液晶層LQは、アレイ基板12の画素電極PEと対向基板14の対向電極CEとの間に挟持されている。

【0020】

周辺部10Bにおいて、アレイ基板12は、走査線駆動回路SDおよび補償回路D3を有している。走査線駆動回路SDは、表示部10Aの第1端辺E1に沿って配置されている。補償回路D3は、表示部10Aの第2端辺E2に沿って配置されている。すなわち、走査線駆動回路SDと補償回路D3とは、アレイ基板12上において、表示部10Aを挟んだ両側に配置されている。

20

【0021】

液晶表示パネル10の一側縁には、細長い矩形平板状の一对のプリント配線基板16が電気的に接続されている。液晶表示パネル10に画像信号Vsを供給する信号線駆動回路DDは、プリント配線基板13を介して、細長い矩形平板状の回路基板18に配置されている。

【0022】

すなわち、走査線駆動回路SD、外部からのクロック信号に従って走査信号Vgを出力し、順次走査線SLを選択する。そうすると、信号線駆動回路DDは外部からのクロック信号に従って、順次信号線DLに対応する画像信号Vsを出力する。走査線SLに走査信号Vg、信号線DLに画像信号Vsが出力されると、図1に示すように、画素スイッチSWのゲート電極およびドレイン電極間には寄生容量5が発生する。

30

【0023】

信号線駆動回路DDから出力された画像信号Vsは、画素スイッチSWを介して画素電極PEに印加される。そうすると、画素電極PEと対向電極CEとの間に各表示画素PXに対応する電界が生じ、その電界によって液晶層LQの配向状態が制御される。

【0024】

このときに、補償回路D3は、画素電極PEに印加された画像信号Vsを保持する保持期間において、補償配線Wに補償信号Veを出力する。すなわち、補償回路D3は、画素電極PEに画像信号Vsが印加された保持期間において、画像信号Vsと逆の極性の補償信号Veを補償配線Wに出力する。し従って、画素電極PEに正極性の画像信号Vsが印加されたときには、補償回路D3は、その保持期間に負極性の補償信号Ve(-)補償配線Wに出力する。画素電極PEに負極性の画像信号Vsが印加されたときには、補償回路D3は、その保持期間に正極性の補償信号Ve(+)を補償配線Wに出力する。

40

【0025】

そうすると、補償配線Wは、図2に示すように画素電極PEの下層に配置されるか、あるいは、図3に示すように画素電極PEと並んで配置されているため、画素電極PEと補償配線Wとの電位差によって、保持容量Cが発生する。この保持容量Cが、画素電極PEおよび対向電極CE間の画素電位Vdと結合して、寄生容量5による画素電位Vdの電位降下を抑制することができる。

50

【0026】

次に、上記の液晶表示装置の駆動方法について説明する。図4に本実施形態に係る液晶表示装置の走査線駆動回路SD、信号線駆動回路DD、および、補償回路D3の出力波形を示す。

【0027】

すなわち、走査線駆動回路SDは、所定のタイミングに従って走査信号Vgを出力する。この走査信号Vgによって、画素スイッチSWがオン/オフ制御される。本実施形態の場合、走査信号Vgの電位がVgtの時に画素スイッチSWはオンとなり、走査信号Vgの電位がVgbの時に画素スイッチSWがオフとなる。

【0028】

信号線駆動回路DDは、所定のタイミングに従って画像信号Vsを出力する。すなわち、画素スイッチSWがオンとなるタイミングに、対応する表示画素PXに表示される画像を表示するための画像信号Vsを、信号線DLに出力する。

10

【0029】

補償回路D3は、寄生容量5による電位降下を補償する2つの電位Ve(+)、Ve(-)からなる補償信号Veを補償配線Wに出力する。すなわち、走査信号Vgの電位がVgtとなり画素電極PEに画像信号Vsが印加された後の保持期間に補償配線Wに補償信号Veを出力し、補償配線Wの電位を所定の電位にする。

【0030】

このとき、図2に示すように、対向電極CEには対向電圧Vcが印加される。そうすると、画素電極PEおよび補償配線W間に生じる保持容量Cが発生する。

20

【0031】

すなわち、表示部10Aの画素スイッチSWは、走査線駆動回路SDから走査線SLに印加される走査信号Vgがオン電位(Vgt)である期間に導通する。このとき信号線駆動回路DDから信号線DLに送信された画像信号Vsが、走査線駆動回路SDによって選択された画素スイッチSWを介して、画素電極PEに印加される。

【0032】

つづいて、走査線駆動回路SDから出力される走査信号Vgがオフ電位(Vgb)に変化すると、画素スイッチSWがオフ状態になる。そうすると、画素電位Vdは液晶容量および保持容量Cによって保持される。このとき、画素電位Vdは、保持容量Cおよび補償配線Wを介して補償回路D3から与えられる補償信号Veの電位に応じてシフトする。すなわち、画素電位Vdは、保持容量Cによって図2に示すように補償される。

30

【0033】

本実施形態の場合、1フレーム期間が終わり次のフレームになると、画像信号Vsはその中心電位に対して極性が反転し、同様の動作が繰り返される。

【0034】

以上のように、本発明の液晶表示装置およびその駆動方法によれば、従来の容量結合駆動方法における走査信号を、スイッチング素子のオン電位(Vgt)およびオフ電位(Vgb)からなる走査信号Vgと、補償信号Ve、すなわち寄生容量5による電位降下を補償する2つの電位(Ve(+), Ve(-))とに分けて供給することができる。

40

【0035】

すなわち、従来は、容量結合駆動方式において、電位降下を補償するための電圧パルスを走査信号に重畳する。このことから、走査信号Vgの最大振幅が大きくなり、その結果、スイッチング素子の耐圧を高める必要が生じる場合があった。この場合には、チップサイズの増大やコストアップにつながっていた。

【0036】

これに対して、本発明の液晶表示装置およびその駆動方法によれば、スイッチング素子のオン/オフ制御用の本来の走査信号(VgtおよびVgb)と、寄生容量5による電位降下を補償するためのバイアス電位Veとに分離して別の回路および配線を介して印加している。

50

【 0 0 3 7 】

したがって、走査信号の最大振幅は従来の場合に比べて大幅に小さくすることができる。このことによって、容量結合駆動方法の有する利点を損なうことなく、スイッチング素子の耐圧を下げることができ、チップサイズの低減やコスト削減が可能となる。

【 0 0 3 8 】

すなわち、本実施形態に係る液晶表示装置によれば、液晶表示装置のコスト低減を実現するとともに、優れた性能を有する液晶表示装置およびその駆動方法を提供することができる。

【 0 0 3 9 】

また、補償回路 D 3 は、走査側の回路を駆動する周波数で動作させるため、移動度の低い非晶質シリコンを用いた薄膜トランジスタを能動素子としても実現可能である。すなわち、上記の実施形態に係る液晶表示装置によれば、多結晶シリコンを用いた薄膜トランジスタを能動素子として採用する場合に比べて、さらに低価格な液晶表示パネルを実現することが可能になる。

10

【 0 0 4 0 】

また、上記の実施形態に係る液晶表示装置の液晶表示パネル 1 0 では、走査線駆動回路 S D と補償回路 D 3 とが表示部 1 0 A の両側に配置されていることから、片側に配置する場合と比べて、液晶表示パネル 1 0 の周辺部 1 0 B の面積を小さくすることができる。このことから、本実施形態に係る液晶表示装置によれば、液晶表示装置の小型化を実現することができる。

20

【 0 0 4 1 】

なお、この発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。

【 0 0 4 2 】

また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【 図面の簡単な説明 】

【 0 0 4 3 】

【 図 1 】 本発明の一実施形態に係る液晶表示装置の液晶表示パネルの構成例を概略的に示す図。

30

【 図 2 】 図 1 に示す液晶表示装置の画素電極と補償配線との配置例を説明するための断面図。

【 図 3 】 図 1 に示す液晶表示装置の画素電極と補償配線との他の配置例を説明するための断面図。

【 図 4 】 図 1 に示した液晶表示装置の駆動波形の一例を示す図。

【 符号の説明 】

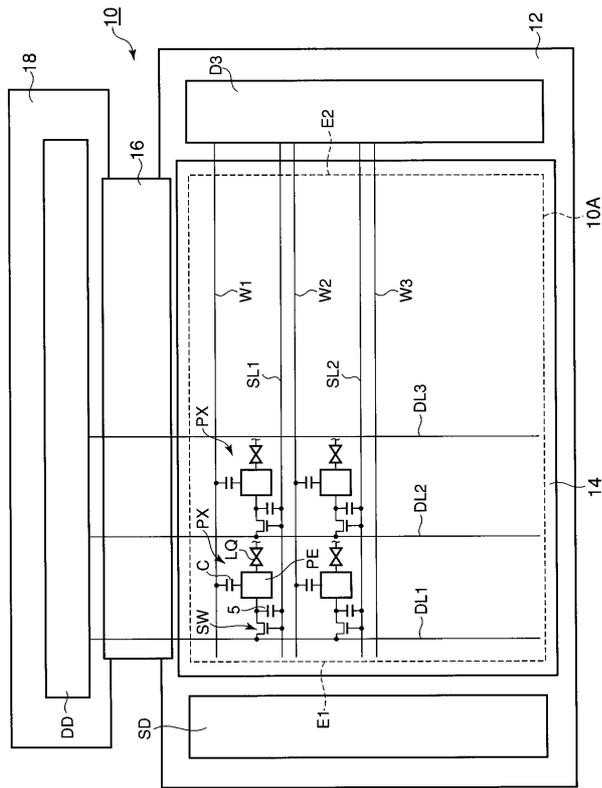
【 0 0 4 4 】

C ... 保持容量、S L ... 走査線、W ... 補償配線、S D ... 走査線駆動回路、D 3 ... 補償回路、L Q ... 液晶層、P X ... 表示画素、P E ... 画素電極、5 ... 寄生容量、1 0 A ... 表示部、1 0 B、周辺部、1 2 ... アレイ基板、1 4 ... 対向基板

40

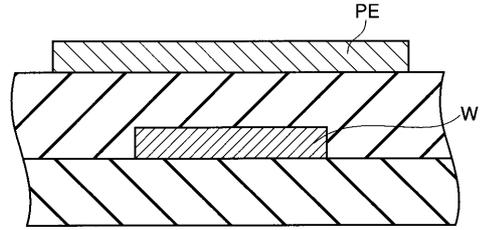
【 図 1 】

図 1



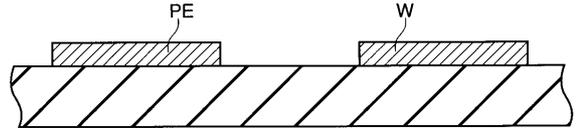
【 図 2 】

図 2



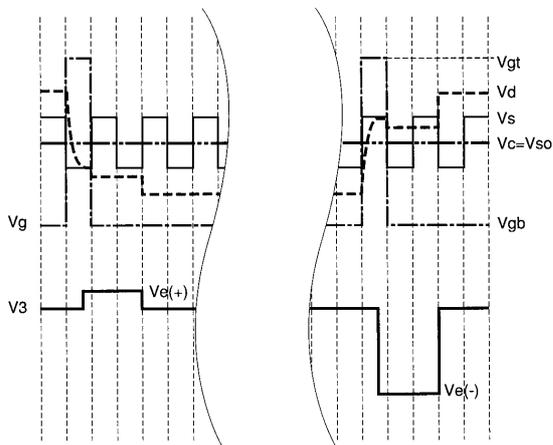
【 図 3 】

図 3



【 図 4 】

図 4



フロントページの続き

| | | |
|--------------|----------------------|------------|
| (51) Int.Cl. | F I | テーマコード(参考) |
| | G 0 9 G 3/20 6 2 1 M | |
| | G 0 9 G 3/20 6 8 0 G | |

(74)代理人 100109830
弁理士 福原 淑弘

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100092196
弁理士 橋本 良郎

(72)発明者 南野 裕
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 宇野 光宏
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 2H092 JA24 JB13 JB38 JB46 JB63 JB69 KA05 MA05 MA08 MA14
MA15 MA16 MA18 MA19 MA20 MA35 NA01 NA25 PA06
2H093 NA16 NA80 NC34 NC35 NC90 ND33 ND35 ND48 ND58
5C006 AC28 BB16 BC03 BC06 BC20 FA18 FA37 FA38 FA41 FA51
FA54
5C080 AA10 BB05 DD03 DD25 DD28 FF11 JJ02 JJ04 JJ06

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶表示装置 | | |
| 公开(公告)号 | JP2008015282A | 公开(公告)日 | 2008-01-24 |
| 申请号 | JP2006187140 | 申请日 | 2006-07-06 |
| [标]申请(专利权)人(译) | 东芝松下显示技术股份有限公司 | | |
| 申请(专利权)人(译) | 东芝松下显示技术有限公司 | | |
| [标]发明人 | 南野裕 宇野光宏 | | |
| 发明人 | 南野 裕 宇野 光宏 | | |
| IPC分类号 | G02F1/1368 G02F1/133 G09G3/36 G09G3/20 | | |
| FI分类号 | G02F1/1368 G02F1/133.550 G09G3/36 G09G3/20.624.A G09G3/20.611.J G09G3/20.621.M G09G3/20.680.G | | |
| F-TERM分类号 | 2H092/JA24 2H092/JB13 2H092/JB38 2H092/JB46 2H092/JB63 2H092/JB69 2H092/KA05 2H092/MA05 2H092/MA08 2H092/MA14 2H092/MA15 2H092/MA16 2H092/MA18 2H092/MA19 2H092/MA20 2H092/MA35 2H092/NA01 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NA80 2H093/NC34 2H093/NC35 2H093/NC90 2H093/ND33 2H093/ND35 2H093/ND48 2H093/ND58 5C006/AC28 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC20 5C006/FA18 5C006/FA37 5C006/FA38 5C006/FA41 5C006/FA51 5C006/FA54 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD25 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/DA12 2H192/FB13 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZB14 2H193/ZE31 2H193/ZH40 | | |
| 代理人(译) | 河野 哲 中村诚 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明的目的是提供一种实现成本降低并且具有优异性能的液晶显示装置。液晶层(LQ)夹在阵列基板(12)和对向基板(14)之间,显示部分(10A)由以矩阵形式排列的多个显示像素(PX)组成,并且外围部分(10B)围绕显示部分(10A)。在具有以上所述的液晶显示装置中,阵列基板12包括布置在每个显示像素PX中的像素电极PE,沿着一行显示像素PX布置的扫描线SL,并且在显示部分10A中进行扫描。阵列基板12具有基本平行于线SL布置的补偿布线W,并且阵列基板12经由外围部分10B中的扫描线SL输出用于选择每行的显示像素PX的扫描信号。用于形成存储线驱动电路SD的补偿信号和用于补偿由于像素电极PE和补偿布线W之间的显示像素PX的寄生电容5引起的电位降的存储电容C被输出到补偿布线W。包括补偿电路D3的液晶显示装置。[选型图]图1

