

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-333823

(P2007-333823A)

(43) 公開日 平成19年12月27日(2007.12.27)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2G036
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 550	2H092
<b>G02F 1/1368 (2006.01)</b>	G02F 1/1368	2H093
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624A	5C006
<b>HO1L 29/786 (2006.01)</b>	G09G 3/20 623R	5C080

審査請求 未請求 請求項の数 6 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2006-162991 (P2006-162991)  
 (22) 出願日 平成18年6月13日 (2006.6.13)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100086298  
 弁理士 船橋 國則  
 (72) 発明者 川浦 英明  
 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 (72) 発明者 清水目 和年  
 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 (72) 発明者 安藤 直樹  
 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

最終頁に続く

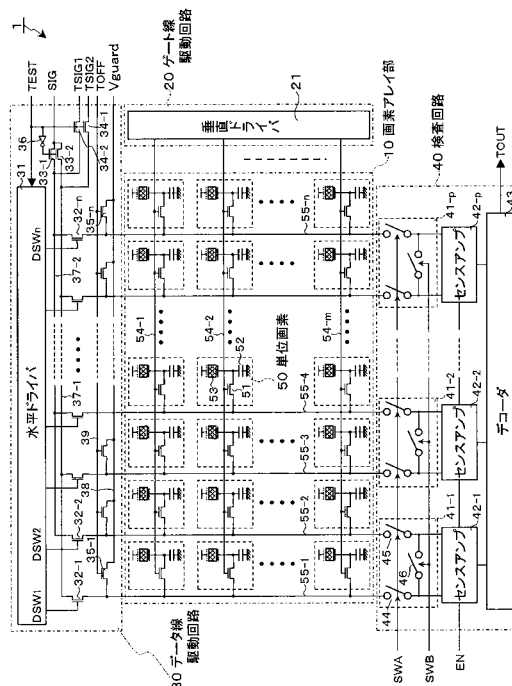
(54) 【発明の名称】 液晶表示装置および液晶表示装置の検査方法

(57) 【要約】

【課題】 データ線に単に基準電圧をプリチャージしただけでは、データ線の寄生容量等の影響から、対とした2本のデータ線の電位を等しくすることができないために、画素の保持電圧を2本のデータ線上に読み出して比較する動作を正確に行うことができない。

【解決手段】 第1の画素群（例えば、1列目の画素群）の各单位画素から第1の測定信号TSIG1を第1のデータ線55-1に、第2の画素群（例えば、2列目の画素群）の各单位画素50から第2の測定信号TSIG2を第2のデータ線55-2にそれぞれ読み出す前に、データ線55-1、55-2に所定の直流電圧Vguardを供給し、しかもデータ線55-1とデータ線55-2とをスイッチ46によって短絡することで、対となるデータ線55-1、55-2の各電位を同電位にする。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

画素トランジスタと、当該画素トランジスタの出力電極に接続された容量素子と、当該容量素子に保持される電圧に応じた階調表示を行う液晶セルとを有する単位画素が行列状に配置されてなる画素アレイ部と、

前記画素アレイ部の各単位画素のうち、画素列を単位とする第 1 の画素群の各単位画素の入力電極に接続された第 1 のデータ線と、

前記画素アレイ部の各単位画素のうち、画素列を単位とする第 2 の画素群の各単位画素の入力電極に接続された第 2 のデータ線と、

前記第 1 のデータ線を介して前記第 1 の画素群の各単位画素に第 1 の測定信号を、前記第 2 のデータ線を介して前記第 2 の画素群の各単位画素に第 2 の測定信号をそれぞれ書き込む書き込み手段と、

前記第 1 , 第 2 のデータ線に所定の直流電圧を選択的に供給する電圧供給制御手段と、前記電圧供給制御手段による電圧供給後に前記第 1 のデータ線と前記第 2 のデータ線とを短絡するデータ線短絡手段と、

前記データ線短絡手段による前記第 1 のデータ線と前記第 2 のデータ線との短絡後に、前記第 1 の画素群の各単位画素から前記第 1 の測定信号を前記第 1 のデータ線に、前記第 2 の画素群の各単位画素から前記第 2 の測定信号を前記第 2 のデータ線にそれぞれ読み出す読み出し手段と、

前記読み出し手段による読み出し後に前記第 1 のデータ線の電位と前記第 2 のデータ線の電位とを比較し、その比較結果に基づいて前記画素アレイ部の検査を行う検査手段とを備えたことを特徴とする液晶表示装置。

## 【請求項 2】

前記検査手段の入力段に、当該検査手段と前記第 1 のデータ線および前記第 2 のデータ線との間の電気的な接続を選択的に切り離すスイッチ手段を有することを特徴とする請求項 1 記載の液晶表示装置。

## 【請求項 3】

前記データ線短絡手段は、前記スイッチ手段と前記検査手段との間に設けられていることを特徴とする請求項 2 記載の液晶表示装置。

## 【請求項 4】

前記検査手段は、

前記読み出し手段による読み出し後に前記第 1 のデータ線の電位と前記第 2 のデータ線の電位とを比較する比較手段と、

前記比較手段の比較結果が前記第 1 , 第 2 の測定信号から想定される期待値と一致するか否かを判定する判定手段とを有する

ことを特徴とする請求項 1 記載の液晶表示装置。

## 【請求項 5】

画素トランジスタと、当該画素トランジスタの出力電極に接続された容量素子と、当該容量素子に保持される電圧に応じた階調表示を行う液晶セルとを有する単位画素が行列状に配置されてなる画素アレイ部と、

前記画素アレイ部の各単位画素のうち、画素列を単位とする第 1 の画素群の各単位画素の入力電極に接続された第 1 のデータ線と、

前記画素アレイ部の各単位画素のうち、画素列を単位とする第 2 の画素群の各単位画素の入力電極に接続された第 2 のデータ線とを備えた液晶表示装置の検査方法であって、

前記第 1 のデータ線を介して前記第 1 の画素群の各単位画素に第 1 の測定信号を、前記第 2 のデータ線を介して前記第 2 の画素群の各単位画素に第 2 の測定信号をそれぞれ書き込む書き込みステップと、

前記書き込みステップで前記第 1 , 第 2 の測定信号を書き込んだ後に、前記第 1 , 第 2 のデータ線に所定の直流電圧を選択的に供給する電圧供給ステップと、

前記電圧供給ステップで電圧供給した後に前記第 1 のデータ線と前記第 2 のデータ線と

を短絡する短絡ステップと、

前記短絡ステップで前記第1のデータ線と前記第2のデータ線とを短絡した後に、前記第1の画素群の各单位画素から前記第1の測定信号を前記第1のデータ線に、前記第2の画素群の各单位画素から前記第2の測定信号を前記第2のデータ線にそれぞれ読み出す読み出しステップと、

前記読み出しステップで読み出し後に前記第1のデータ線の電位と前記第2のデータ線の電位とを比較し、その比較結果に基づいて前記画素アレイ部の検査を行う検査ステップと

を有することを特徴とする液晶表示装置の検査方法。

【請求項6】

前記書き込む書き込みステップ、前記電圧供給ステップ、前記短絡ステップ、前記読み出しステップおよび前記検査ステップの一連の動作を、前記画素アレイ部の全画素列を複数に分割して当該分割の単位を対象として、隣り合う2つの画素列を対にして画素行ごとに行う

ことを特徴とする請求項5記載の液晶表示装置の検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置および液晶表示装置の検査方法に関する。

【背景技術】

【0002】

表示装置の分野では、近年、急速に装置の薄型化が進んできている。そして、薄型の表示装置として、例えば、液晶表示装置(LCD; Liquid Crystal Display)が広く普及している。この液晶表示装置は、薄型、軽量および低消費電力であるという特長を有するために、特に、携帯電話機、PDA(Personal Digital Assistants)、ノートPC(Personal Computer)、携帯用テレビジョン等のいわゆるモバイル機器に多用されている。また、モバイル機器に限らず、家庭用のテレビジョンやプロジェクタなどにも利用されている。

【0003】

液晶表示装置の駆動方式には、アクティブマトリクス方式とパッシブマトリクス方式とがある。そして、近年、アクティブマトリクス方式の液晶表示装置が主流になってきている。このアクティブマトリクス方式の液晶表示装置は、透明な画素電極とTFT(Thin Film Transistor; 薄膜トランジスタ)とが形成された基板(以下、「TFT基板」と記述する)と、表示エリア全体に一つの透明な電極が形成された基板(以下、「対向基板」と記述する)とが対向配置され、これら基板間に液晶が封入されたパネル構造となっている。

【0004】

このアクティブマトリクス方式の液晶表示装置において、行列状に2次元配置される画素ごとに、スイッチング素子であるTFTをオン/オフ(スイッチング)制御することによって、各画素電極に階調に応じた電圧(以下、「階調電圧」と記述する)を印加し、各画素電極と対向基板の電極との間に電位差を発生させ、この電位差によって液晶の透過率を変化させるのが液晶表示の原理となる。

【0005】

TFT基板上には、各画素電極へ階調電圧を供給する複数のデータ線と、TFTをスイッチングさせるための制御信号をTFTのゲートに印加する複数のゲート線とがマトリクス状に配線されている。そして、画像表示の1フレーム期間において、行列状配置の各画素を、ゲート線を介して行単位で順に選択し、この選択した行の各画素電極にデータ線を介して階調電圧を印加することによって画像表示が行われる。各画素電極に印加された階調電圧は、各TFTの出力電極に接続された容量素子によって次に階調電圧が印加されるまで保持される。

【0006】

また、液晶表示装置としては、液晶パネルの裏面側に配置されたバックライトを光源と

10

20

30

40

50

して、液晶パネルの背面から光を照射して表示を行う透過型液晶表示装置が一般的であった。これに対して、最近では、LCO S (Liquid Crystal On Silicon)などの反射型液晶表示装置が市場に投入され始めている。このLCO Sは、シリコンウェハを基板として使うことができることから、ガラス基板上にポリシリコンで回路が形成される透過型液晶表示装置に比べて、高性能なトランジスタを使用することができる利点がある。

【0007】

ところで、これらの液晶表示装置の製造段階において、行列状に2次元配置される多数の画素の中には何らかの要因によって不良になる画素も存在する。その不良画素が多すぎると、正常な画像表示を行うことができない。したがって、液晶表示装置の出荷前に、画素の良否を検査する必要がある。この画素の検査では、液晶パネルを実際に駆動し、その表示画像を画像処理装置で解析して画素の良否を判定したり、直接目視によって画素の良否を判定したりする手法が採られている。しかし、このような手法は、実際に液晶パネルを駆動し、画像の表示後に画素の良否の判定をおこなっているために、検査に時間がかかってしまう。また、画素の良否の検査を、TFT基板と対向基板との間隙への液晶の注入前に行うことができない。

10

【0008】

また、LSIテストを用いてリーク電流を測定することによって画素の良否を判定する手法も採られている。この手法により、 $\mu A$ 程度のリーク電流までを測定することができる。ところが、LCO Sなどの反射型液晶表示装置にあっては、TFTの出力電極に接続される容量素子の容量値が数十fF (フェムト・ファラッド)程度であり、例えば、10Vの信号を50fFの容量素子に10msの間に保持させる仕様のときは、50pA以下のリーク電流の測定が必要となる。したがって、LSIテストを用いてリーク電流を測定する手法では、画素の良否を検査することができない。

20

【0009】

そこで、従来は、対とした画素に異なる電圧をそれぞれ書き込んだ後、同一の電圧を全てのデータ線に基準電圧として印加することによってプリチャージし、その後、対とした画素に保持した電圧をそれぞれデータ線上に読み出して比較することにより、画素の良否を行うようにしていた(例えば、特許文献1参照)。

【0010】

【特許文献1】特開2004-226551号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、上記の従来技術では、データ線に対して基準電圧をプリチャージするときに、単に基準電圧をプリチャージしただけでは、データ線の寄生容量等の影響から、基準電圧として同一の電圧を印加したとしても、対とした画素に対応する2本のデータ線の電位を等しくすることができないために、対とした画素に保持した電圧を2本のデータ線上に読み出して比較する際に、その比較動作、ひいては画素の良否の判定を正確に行うことができないという問題があった。

【0012】

そこで、本発明は、対とした画素に保持した電圧を2本のデータ線上に読み出して比較する際に、その比較動作を正確に行うことが可能な液晶表示装置および液晶表示装置の検査方法を提供することを目的とする。

40

【課題を解決するための手段】

【0013】

上記目的を達成するために、本発明は、画素トランジスタと、当該画素トランジスタの出力電極に接続された容量素子と、当該容量素子に保持される電圧に応じた階調表示を行う液晶セルとを有する単位画素が行列状に配置されてなる画素アレイ部と、前記画素アレイ部の各単位画素のうち、画素列を単位とする第1の画素群の各単位画素の入力電極に接続された第1のデータ線と、前記画素アレイ部の各単位画素のうち、画素列を単位とする

50

第2の画素群の各単位画素の入力電極に接続された第2のデータ線とを備えた液晶表示装置において、前記第1のデータ線を介して前記第1の画素群の各単位画素に第1の測定信号を、前記第2のデータ線を介して前記第2の画素群の各単位画素に第2の測定信号をそれぞれ書き込み、次いで、前記第1、第2のデータ線に所定の直流電圧を供給し、しかる後、前記第1のデータ線と前記第2のデータ線とを短絡する。そして、前記第1のデータ線と前記第2のデータ線との短絡後に、前記第1の画素群の各単位画素から前記第1の測定信号を前記第1のデータ線に、前記第2の画素群の各単位画素から前記第2の測定信号を前記第2のデータ線にそれぞれ読み出し、この読み出し後に前記第1のデータ線の電位と前記第2のデータ線の電位とを比較し、その比較結果に基づいて前記画素アレイ部の検査を行うことを特徴としている。

10

**【0014】**

上記構成の液晶表示装置の検査において、第1の画素群の各単位画素から第1の測定信号を第1のデータ線に、第2の画素群の各単位画素から第2の測定信号を第2のデータ線にそれぞれ読み出す前に、第1、第2のデータ線に所定の直流電圧を供給し、しかも第1のデータ線と第2のデータ線とを短絡することで、対となる第1、第2のデータ線の各電位が同電位になる。そして、第1、第2のデータ線の各電位が同電位になった状態において、第1、第2の画素群の各単位画素から第1、第2の測定信号を第1、第2のデータ線に読み出し、これら対となるデータ線の各電位を比較する動作が行われる。

**【発明の効果】****【0015】**

本発明によれば、第1、第2のデータ線の各電位を同電位にした状態で、第1、第2の画素群の各単位画素から第1、第2の測定信号を第1、第2のデータ線に読み出し、これら対となるデータ線の各電位を比較する動作を行うことになるために、当該比較動作を正確に行うことができる。

20

**【発明を実施するための最良の形態】****【0016】**

以下、本発明の実施の形態について図面を参照して詳細に説明する。

**【0017】**

図1は、本発明の一実施形態に係る液晶表示装置の構成の概略を示すシステム構成図である。本実施形態に係る液晶表示装置1は、駆動方式としてアクティブマトリクス方式を採用しており、図1に示すように、画素アレイ部10、ゲート線駆動回路20、データ線駆動回路30および検査回路40を有するとともに、通常の画像表示を行う通常動作モードに加えて、単位画素、ゲート線およびデータ線の良否の検査を行うことが可能なテストモードを備えた構成となっている。

30

**【0018】**

因みに、液晶表示装置1は、少なくとも一方が透明な2枚の基板（図示せず）が対向して配置され、これら2枚の基板間に液晶が封入された構造を持ち、少なくとも一方の基板の表面にマトリクス状に分割された単位画素を有し、各単位画素には電極（画素電極）が配置された構成となっている。

**【0019】****（画素アレイ部）**

画素アレイ部10は、画素トランジスタ51と、当該画素トランジスタ51の出力電極に接続された容量素子52と、当該容量素子52に保持される電圧に応じた階調表示を行う液晶セル53とを有する単位画素50が多数行列状（m行n列）に2次元配置された構成となっている。この画素アレイ部10のm行n列の画素配列に対して、画素行ごとにゲート線54-1～54-mが配線され、画素列ごとにデータ線55-1～55-nが配線されている。

40

**【0020】****（単位画素）**

図2は、単位画素50の回路構成の一例を示す回路図である。図2に示すように、画素

50

50において、画素トランジスタ51は、制御電極（ゲート電極）がゲート線54（54-1～54-m）に接続され、入力電極がデータ線55（55-1～55-n）に接続されている。画素トランジスタ51としては、例えばTFT（薄膜トランジスタ）が用いられる。

#### 【0021】

容量素子52は、一端が画素トランジスタ51の出力電極に接続され、他端が接地されている。液晶セル53は、画素電極とこれに対向して形成される対向電極との間で発生する液晶容量を意味し、画素電極が画素トランジスタ51の出力電極に接続されている。液晶セル53の対向電極は、一つの透明電極によって表示エリア全面に亘って画素共通に形成される。この対向電極には、画素共通のコモン電位Vcomが印加される。

10

#### 【0022】

この単位画素50において、データ線55（55-1～55-n）から画素トランジスタ51を介して液晶セル52の画素電極に電圧が印加されると、その印加電圧に応じて液晶の偏光特性が変化することにより、液晶セル52によって印加電圧に応じた階調表示が行われる。この印加電圧は、容量素子52に保持される。したがって、画素トランジスタ51がオフした後も、容量素子52に保持された印加電圧によって液晶の反射量が継続的に維持される。

#### 【0023】

ここで、画素アレイ部10の各単位画素のうち、奇数番目の画素列の各単位画素50が第1の画素群に相当し、偶数番目の画素列の各単位画素50が第2の画素群に相当するものとする。これに対応して、第1の画素群である奇数番目の画素列の各単位画素50の入力電極に接続されたデータ線55-1, 55-3, ... が第1のデータ線に相当し、第2の画素群である偶数番目の画素列の各単位画素50の入力電極に接続されたデータ線55-2, 55-4, ... が第2のデータ線に相当するものとする。

20

#### 【0024】

##### （ゲート線駆動回路）

ゲート線駆動回路20は、垂直ドライバ21によって構成されている。垂直ドライバ21は、例えばシフトレジスタ回路によって構成され、ゲート線54-1～54-mを介して画素アレイ部10の各単位画素50を行単位で選択するための垂直走査信号GATEを順に出力する。

30

#### 【0025】

##### （データ線駆動回路）

データ線駆動回路30は、水平ドライバ31、水平選択スイッチ32-1～32-n、表示信号供給トランジスタ33-1, 33-2、測定信号供給トランジスタ34-1, 34-2、電圧供給制御トランジスタ35-1～35-nおよびインバータ36によって構成されている。

#### 【0026】

水平ドライバ31は、例えばシフトレジスタ回路と、テスト用ロジック回路とを有する構成となっており、テスト信号TESTが接地レベルである低レベル（以下、「Lレベル」と記述する）のとき、即ち通常動作モードではシフトレジスタ回路が動作することで、水平選択スイッチ32-1～32-nを順に選択駆動するための第1の水平スイッチ駆動信号DSW1～DSWnを出力し、テスト信号TESTが“H”レベルのとき、即ちテストモードではテスト用ロジック回路が動作することで、水平選択スイッチ32-1～32-nを所定の画素列単位で選択駆動するための第2の水平スイッチ駆動信号DSWを出力するようになっている。

40

#### 【0027】

水平選択スイッチ32-1～32-nのうち、奇数番目の画素列に対応する水平選択スイッチ32-1, 32-3, ... は、奇数番目の画素列のデータ線55-1, 55-3, ... と第1の信号供給線37-1との間に接続され、偶数番目の画素列に対応する水平選択スイッチ32-2, 32-4, ... は、偶数番目の画素列のデータ線55-2, 55-

50

4 , ... と第 2 の信号供給線 37 - 2 との間に接続され、水平ドライバ 31 から出力される第 1 または第 2 の水平走査信号に応答してオン状態となる。

【0028】

通常動作モードでは、画像表示用信号 SIG が表示信号供給トランジスタ 33 - 1 , 33 - 2 を介して第 1 , 第 2 の信号供給線 37 - 1 , 37 - 2 に共通に与えられる。表示信号供給トランジスタ 33 - 1 , 33 - 2 は、“L”レベルのテスト信号 TEST がインバータ 36 を介してゲート電極に印加されることによってオン状態となり、画像表示用信号 SIG を第 1 , 第 2 の信号供給線 37 - 1 , 37 - 2 に対して共通に供給する。

【0029】

一方、テストモードでは、第 1 の信号供給線 37 - 1 には第 1 の測定信号 TSIG1 が測定信号供給トランジスタ 34 - 1 を介して選択的に供給され、第 2 の信号供給線 37 - 2 には第 2 の測定信号 TSIG1 が信号供給トランジスタ 34 - 2 を介して選択的に供給される。測定信号供給トランジスタ 34 - 1 , 34 - 2 は、“H”レベルのテスト信号 TEST がゲート電極に印加されることによってオン状態となり、第 1 , 第 2 の測定信号 TSIG1 , TEST2 を第 1 , 第 2 の信号供給線 37 - 1 , 37 - 2 に供給する。

【0030】

電圧供給制御トランジスタ 35 - 1 ~ 35 - n は、データ線 55 - 1 ~ 55 - n の各々と電圧供給線 38 との間に接続されている。電圧供給線 38 には所定の直流電圧 Vguard が与えられる。電圧供給トランジスタ 35 - 1 ~ 35 - p は、各ゲート電極が制御線 39 に共通に接続されており、当該制御線 39 を介して“H”レベルの電圧供給制御信号 TOFF がゲート電極に印加されることによりオン状態となって直流電圧 Vguard をデータ線 55 - 1 ~ 55 - n に印加する。

【0031】

(検査回路)

検査回路 40 は、スイッチ回路 41 - 1 ~ 41 - p、センスアンプ 42 - 1 ~ 42 - p およびデコーダ 43 によって構成されている。

【0032】

スイッチ回路 41 - 1 ~ 41 - p は、隣り合う 2 本のデータ線 55 - 1 と 55 - 2 , 55 - 3 と 55 - 4 , ... を対として配置されている。したがって、スイッチ回路 41 - 1 ~ 41 - p の数 p は、データ線 55 - 1 ~ 55 - n の本数 n の半分となる。スイッチ回路 41 - 1 ~ 41 - p は同じ回路構成となっているために、ここでは、1 番目のスイッチ回路 41 - 1 を例に採ってその具体的な回路構成について説明する。

【0033】

スイッチ回路 41 - 1 は、一方の接点がデータ線 55 - 1 , 55 - 2 の各一端にそれぞれ接続されたスイッチ 44 , 45 と、これらスイッチ 44 , 45 の他方の接点間に接続されたスイッチ 46 とから構成されている。スイッチ 44 , 45 は、“H”レベルのスイッチ制御信号 SWA が印加されることによりオン(閉)状態となってセンスアンプ 42 - 1 の反転入力端および非反転入力端をデータ線 55 - 1 , 55 - 2 にそれぞれ低インピーダンスで接続する作用を為す。

【0034】

スイッチ 46 は、“H”レベルのスイッチ制御信号 SWB が印加されることによりオン(閉)状態となってデータ線 55 - 1 , 55 - 2 間を低インピーダンスで短絡するデータ線タンク手段としての機能を持つ。スイッチ 46 によってデータ線 55 - 1 , 55 - 2 間が短絡されることにより、データ線 55 - 1 , 55 - 2 間に電位差がある場合に、データ線 55 - 1 , 55 - 2 の各電位、即ちセンスアンプ 42 - 1 の反転入力端および非反転入力端の各電位が同電位、具体的には短絡前のデータ線 55 - 1 , 55 - 2 の各電位の中間電位になる。

【0035】

このように、スイッチ 46 はデータ線 55 - 1 , 55 - 2 間を短絡する作用を為すものであることから、スイッチ 46 の配設位置はスイッチ 44 , 45 とセンスアンプ 42 - 1

10

20

30

40

50

との間に限られるものではない。ただし、スイッチ46をセンスアンプ42-1により近い位置に配置した方が、データ線55-1, 55-2の寄生容量や配線抵抗の影響を受けることなく、センスアンプ42-1の反転入力端および非反転入力端の各電位を同電位にできる利点がある。

#### 【0036】

センスアンプ42-1は、スイッチ回路41-1のスイッチ44, 45がオン状態にあるときに、イネーブル信号ENに同期してデータ線55-1, 55-2の各電位を比較してその電位差を検出し、当該電位差を増幅して出力する。センスアンプ42-2~42-pも、センスアンプ42-1と同様の動作を行う。これらセンスアンプ42-1~42-pは、第1のデータ線である奇数番目のデータ線55-1, 55-3, ...の電位と第2のデータ線である偶数番目のデータ線55-2, 55-4, ...の電位とを比較する比較回路である。ただし、比較回路としてはセンスアンプ42-1~42-pに限られるものではなく、第1のデータ線の電位と第2のデータ線の電位とを比較できる構成のものであれば良い。

10

#### 【0037】

センスアンプ42-1~42-pからは“H”レベルまたは“L”レベルの検出信号が出力され、デコーダ43に入力される。デコーダ43は、センスアンプ42-1~42-pから供給される検出信号を一旦保持し、当該保持結果を期待値と比較し、期待値通りであれば検査結果が良(OK)、期待値通りでなければ不良(NG)とする検査結果信号TOUTを出力する。

20

#### 【0038】

(センスアンプおよびデコーダ)

図3は、例えば1番目のセンスアンプ42-1およびこれに対応するデコーダ43の回路部分の具体的な回路例を示す回路図である。

#### 【0039】

図3に示すように、センスアンプ42-1は、ソース電極が共通に接続されて差動動作をなすNchの差動対トランジスタQ1, Q2と、これら差動対トランジスタQ1, Q2の各ドレイン電極に各ドレイン電極がそれぞれ接続されたPchの負荷トランジスタQ3, Q4と、差動対トランジスタQ1, Q2のソース共通接続ノードとグランドとの間に接続されたNchの電流源トランジスタQ5と、負荷トランジスタQ3, Q4のソース共通接続ノードと電源Vddとの間に接続されたPchの電流源トランジスタQ6とから構成されている。

30

#### 【0040】

トランジスタQ1, Q3の各ゲート電極は互いに共通に接続されるとともに、トランジスタQ2, Q4のドレイン共通接続ノードに接続されている。トランジスタQ2, Q4の各ゲート電極は互いに共通に接続されるとともに、トランジスタQ1, Q3のドレイン共通接続ノードに接続されている。そして、トランジスタQ1, Q3のドレイン共通接続ノードはスイッチ44の他方の接点に接続され、トランジスタQ2, Q4のドレイン共通接続ノードはスイッチ45の他方の接点に接続されている。電流源トランジスタQ5のゲート電極にはイネーブル信号ENが印加される。電流源トランジスタQ6のゲート電極にはイネーブル信号ENの反転信号が印加される。

40

#### 【0041】

デコーダ43のセンスアンプ42-1に対応する回路部分43-1は、フリップフロップ(FF)47と2入力ANDゲート28とから構成されている。フリップフロップ47は、センスアンプ42-1から供給される“H”レベル(論理“1”)または“L”レベル(論理“0”)の検出信号を一時的に保持する。ANDゲート48は、フリップフロップ47の保持内容である論理“1”または論理“0”を期待値“1”(または、“0”)と比較する。そして、2入力の論理が一致するとき、即ちフリップフロップ47の保持内容が期待値通りであれば検査結果が良(OK)、2入力の論理が一致しないとき、即ちフリップフロップ47の保持内容が期待値通りでなければ不良(NG)とする2値(“H”

50

レベル / “ L ” レベル) の検査結果信号 T O U T を出力する。

【 0 0 4 2 】

[ 液晶表示装置の検査 ]

以上のように構成された本実施形態に係る液晶表示装置 1 の画素アレイ部 1 0 の検査方法 ( 本発明による検査方法 ) 、具体的には単位画素 5 0 の良否の検査、ゲート線 5 4 - 1 ~ 5 4 - m およびデータ線 5 5 - 1 ~ 5 5 - n の短絡や断線等の検査について、以下に具体的に説明する。なお、単位画素 5 0 の良否の検査には、容量素子 5 2 の良否の検査と、液晶セル 5 3 の良否の検査とがある。これらの検査は、周知の L S I テスタを用いることによって行われる。

【 0 0 4 3 】

図 4 は、液晶表示装置 1 と L S I テスタ 7 0 との関係を示すブロック図である。本実施形態においては、L S I テスタ 7 0 から液晶表示装置 1 に対して各種の制御信号、具体的にはデータ線駆動回路 3 0 で用いるテスト信号 T E S T 、第 1 , 第 2 の測定信号 T S I G 1 , T S I G 2 および電圧供給制御信号 T O F F と、検査回路 4 0 で用いるスイッチ制御信号 S W A , S W B およびイネーブル信号 E N を入力する。そして、液晶表示装置 1 から L S I テスタ 7 0 に対して検査結果信号 T O U T が入力され、当該検査結果信号 T O U T を基に L S I テスタ 7 0 が単位画素 5 0 の良否の判断や、ゲート線 5 4 - 1 ~ 5 4 - m およびデータ線 5 5 - 1 ~ 5 5 - n の短絡や断線等の有無の判断を行うことになる。

【 0 0 4 4 】

L S I テスタ 7 0 は、内部に C P U 7 1 および記憶部 7 2 等を有し、C P U 7 1 が記憶部 7 2 等に記憶された検査プログラムを読み出して実行することにより、以下に説明する機能、即ち単位画素 5 0 の良否や、ゲート線 5 4 - 1 ~ 5 4 - m およびデータ線 5 5 - 1 ~ 5 5 - n の短絡、断線等を検査するための機能を実行するようになっている。

【 0 0 4 5 】

ここでは、検査プログラムを記憶部 7 2 等にあらかじめ記憶しておくことを前提としているが、検査プログラムを通信手段により提供して記憶部 7 2 に読み込ませることはもちろん、C D - R O M 等の記録媒体に検査プログラムを記録し、当該検査プログラムを L S I テスタ 7 0 の記録媒体ドライバ ( 図示せず ) を介して記憶部 7 2 に読み込ませることも可能である。

【 0 0 4 6 】

なお、単位画素 5 0 の良否の検査や、ゲート線 5 4 - 1 ~ 5 4 - m およびデータ線 5 5 - 1 ~ 5 5 - n の短絡、断線等の検査は、製造工程において液晶を注入する前の段階で行うこととする。ただし、液晶セル 5 3 の良否の検査については、液晶を注入した後の段階で行うこととする。いずれの場合にも、検査の動作については基本的に同じである。

【 0 0 4 7 】

以下に、L S I テスタ 7 0 の C P U 7 1 による制御の下に実行される、単位画素 5 0 の良否の検査や、ゲート線 5 4 - 1 ~ 5 4 - m およびデータ線 5 5 - 1 ~ 5 5 - n の短絡、断線等の検査のための一連の測定動作について、図 5 のタイミングチャートおよび図 6 の動作説明図を用いて説明する。

【 0 0 4 8 】

なお、この C P U 7 1 による一連の測定動作は、垂直ドライバ 2 1 による垂直走査に同期して画素行単位で、隣り合う画素列を対として実行されるものとする。ここでは、理解を容易にするために、図 6 に示すように、ある画素行  $i$  における 1 列目、2 列目の単位画素 5 0  $i - 1$  , 5 0  $i - 2$  を対とした場合を例に採って説明するものとする。

【 0 0 4 9 】

図 5 のタイミングチャートには、テスト信号 T E S T 、水平スイッチ駆動信号 D S W 、電圧供給制御信号 T O F F 、垂直走査信号 G A T E 、スイッチ制御信号 S W A , S W B およびイネーブル信号 E N のタイミング関係を示している。これらの信号は、測定開始前は全て “ L ” レベルの状態にある。

【 0 0 5 0 】

10

20

30

40

50

先ず、LSIテスト70は、時刻 $t_{11}$ でテスト信号TESTを“H”レベルにするるとともに、第1,第2の測定信号TSIG1,TSIG2を液晶表示装置1に供給する。テスト信号TESTが“H”レベルになることにより、信号供給トランジスタ34-1,34-2がオン状態となって第1,第2の測定信号TSIG1,TSIG2を第1,第2の信号供給線37-1,37-2に供給する。

【0051】

また、テスト信号TESTが“H”レベルになることにより、水平ドライバ31が水平選択スイッチ32-1,32-2に対して共通の水平スイッチ駆動信号DSWを“H”レベルにして水平選択スイッチ32-1,32-2をオン状態にする。これにより、第1,第2の測定信号TSIG1,TSIG2は、第1,第2の信号供給線37-1,37-2から水平選択スイッチ32-1,32-2を介してデータ線55-1,55-2に印加される。

10

【0052】

データ線55-1,55-2に対する第1,第2の測定信号TSIG1,TSIG2の印加と同時に(時刻 $t_{11}$ )、垂直ドライバ21による垂直走査によって、垂直ドライバ21から画素行 $i$ のゲート線54- $i$ に対して“H”レベルの垂直走査信号GATEが印加される。これにより、単位画素50 $i$ -1,50 $i$ -2の各画素トランジスタ51がオン状態となるために、当該画素トランジスタ51を介して第1,第2の測定信号TSIG1,TSIG2が各容量素子52に印加される。

【0053】

ここで、第1の測定信号TSIG1の電圧レベルを例えば5.0Vとし、第2の測定信号TSIG2の電圧レベルを例えば4.0Vとする。ただし、これらの電圧レベルは一例に過ぎず、これに限られるものではない。また、第1,第2の測定信号TSIG1,TSIG2は直流電圧のアナログ信号である。

20

【0054】

第1,第2の測定信号TSIG1,TSIG2が単位画素50 $i$ -1,50 $i$ -2の各容量素子52に印加されることで、これらは測定信号TSIG1,TSIG2に応じた電荷がチャージされ、第1,第2の測定信号TSIG1,TSIG2の電圧レベルが各容量素子52に保持される。このようにして、単位画素50 $i$ -1,50 $i$ -2には、第1,第2の測定信号TSIG1,TSIG2の電圧レベルが書き込まれる。

30

【0055】

次に、単位画素50 $i$ -1,50 $i$ -2への第1,第2の測定信号TSIG1,TSIG2の電圧レベルの書き込み後、時刻 $t_{12}$ で垂直ドライバ21から $i$ 行目の画素行に対して出力される垂直走査信号GATEが“H”レベルから“L”レベルに遷移する。これにより、単位画素50 $i$ -1,50 $i$ -2の各画素トランジスタ51がオフ状態となり、各容量素子52に蓄えられた電荷量が確定する。

【0056】

次に、時刻 $t_{13}$ で水平ドライバ31は、水平スイッチ駆動信号DSWを“L”レベルにして水平選択スイッチ32-1,32-2をオフ状態にし、データ線55-1,55-2に対する第1,第2の測定信号TSIG1,TSIG2の印加を停止する。

40

【0057】

これと同時に(時刻 $t_{13}$ )、LSIテスト70は、電圧供給制御信号TOFFおよびスイッチ制御信号SWA,SWBを“H”レベルにする。これにより、電圧供給制御トランジスタ35-1~35- $n$ がオン状態になり、所定の直流電圧Vguardがデータ線55-1,55-2に印加されるとともに、スイッチ回路41-1のスイッチ44,45がオン状態となり、当該直流電圧Vguardがセンサアンプ42-1の反転入力端および非反転入力端に印加される。ここで、直流電圧Vguardを例えば3.0Vとする。

【0058】

さらに、スイッチ46は、オン状態になってデータ線55-1,55-2間、ひいてはセンサアンプ42-1の反転入力端-非反転入力端間を短絡することにより、データ線5

50

5 - 1 , 5 5 - 2 の各電位およびセンサアンプ 4 2 - 1 の反転入力端および非反転入力端の各電位を同じ電位、即ち電圧  $V_{guard}$  にするイコライズ動作を行う。

【 0 0 5 9 】

このイコライズ動作によって回路内の各部位、即ちデータ線 5 5 - 1 , 5 5 - 2 の各電位およびセンサアンプ 4 2 - 1 の反転入力端および非反転入力端の各電位がほぼ一定（同電位）となった段階での時刻  $t_{14}$  で L S I テスタ 7 0 は、電圧供給制御信号 T O F F を “ L ” レベルにして電圧供給制御トランジスタ 3 5 - 1 ~ 3 5 - n をオフ状態にする。これにより、直流電圧  $V_{guard}$  のデータ線 5 5 - 1 , 5 5 - 2 への印加が停止され、この状態において、スイッチ 4 6 の作用によって回路内電位のさらに精密なイコライズ動作が行われる。

10

【 0 0 6 0 】

このようなイコライズ動作を行うことにより、センサアンプ 4 2 - 1 の反転入力端および非反転入力端の各電位が同電位になるために、以降、センサアンプ 4 2 - 1 によってデータ線 5 5 - 1 , 5 5 - 2 の各電位を比較する際に、その比較動作を確実に行うことができることになる。

【 0 0 6 1 】

イコライズ動作が終了した後の時刻  $t_{15}$  で L S I テスタ 7 0 は、スイッチ制御信号 S W B を “ L ” レベルにしてスイッチ回路 4 1 - 1 のスイッチ 4 6 をオフ状態にすることにより、データ線 5 5 - 1 とデータ線 5 5 - 2 との間を電氣的に独立させるとともに、センサアンプ 4 2 - 1 の反転入力端と非反転入力端との間を電氣的に独立させる。

20

【 0 0 6 2 】

次に、時刻  $t_{16}$  で垂直ドライバ 2 1 による 2 回目の垂直走査によって、垂直ドライバ 2 1 から画素行  $i$  のゲート線 5 4 -  $i$  に対して “ H ” レベルの垂直走査信号 G A T E が印加される。これにより、単位画素 5 0  $i$  - 1 , 5 0  $i$  - 2 の各画素トランジスタ 5 1 がオン状態となるために、各容量素子 5 2 の保持電圧が画素トランジスタ 5 1 を介して対となる 2 本のデータ線 5 5 - 1 , 5 5 - 2 に印加される。

【 0 0 6 3 】

ここで、データ線 5 5 - 1 , 5 5 - 2 は容量成分を持っている。なお、本実施形態においては、データ線 5 5 - 1 の容量値とデータ線 5 5 - 2 の容量値とが同一とし、その容量値を  $C_{data}$  とする。また、データ線 5 5 - 1 , 5 5 - 2 の容量値  $C_{data}$  は、容量素子 5 2 の容量値  $C_s$  に比べて極めて大きい。一例として、 $C_s : C_{data} = 1 : 100$  とする。すなわち、データ線 5 5 - 1 , 5 5 - 2 の容量値  $C_{data}$  は、容量素子 5 2 の容量値  $C_s$  の 100 倍とする。

30

【 0 0 6 4 】

イコライズ動作により、データ線 5 5 - 1 , 5 5 - 2 の各容量成分に  $3.0V$  ( $V_{guard}$ ) が保持されている。この状態において、単位画素 5 0  $i$  - 1 , 5 0  $i$  - 2 の各容量素子 5 2 の保持電圧をデータ線 5 5 - 1 , 5 5 - 2 に読み出すと、単位画素 5 0  $i$  - 1 の容量素子 5 2 の保持電圧が  $5.0V$ 、単位画素 5 0  $i$  - 2 の容量素子 5 2 の保持電圧が  $4.0V$  であるために、データ線 5 5 - 1 , 5 5 - 2 の容量値  $C_{data}$  と容量素子 5 2 の容量値  $C_s$  との容量比から、データ線 5 5 - 1 の電位が  $3.05V$  となり、データ線 5 5 - 2 の電位が  $3.04V$  になる ( $Q = C \cdot V$  より、データ線 5 5 - 1 の電荷は  $305 \cdot C_s$ 、データ線 5 5 - 2 の電荷は  $304 \cdot C_s$ )。

40

【 0 0 6 5 】

次に、L S I テスタ 7 0 は、対となる 2 本のデータ線 5 5 - 1 , 5 5 - 2 の電位が確定した時刻  $t_{17}$  でイネーブル信号 E N を “ H ” レベルにしてセンサアンプ 4 2 - 1 内の電流源トランジスタ Q 5 , Q 6 ( 図 3 を参照 ) をオン状態にする。これにより、センサアンプ 4 2 - 1 は活性化状態となり、データ線 5 5 - 1 の電位とデータ線 5 5 - 2 の電位とを比較する。

【 0 0 6 6 】

ここで、上記の例では、データ線 5 5 - 1 の電位  $3.05V$  がセンサアンプ 4 2 - 1 の

50

非反転入力端に印加され、データ線 55 - 2 の電位 3.04 V がセンスアンプ 42 - 1 の反転入力端に印加されることになる。このとき、センスアンプ 42 - 1 は、データ線 55 - 1 の電位 3.05 V とデータ線 55 - 2 の電位 3.04 V との電位差 0.01 V を最大振幅電圧  $V_{dd}$  まで増幅して論理“1”の比較結果としてデコーダ 43、具体的にはセンスアンプ 42 - 1 に対応する回路部分 43 - 1 へ出力する。

**【0067】**

データ線 55 - 1, 55 - 2 の各電位の電位差は、本来同じ容量値であるべき単位画素 50 i - 1, 単位画素 50 i - 2 の各容量素子 52 の容量値  $C_s$  とデータ線 55 - 1, 55 - 2 の容量値  $C_{data}$  との容量比の違いに起因する。そして、単位画素 50 i - 1 の容量素子 52 に異常があってその容量値  $C_s$  が 2 割以上小さくなると、データ線 55 - 1 の電位が 3.04 V 以下になり、単位画素 50 i - 2 の容量素子 52 に異常があってその容量値  $C_s$  が 2 割以上大きくなると、データ線 55 - 2 の電位が 3.05 V 以上になる。すなわち、データ線 55 - 1, 55 - 2 の電位の高低関係が逆転する。このとき、センスアンプ 42 - 1 は、データ線 55 - 1, 55 - 2 の電位差を論理“0”の比較結果としてデコーダ 43 の回路部分 43 - 1 へ出力する。

10

**【0068】**

デコーダ 43 の回路部分 43 - 1 は、センスアンプ 42 - 1 の比較結果が、単位画素 50 i - 1, 50 i - 2 の各容量素子 52 が正常であるときの期待値“1”と一致するか否かを判定し、その判定結果を検査結果信号  $TOUT$  として  $LSI$  テスタ 70 に供給する。単位画素 50 i - 1, 50 i - 2 の各容量素子 52 が正常であるときは、センスアンプ 42 - 1 の比較結果が論理“1”となるために、 $AND$  ゲート 48 の出力である検査結果信号  $TOUT$  は“H”レベル(論理“1”)となる。一方、単位画素 50 i - 1, 50 i - 2 の各容量素子 52 のいずれかが異常のときは、センスアンプ 42 - 1 の比較結果が論理“0”となるために、検査結果信号  $TOUT$  は“L”レベル(論理“0”)となる。

20

**【0069】**

$LSI$  テスタ 70 は、デコーダ 43 からの検査結果信号  $TOUT$  を受けて、単位画素 50 の全てについて容量素子 52 の良否を、画素行単位で隣り合う 2 つの単位画素を対にして検査することができる。

**【0070】**

なお、本例では、第 1 の測定信号  $TSIG1$  の電圧レベルを第 2 の測定信号  $TSIG2$  の電圧レベルよりも高く設定したが、第 1, 第 2 の測定信号  $TSIG1$ ,  $TSIG2$  の各電圧レベルの高低関係を逆に設定することも可能である。この場合は、デコーダ 43 において、単位画素 50 i - 1, 50 i - 2 の各容量素子 52 が正常であるときの期待値として論理“0”を設定することになる。すなわち、期待値“1”/“0”は、対となる 2 本のデータ線 55 - 1, 55 - 2 に印加する第 1, 第 2 の測定信号  $TSIG1$ ,  $TSIG2$  から想定されることになる。

30

**【0071】**

また、第 1 の測定信号  $TSIG1$  の電圧レベルと第 2 の測定信号  $TSIG2$  の電圧レベルとを切り替える回路を設けて、第 1 の測定信号  $TSIG1$  の電圧レベルをデータ線 55 - 1 に、第 2 の測定信号  $TSIG2$  の電圧レベルをデータ線 55 - 2 にそれぞれ供給して行う検査と、第 2 の測定信号  $TSIG2$  の電圧レベルをデータ線 55 - 1 に、第 1 の測定信号  $TSIG1$  の電圧レベルをデータ線 55 - 2 にそれぞれ供給して行う検査との 2 つの検査を行う構成を採ることも可能である。この構成を採ることにより、単位画素 50 i - 1, 50 i - 2 の各容量素子 52 のいずれが異常であるかをより確実に判定することができる。

40

**【0072】**

ここまで説明した一連の測定動作を、液晶注入前の段階での検査として実行することにより、上述したように、単位画素 50 の容量素子 52 の良否(正常/異常)について検査することができる。

**【0073】**

50

また、液晶注入前の段階での検査において、上述した一連の測定動作を画素行ごとに行って各画素行の隣り合う2つの単位画素に第1, 第2の測定信号TSIG1, TSIG2の各電圧レベルを書き込む際に、電圧レベルを書き込めない単位画素が発生した場合は、書き込めなかった単位画素を含む画素列のデータ線に短絡あるいは断線が発生したことを検出することができる。

**【0074】**

データ線に短絡あるいは断線が発生した部位については、第1, 第2の測定信号TSIG1, TSIG2の各電圧レベルを書き込む動作が、垂直ドライバ21による垂直走査に同期して画素行単位で行われることから、電圧レベルを書き込めない単位画素が発生した画素行の位置が、データ線に短絡あるいは断線が発生した部位として検出することができる。

10

**【0075】**

また、液晶注入前の段階での検査において、全データ線55-1~55-nが正常であることを前提とした上で、上述した一連の測定動作を、全画素列を対象として、隣り合う2つの画素列を対にして画素行ごとに行うのではなく、全画素列を複数に分割して当該分割の単位を対象として、隣り合う2つの画素列を対にして画素行ごとに行うことにより、第1, 第2の測定信号TSIG1, TSIG2の各電圧レベルを単位画素50に書き込む際に、電圧レベルを書き込めない単位画素が発生した場合は、垂直走査信号GATEによって画素トランジスタ51をオンさせることができなかつたことになるために、書き込めなかった単位画素を含む画素行のゲート線に短絡あるいは断線が発生したことを検出することができる。

20

**【0076】**

一例として、画素列が1920本(水平方向の画素数が1920)であるとし、全画素列1920を48本の画素列を単位として40領域に分割し、当該分割領域ごとに上述した一連の測定動作を40回、隣り合う2つの画素列を対にして画素行ごとに実行することにより、ゲート線54-1~54-mに短絡あるいは断線の発生箇所を40個の領域単位で検出することができる。

**【0077】**

一方、全ての単位画素50の容量素子52、全データ線55-1~55-nおよび全ゲート線54-1~54-mが正常であることを前提とした上で、液晶注入後の段階での検査において、上述した一連の測定動作を画素行ごとに行うことにより、単位画素50の容量素子42以外の良否について検査することができる。

30

**【0078】**

すなわち、液晶が規定通りに注入されなかつたり、液晶に異物が混入したり、あるいは画素電極のパターンが崩れたりした場合に、容量素子52の容量値Csが変化する。したがって、上述した一連の測定動作によって異常が検出された場合は、容量素子52が正常であることから、単位画素50に容量素子52以外の異常がある、即ち液晶が規定通りに注入されていないか、液晶に異物が混入しているか、あるいは画素電極のパターンが崩れているなどの異常があると判定することができる。

**【0079】**

上述したように、第1の画素群(上記の例では、1列目の画素群)の各単位画素から第1の測定信号TSIG1を第1のデータ線55-1に、第2の画素群(上記の例では、2列目の画素群)の各単位画素50から第2の測定信号TSIG2を第2のデータ線55-2にそれぞれ読み出す前に、第1, 第2のデータ線55-1, 55-2に所定の直流電圧Vguardを供給し、しかも第1のデータ線55-1と第2のデータ線55-2とをスイッチ46によって短絡することで、対となる第1, 第2のデータ線55-1, 55-2の各電位が同電位になる。

40

**【0080】**

このように、第1, 第2のデータ線55-1, 55-2の各電位を同電位にした状態において、第1, 第2の画素群の各単位画素50から第1, 第2の測定信号TSIG1, T

50

S I G 2 を第 1 , 第 2 のデータ線 5 5 - 1 , 5 5 - 2 に読み出し、これら対となるデータ線 5 5 - 1 , 5 5 - 2 の各電位を比較する動作を行うことにより、当該比較動作を正確に行うことができる。

【 0 0 8 1 】

特に、本実施形態に係る検査手法は、リーク電流を測定する手法とは異なり、対とした単位画素に電圧値が異なる測定信号 T S I G 1 , T S I G 2 をそれぞれ書き込んだ後、対となるデータ線 5 5 - 1 , 5 5 - 2 に所定の直流電圧 V g u a r d を印加し、かつ当該データ線 5 5 - 1 , 5 5 - 2 間を短絡してイコライズ動作を行った後、対とした単位画素に保持した電圧をそれぞれデータ線 5 5 - 1 , 5 5 - 2 上に読み出して比較する手法であるために、容量素子 5 2 の容量値 C s が数十 F F 程度の L C O S などの反射型液晶表示装置

10

【 0 0 8 2 】

また、検査回路 4 0 の入力段に、当該検査手段と第 1 , 第 2 のデータ線 5 5 - 1 , 5 5 - 2 との間の電気的な接続を選択的に切り離すスイッチ 4 4 , 4 5 を設けたことで、単位画素 5 0 への第 1 , 第 2 の測定信号 T S I G 1 , T S I G 2 の書き込み動作と検査回路 4 0 での検査動作とを並行して行うことができるために、一連の検査に要する処理時間を短縮することができる。

【 0 0 8 3 】

さらに、データ線短絡手段であるスイッチ 4 6 をスイッチ 4 4 , 4 5 とセンスアンプ 4 1 - 1 との間に配置することにより、スイッチ 4 6 の配置位置がセンスアンプ 4 2 - 1 に

20

【 図面の簡単な説明 】

【 0 0 8 4 】

【 図 1 】 本発明の一実施形態に係る液晶表示装置の構成の概略を示すシステム構成図である。

【 図 2 】 単位画素の回路構成の一例を示す回路図である。

【 図 3 】 1 番目のセンスアンプおよびこれに対応するデコーダの回路部分の具体的な回路例を示す回路図である。

30

【 図 4 】 液晶表示装置と L S I テスタとの接続関係を示すブロック図である。

【 図 5 】 検査のための一連の測定動作の説明に供するタイミングチャートである。

【 図 6 】 検査のための一連の測定動作についての動作説明図である。

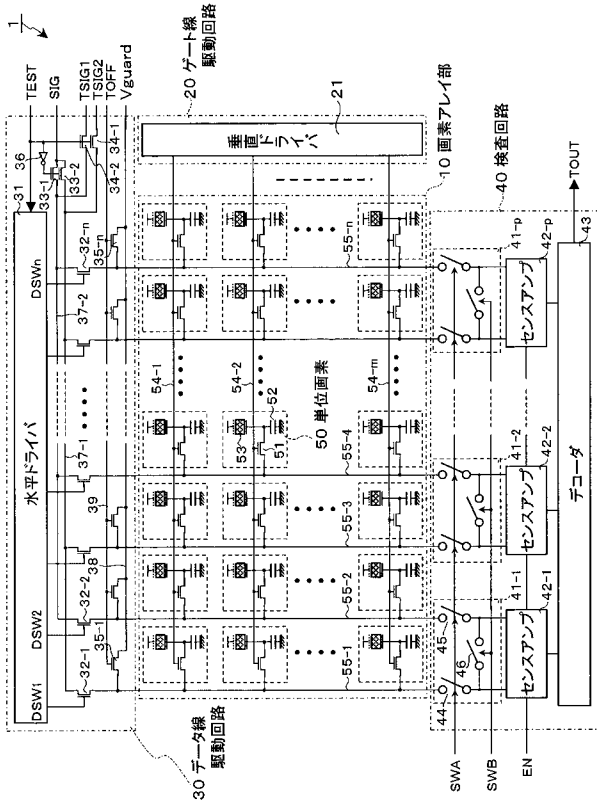
【 符号の説明 】

【 0 0 8 5 】

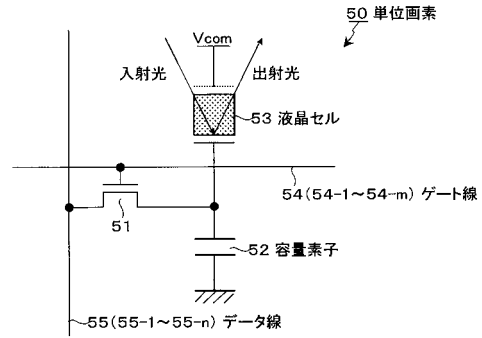
1 ... アクティブマトリクス方式液晶表示装置、 1 0 ... 画素アレイ部、 2 0 ... ゲート線駆動回路、 2 1 ... 垂直ドライバ、 3 0 ... データ線駆動回路、 3 1 ... 水平ドライバ、 3 2 - 1 ~ 3 2 - n ... 水平選択スイッチ、 3 5 - 1 ~ 3 5 - n ... 電圧供給制御トランジスタ、 4 0 ... 検査回路、 4 1 - 1 ~ 4 1 - p ... スイッチ回路、 4 2 - 1 ~ 4 2 - p ... センスアンプ、 4 3 ... デコーダ、 5 0 ... 単位画素、 5 1 ... 画素トランジスタ、 5 2 ... 容量素子、 5 3 ... 液晶セル、 5 4 ( 5 4 - 1 ~ 5 4 - m ) ... ゲート線、 5 5 ( 5 5 - 1 ~ 5 5 - n ) ... データ線、 7 0 ... L S I テスタ

40

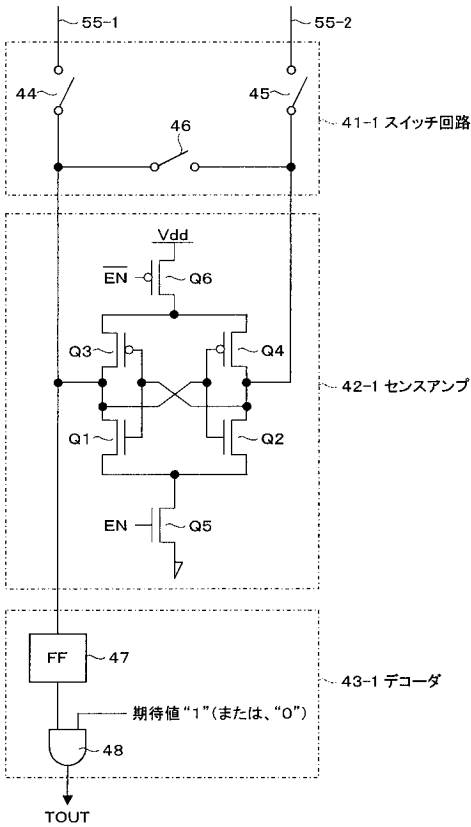
【 図 1 】



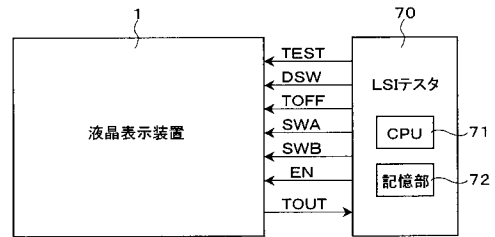
【 図 2 】



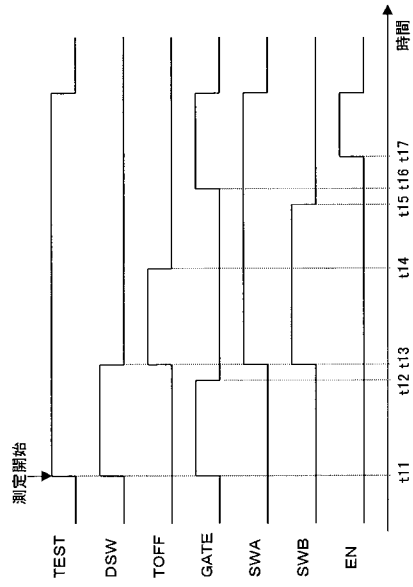
【 図 3 】



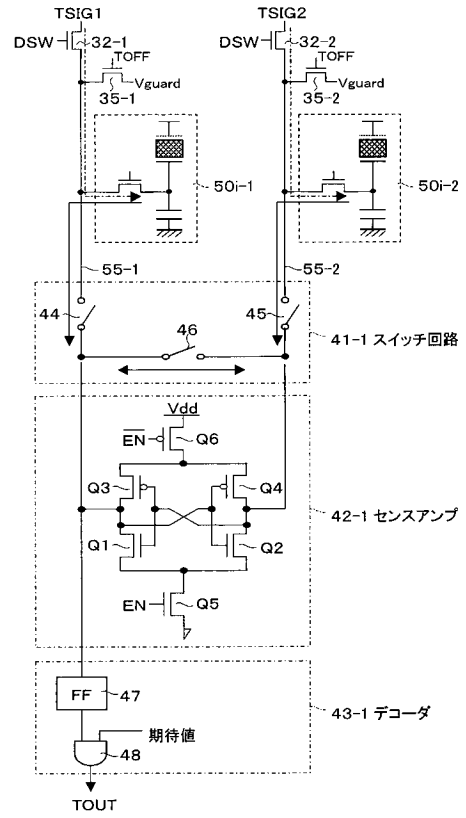
【 図 4 】



【 図 5 】



【 図 6 】



## フロントページの続き

(51) Int.Cl.		F I		テーマコード(参考)
<b>G 0 1 R 31/00 (2006.01)</b>		G 0 9 G 3/20	6 7 0 Q	5 F 1 1 0
		H 0 1 L 29/78	6 2 4	
		G 0 1 R 31/00		

(72)発明者 宮澤 一幸  
福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内

(72)発明者 平野 勝久  
福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内

(72)発明者 堀口 則昭  
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 秋元 修  
東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 2G036 AA25 AA27 BA33 CA10  
 2H092 GA11 JA24 JA37 JA41 JB11 JB31 MA55 MA56 NA30 PA06  
 2H093 NA16 NA51 NC09 NC11 NC12 NC22 NC34 NC41 ND56 NE03  
 5C006 AA16 AC26 AF43 AF51 AF53 AF71 BB16 BB28 BC03 BC13  
 BC20 BC23 BF03 BF06 BF11 BF14 BF15 BF24 BF25 BF26  
 BF33 BF34 BF38 BF42 EB01 EB04 FA11 FA37  
 5C080 AA10 BB05 DD15 DD28 FF03 FF11 GG02 JJ02 JJ03 JJ04  
 5F110 AA24 BB02 NN72 NN73

专利名称(译)	液晶显示装置和液晶显示装置的检查方法		
公开(公告)号	<a href="#">JP2007333823A</a>	公开(公告)日	2007-12-27
申请号	JP2006162991	申请日	2006-06-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	川浦英明 清水目和年 安藤直樹 宮澤一幸 平野勝久 堀口則昭 秋元修		
发明人	川浦 英明 清水目 和年 安藤 直樹 宮澤 一幸 平野 勝久 堀口 則昭 秋元 修		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G09G3/20 H01L29/786 G01R31/00		
CPC分类号	G09G3/006 G09G3/3611 G09G2320/0295		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G09G3/20.624.A G09G3/20.623.R G09G3/20.670.Q H01L29/78.624 G01R31/00		
F-TERM分类号	2G036/AA25 2G036/AA27 2G036/BA33 2G036/CA10 2H092/GA11 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JB11 2H092/JB31 2H092/MA55 2H092/MA56 2H092/NA30 2H092/PA06 2H093/NA16 2H093/NA51 2H093/NC09 2H093/NC11 2H093/NC12 2H093/NC22 2H093/NC34 2H093/NC41 2H093/ND56 2H093/NE03 5C006/AA16 5C006/AC26 5C006/AF43 5C006/AF51 5C006/AF53 5C006/AF71 5C006/BB16 5C006/BB28 5C006/BC03 5C006/BC13 5C006/BC20 5C006/BC23 5C006/BF03 5C006/BF06 5C006/BF11 5C006/BF14 5C006/BF15 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF33 5C006/BF34 5C006/BF38 5C006/BF42 5C006/EB01 5C006/EB04 5C006/FA11 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD15 5C080/DD28 5C080/FF03 5C080/FF11 5C080/GG02 5C080/JJ02 5C080/JJ03 5C080/JJ04 5F110/AA24 5F110/BB02 5F110/NN72 5F110/NN73 2H192/AA24 2H192/HB04 2H192/HB13 2H192/HB23 2H193/ZA04 2H193/ZD21 2H193/ZF36 2H193/ZK01 2H193/ZP03		
代理人(译)	船桥 国则		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的一个目的是通过简单地将参考电压预充电到数据线来保持像素保持电压，因为由于数据线的寄生电容的影响，两条成对数据线的电位不能被均衡。不能精确地执行读取和比较两条数据线的操作。第一测量信号TSIG1从第一像素组（例如，第一列像素组）的每个单位像素和第二像素组（例如，2）施加到第一数据线55-1。在从列像素组的每个单位像素50读出第二测量信号TSIG2到第二数据线55-2之前，将预定的DC电压Vguard提供给数据线55-1和55-2。此外，通过开关46使数据线55-1和数据线55-2短路，使数据线55-1和55-2的电位成对。[选图]图1

