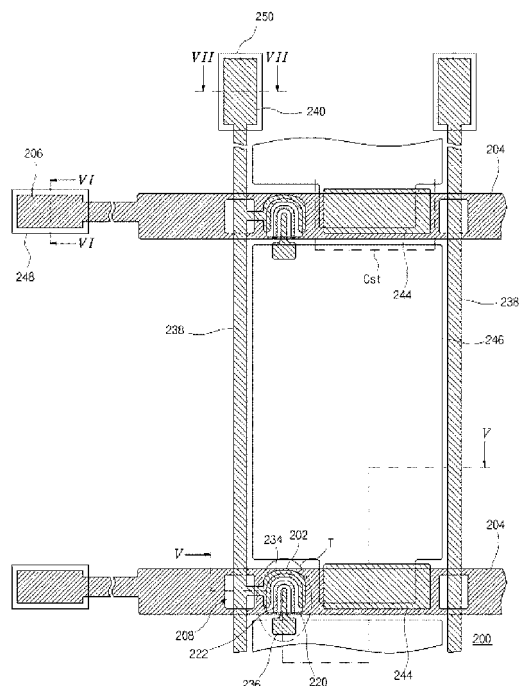




【特許請求の範囲】

【請求項 1】

基板上に位置し、相互に交差して画素領域を定義するゲート配線及びデータ配線と、
前記ゲート配線に接続されるゲート電極と、
前記ゲート電極上に位置するゲート絶縁膜と、
前記ゲート絶縁膜上に位置するアクティブ層と、
前記アクティブ層上に位置し、相互に離間されたソース電極及びドレイン電極と、
前記アクティブ層及び前記ソース電極間、並びに前記アクティブ層及びドレイン電極間に位置するオーミックコンタクト層と、
前記アクティブ層上に位置し、前記ソース電極及びドレイン電極で挟まれた領域側を前記ソース電極の内側と呼ぶとともに、前記ドレイン電極の内側と呼ぶとすると、前記ソース電極及びドレイン電極の内側に向かう二つの側面を有し、前記二つの側面のうち、少なくとも一つは、前記ソース電極及びドレイン電極の内側間に位置するシールドパターンと、
前記画素領域に位置し、前記ドレイン電極に接続される画素電極と
を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記シールドパターンは、前記ソース電極及びドレイン電極の内側間に位置することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記シールドパターンは、前記ソース電極及びドレイン電極のいずれかとその下部のオーミックコンタクト層と重なることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】

前記シールドパターンの長手方向の両端は、前記アクティブ層の外部に位置することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 5】

前記ソース電極は、英文字のアルファベットの U 字状であり、前記ドレイン電極は、バー状であり、かつ前記シールドパターンは、U 字状であることを特徴とする請求項 4 記載の液晶表示装置。

【請求項 6】

前記シールドパターンは、少なくとも一つであることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 7】

前記シールドパターンは、前記ゲート電極によって遮られることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 8】

前記ゲート電極は、前記ゲート配線の一部であることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 9】

前記ゲート配線は、前記データ配線と交差する部分にホールを有することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 10】

前記ソース電極の下部のオーミックコンタクト層から伸延され、前記データ配線の下部に位置する第 1 半導体パターンをさらに備えたことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 11】

前記ゲート配線と重なり、前記画素電極に接続するストレージ電極と、
前記ストレージ電極の下部に位置し、前記オーミックコンタクト層と同一な物質で形成された第 2 半導体パターンをさらに備えた

10

20

30

40

50

ことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 1 2】

前記画素電極は、画素領域で前記ゲート絶縁膜と接触することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 1 3】

前記ゲート配線の一端に位置するゲートパッド電極と、前記データ配線の一端に位置するデータパッド電極とをさらに備えたことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 1 4】

前記ゲート絶縁膜に形成されたゲートパッドコンタクトホールを通じて、前記ゲートパッド電極に接続するゲートパッド電極端子と、前記データパッド電極に接続するデータパッド電極端子とをさらに備えたことを特徴とする請求項 1 3 記載の液晶表示装置。 10

【請求項 1 5】

前記アクティブ層は、純粋非晶質シリコンを含み、前記オーミックコンタクト層は、不純物非晶質シリコンを含み、かつ前記シールドパターンは、無機絶縁物質を含むことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 1 6】

基板上にゲート配線及びゲート電極を形成する工程と、前記ゲート配線及びゲート電極上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にアクティブ層を形成し、前記アクティブ層上にシールドパターンを形成する工程と、前記ゲート配線と交差して画素領域を定義するデータ配線、並びに相互に離間されたソース電極及びドレイン電極を形成し、前記アクティブ層及び前記ソース電極間、並びに前記アクティブ層及びドレイン電極間に位置するオーミックコンタクト層を形成する工程と、 20

前記画素領域に、前記ドレイン電極に接続される画素電極を形成する工程とを含み、前記シールドパターンは、前記ソース電極及びドレイン電極で挟まれた領域側を前記ソース電極の内側と呼ぶとともに、前記ドレイン電極の内側と呼ぶとすると、前記ソース電極及びドレイン電極の内側に向かう二つの側面を有し、前記二つの側面のうち、少なくとも一つは、前記ソース電極及びドレイン電極の内側間に位置することを特徴とする液晶表示装置の製造方法。 30

【請求項 1 7】

前記シールドパターンは、前記ソース電極及びドレイン電極の内側間に位置することを特徴とする請求項 1 6 記載の液晶表示装置の製造方法。

【請求項 1 8】

前記シールドパターンは、前記ソース電極及びドレイン電極のいずれかとその下部のオーミックコンタクト層と重なることを特徴とする請求項 1 6 記載の液晶表示装置の製造方法。

【請求項 1 9】

前記シールドパターンの長手方向の両端は、前記アクティブ層の外部に位置することを特徴とする請求項 1 6 記載の液晶表示装置の製造方法。 40

【請求項 2 0】

前記ソース電極は、英文字のアルファベットの U 字状であり、前記ドレイン電極は、バー状であり、かつ前記シールドパターンは、U 字状であることを特徴とする請求項 1 6 記載の液晶表示装置の製造方法。

【請求項 2 1】

前記シールドパターンは、少なくとも一つであることを特徴とする請求項 1 6 記載の液晶表示装置の製造方法。

【請求項 2 2】

前記シールドパターンは、前記ゲート電極によって遮られることを特徴とする請求項 16 記載の液晶表示装置の製造方法。

【請求項 23】

前記ゲート電極は、前記ゲート配線の一部であることを特徴とする請求項 16 記載の液晶表示装置の製造方法。

【請求項 24】

前記ゲート配線及びゲート電極を形成する工程は、
前記データ配線と交差する前記ゲート配線の部分にホールを形成する工程を含むことを特徴とする請求項 16 記載の液晶表示装置の製造方法。

【請求項 25】

前記アクティブ層を形成し、前記シールドパターンを形成する工程は、
前記ゲート絶縁膜上に純粋非晶質シリコン及びシールド層を順に形成する工程と、
マスクを使用して、前記ゲート電極の一部に対応する第 1 部分、及び前記第 1 部分の両側に対応して前記第 1 部分より薄い厚さの第 2 部分を有する感光パターンを形成する工程と、

前記感光パターンを使用して、前記純粋非晶質シリコン層及び前記遮断層をパターンニングすることによって前記アクティブ層を形成する工程と、

前記第 2 部分を除去するように前記感光パターンをアッシングする工程と、

前記アッシングされた感光パターンを使用して、前記パターンニングされたシールド層をパターンニングすることによって前記シールドパターンを形成する工程とを含む

ことを特徴とする請求項 16 記載の液晶表示装置の製造方法。

【請求項 26】

前記感光パターンを形成する工程は、

前記シールド層上に感光層を形成する工程と、

前記ゲート電極の一部に対応する遮断部及び前記遮断部の両側に位置する半透過部を有する前記マスクを利用して、前記感光層を露光する工程とを含む

ことを特徴とする請求項 25 記載の液晶表示装置の製造方法。

【請求項 27】

前記ゲート配線の一端にゲートパッド電極を形成するとともに、前記データ配線の一端にデータパッド電極を形成する工程をさらに含む

ことを特徴とする請求項 16 記載の液晶表示装置の製造方法。

【請求項 28】

前記データ配線及びデータパッド電極の下部に前記オーミックコンタクト層から伸延された第 1 半導体パターンを形成する工程をさらに含む

ことを特徴とする請求項 27 記載の液晶表示装置の製造方法。

【請求項 29】

前記データ配線、データパッド電極、ソース電極及びドレイン電極、オーミックコンタクト層、並びに第 1 半導体パターンを形成する工程は、

前記シールドパターンを有する基板上に不純物非晶質シリコン層及び導電層を順に形成する工程と、

マスクを使用して、前記ゲート電極の一部、前記画素領域、前記ゲートパッド電極の一部の側部、及びデータ領域の側部に対応した第 1 部分と、前記ゲート電極の一部の両側及び前記データ領域に対応した前記第 1 部分より厚い厚さの第 2 部分とを有するとともに、前記ゲートパッド電極の一部を露出する感光パターンを形成する工程と、

前記感光パターンを使用して前記導電層及び前記不純物非晶質シリコン層をパターンニングすることによって前記ゲートパッド電極の一部を露出するゲートパッドコンタクトホールを形成する工程と、

前記第 1 部分を除去するように前記感光パターンをアッシングする工程と、

前記アッシングされた感光パターンを使用して前記パターンニングされた導電層及び不純物非晶質シリコン層をパターンニングすることによって前記ソース電極及びドレイン電極

10

20

30

40

50

、前記オーミックコンタクト層、並びに前記第 1 半導体パターンを形成するとともに、前記データ領域に前記データ配線及びデータパッド電極を形成する工程とを含む

ことを特徴とする請求項 28 記載の液晶表示装置の製造方法。

【請求項 30】

前記感光パターンを形成する工程は、

前記導電層上に感光層を形成する工程と、

前記ゲートパッド電極の一部に対応する透過部と、前記ゲート電極の一部、前記画素領域、前記ゲートパッド電極の一部の側部及び前記データ領域の側部に対応する半透過部と、前記ゲート電極の一部の両側及び前記データ領域に対応する遮断部とを有する前記マスクを利用して、前記感光層を露光する工程とを含む

10

ことを特徴とする請求項 29 記載の液晶表示装置の製造方法。

【請求項 31】

前記ゲート配線と重なり、前記画素電極に接続するストレージ電極を形成し、前記ストレージ電極の下部に第 2 半導体パターンを形成する工程をさらに含み、

前記ストレージ電極及び前記第 2 半導体パターンは、前記ソース電極及びドレイン電極、並びに前記オーミックコンタクト層を形成する工程と同じ工程で形成される

ことを特徴とする請求項 16 記載の液晶表示装置の製造方法。

【請求項 32】

前記ゲートパッドコンタクトホールを通じて前記ゲートパッド電極に接続するゲートパッド電極端子、及び前記データパッド電極と接触するデータパッド電極端子を形成する工程をさらに含み、

20

前記ゲートパッド電極端子及び前記データパッド電極端子は、前記画素電極と同じ工程で形成される

ことを特徴とする請求項 29 記載の液晶表示装置の製造方法。

【請求項 33】

前記アクティブ層は、純粋非晶質シリコンを含み、前記オーミックコンタクト層は、不純物非晶質シリコンを含み、かつ前記シールドパターンは、無機絶縁物質を含む

ことを特徴とする請求項 16 記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、液晶表示装置に係り、特に、液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

一般的な液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用する。液晶は、構造が細く長いために、分子の配列において方向性を有しており、任意に液晶に電界を加えると、分子配列の配列方向が制御できる。従って、液晶の分子配列方向を任意に調節すると、光学的異方性によって液晶の分子配列方向に光が屈折して画像情報を表示する。

【0003】

40

液晶表示装置は、共通電極が形成されたカラーフィルター基板（上部基板）と画素電極が形成されたアレイ基板（下部基板）と、両基板間に充填された液晶とで構成されるが、このような液晶表示装置は、共通電極と画素電極に印加される電圧により生じる垂直方向の電界によって液晶を駆動する方式であり、透過率と開口率等の特性が優れる。現在は、薄膜トランジスタとこの薄膜トランジスタに接続された画素電極がマトリックス状に配列されたアクティブマトリックス型液晶表示装置（AM-LCD、以下、液晶表示装置と称する）が解像度及び動画像の表示能力が優れていて最も注目を浴びている。

【0004】

図 1 を参照して、従来の液晶表示装置の構成を説明する。図 1 は、従来の液晶表示装置の一部を拡大して概略的に示した斜視図である。図 1 に示したように、液晶パネル 51 は

50

、液晶層（図示せず）を間に相互に離間して配置された第１基板５と第２基板１０で構成され、第２基板１０と向かい合う第１基板５の一面には、ブラックマトリックス６と、赤色、緑色、青色のカラーフィルター７a、７b、７cと、カラーフィルター上に透明な共通電極９が形成される。

【０００５】

第１基板５と向かい合う第２基板１０には、複数の画素領域Ｐが定義され、画素領域Ｐの一侧に沿って伸延して形成されたゲート配線１４と、このゲート配線１４が形成される画素領域Ｐの一侧に垂直な他側に沿って伸延して形成されたデータ配線２６とが設けられる。

【０００６】

このような構成によって、画素領域Ｐは、ゲート配線１４とデータ配線２６が交差して定義され、両配線の交差点には、薄膜トランジスタＴが形成される。画素領域Ｐには、薄膜トランジスタＴに接続する透明な画素電極３２が形成され、この画素電極３２は、インジウム－スズ－オキサイドＩＴＯのように光の透過率が比較的優れる透明導電性金属で形成する。

【０００７】

上述したように構成された液晶表示装置用アレイ基板は、５～６つのマスク工程によって製作され、これを簡単に紹介する。後述する工程は、例えば５つのマスク工程を説明しており、マスク工程のみを並べている。

第１マスク工程：ゲート電極とゲート配線（及びゲートパッド）の形成工程。

第２マスク工程：ゲート電極の上部のアクティブ層及びオーミックコンタクト層の形成工程。

第３マスク工程：データ配線（及びデータパッド）とソース電極及びドレイン電極の形成工程。

第４マスク工程：基板全面に保護膜を形成して、ドレイン電極を露出するコンタクトホールを形成する工程。

第５マスク工程：コンタクトホールを通じてドレイン電極に接触する画素電極を形成する工程。

以上のような５つのマスク工程によって液晶表示装置用アレイ基板を製作することができる。

【０００８】

このように複数の工程によってアレイ基板が製作されるために、工程が多いほど不良が発生する確率が大きくなって、生産歩留まりが低下し、工程時間の増加と工程費用の上昇によって製品の競争力が低下するという問題がある。このような問題を解決するために、４つのマスク工程が提案された。

【０００９】

図２は、従来の４つのマスク工程によって製作した液晶表示装置用アレイ基板の一部を拡大した平面図である。図２に示したように、アレイ基板は、絶縁基板６０上に、一方向に伸延されたゲート配線６２と、これと交差して画素領域Ｐを定義するデータ配線９８が形成される。ゲート配線６２の一端にゲートパッド電極６６が形成され、データ配線９８の一端にはデータパッド電極１００が形成される。ゲートパッド電極６６とデータパッド電極１００の上部には、各々これと接触する透明なゲートパッド電極端子１１４と、データパッド電極端子１１６が形成される。ゲート配線６２とデータ配線９８の交差点には、ゲート配線６２と接続するゲート電極６４と、ゲート電極６４の上部に位置した第１半導体層９０aと、第１半導体層９０aの上部に離間して位置するソース電極９４及びドレイン電極９６とを含む薄膜トランジスタＴが形成される。画素領域Ｐには、ドレイン電極９６と接続する透明な画素電極１１２が形成される。

【００１０】

この時、ゲート配線６２の一部の上部に画素電極１１２と接続するアイランド状のストレージ電極８６を形成する。ゲート配線６２の一部を第１電極とし、ストレージ電極８６

10

20

30

40

50

を第2電極として、両電極間に位置したゲート絶縁膜（図示せず）を誘電体としたストレージキャパシタ－C s tが形成される。

【0011】

ここで、データ配線98の下部には、第1半導体層90aから伸延された第2半導体層90bが形成され、ストレージ電極86の下部には、第3半導体層90cが形成される。このような形状でパターンングされる理由は、ソース電極94及びドレイン電極96と半導体層90aを形成するための各々の先行層を順に積層した後、これを同じマスク工程によってパターンングするからである。

【0012】

特に、ソース電極94及びドレイン電極96と第1半導体層90aが平面的に同じ形態であるために、第1半導体層90aは、ゲート電極64の外側に拡張された領域が発生し、このような領域は、下部の光源（バックライト）によって露出され活性化される。

【0013】

図3は、図2に示した薄膜トランジスタの断面図である。図3に示したように、従来の4つのマスク工程は、薄膜トランジスタTの第1半導体層90a、すなわち、アクティブ層92a及びオーミックコンタクト層92bとソース電極94及びドレイン電極96を同時にパターンングする工程を行うために、第1半導体層90aは、ソース電極94とドレイン電極96の下部に、これらとは実質的に同じ面積で位置する。

【0014】

この時、ゲート配線62の外部に拡張された第1半導体層90aの領域は、下部のバックライト（図示せず）から照射された光に露出される。この場合、非晶質シリコンで製作された第1半導体層90aには、光によって活性化され光漏洩電流が生じる。この光漏洩電流は、薄膜トランジスタを動作するに不必要な電流であり、このような光漏洩電流によって薄膜トランジスタTの性能を低下する原因となる。

【0015】

また、一般に非晶質シリコンを半導体層として使用する場合は、ゲート電極62、アクティブ層92a及びオーミックコンタクト層92b、ソース電極94及びドレイン電極96の順にパターンングされた逆スタaggered型（*inverted staggered type*）で製作する。このような形態は、保護膜102が形成される以前、ソース電極94及びドレイン電極96の間CH（*channel*）のアクティブ層92aが外部に露出される形状になる。この場合、露出されたアクティブ層92aの表面には、工程の際に欠陥が発生したり、汚染されたりする。これも、薄膜トランジスタTに漏洩電流が発生する原因となる。

【0016】

上述した原因等によって発生する漏洩電流は、薄膜トランジスタの動作に影響を与えて液晶パネルの表示品質を低下させる。ところが、上述したように漏洩電流が発生する薄膜トランジスタの構造は、従来の4つのマスク工程によって製作される。以下、従来の4つのマスク工程を説明する。

【0017】

従来の4つのマスク工程によってアレイ基板を製作する方法を説明する。

【0018】

図4Aないし図4F、図5Aないし図5F及び図6Aないし図6Fは、それぞれ図2のII-II線、III-III線及びIV-IV線に沿って切断したもので、従来の液晶表示装置の製造方法を示した断面図である。

【0019】

図4Aと図5Aと図6Aは、第1マスク工程を示した図である。図4Aと図5Aと図6Aに示したように、基板60上に、スイッチング領域Sを含む画素領域P、ゲート領域G、データ領域D、ストレージ領域Cを定義する。この時、ストレージ領域Cは、ゲート領域Gの一部に定義される。複数の領域（S、P、G、D、C）が定義された基板60上に、アルミニウムAl、アルミニウム合金AlNd、タングステンW、クロムCr、モリブ

10

20

30

40

50

デンMo、チタンTi、銅Cu等を含む導電性金属グループのうちから選択された一つまたは二つ以上の金属を蒸着して第1マスク工程によってパターンニングし、一端にゲートパッド電極66を含むゲート配線62と、ゲート配線62から突出されスイッチング領域Sに位置するゲート電極64を形成する。

【0020】

図4Bないし図4Dと図5Bないし図5Dと図6Bないし図6Dは、第2マスク工程を示した図である。図4Bと図5Bと図6Bに示したように、ゲート電極64とゲートパッド電極66を含むゲート配線62が形成された基板60全面に、ゲート絶縁膜68と、純粋非晶質シリコン層(a-Si:H)70と、不純物を含む非晶質シリコン層(n+またはp+a-Si:H)72と、導電性金属層74とを形成する。

10

【0021】

この時、ゲート絶縁膜68は、窒化シリコンSiN_xと酸化シリコンSiO₂等を含む無機絶縁物質または、場合によって、ベンゾシクロブテンBCBとアクリル系樹脂等を含む有機絶縁物質のうちから一つを蒸着して形成し、金属層74は、上述した導電性金属グループのうちから選択された一つまたは二つ以上の物質を蒸着して形成する。

【0022】

導電性金属層74が形成された基板60全面に、フォトリジストを塗布して感光層(図示せず)を形成して、スイッチング領域Sとデータ領域Dとストレージ領域Cの上部にパターンニングされた第1ないし第3感光パターン78a、78b、78cを形成する。この時、スイッチング領域Sにパターンニングされた第1感光パターン78aは、ゲート電極64の中心領域に対応する部分が低くパターンニングされ段差を有し、このために、光の強度を低くしたり、光の透過量を少なくしたりするハーフトーンマスク(図示せず)を使用する。

20

【0023】

第1ないし第3感光パターン78a、78b、78cの周辺に露出された金属層74とその下部の不純物非晶質シリコン層72と、純粋非晶質シリコン層70を除去する工程を行う。この時、金属層74の種類によって金属層74とその下部層70、72を同時に除去する工程を行ったり、金属層74を先にエッチングした後、乾式エッチング工程によって下部層70、72を除去する工程を行ったりする。

【0024】

30

図4Cと図5Cと図6Cに示したように、上述した除去工程を完了すると、第1ないし第3感光パターン78a、78b、78cの下部に第1金属パターン80と、第1金属パターン80から画素領域Pの一側に沿って伸延された第2金属パターン82と、ストレージ領域に対応してアイランド状の第3金属パターン86が形成される。

【0025】

この時、第1ないし第3金属パターン80、82、86の下部に、純粋非晶質シリコン層70と不純物を含む非晶質シリコン層72が存在し、便宜上、第1金属パターン80の下部に構成されたのは第1半導体層90a、第2金属パターン82の下部に構成されたのは第2半導体層90b、第3金属パターン86の下部に構成されたのは第3半導体層90cとする。第1感光パターン78aのうち、ゲート電極64の中心に対応して高さが低い部分を除去するアッシング工程を行う。

40

【0026】

結果的に、ゲート電極64の中心に対応する第1金属パターン80の一部が露出され、この時、第1ないし第3感光パターン78a、78b、78cの周辺に第1ないし第3金属パターン80、82、86の周辺が同時に露出される。アッシング工程の後、第1金属パターン80の露出された部分とその下部の不純物非晶質シリコン層72を除去する工程を行う。

【0027】

図4Dと図5Dと図6Dに示したように、除去工程を完了すると、ゲート電極64の上部に位置した第1半導体層90aのうち、下部層(純粋非晶質シリコン層70)は、アク

50

ティブ層 92a として機能し、アクティブ層 92a の上部で、一部が除去され離間された上部層（不純物非晶質シリコン層 72）は、オーミックコンタクト層 92b として機能する。また、オーミックコンタクト層 92b の上部に位置して離間された金属パターンは、各々ソース電極 94 とドレイン電極 96 になる。

【0028】

この時、ソース電極 94 に接続する第 2 金属パターン（図 6C の 82）は、データ配線 98 であり、データ配線 98 の一端は、データパッド電極 100 である。また、ストレージ領域 C に対応して形成されたアイランド状の第 3 金属パターン 86 は、ストレージ電極になる。

【0029】

すなわち、ゲート配線 62 は、第 1 ストレージ電極として機能し、上部のストレージ電極 86 は、第 2 ストレージ電極として機能する。従って、ゲート配線 62、その上部のゲート絶縁膜 68、第 3 半導体層 90c、その上部のストレージ電極 86 は、補助容量部であるストレージキャパシタ Cst を構成する。残留した感光パターン 78a、78b、78c を除去する工程を行うことによって第 2 マスク工程を完了する。

【0030】

図 4E と図 5E と図 6E は、第 3 マスク工程を示した図である。図 4E と図 5E と図 6E に示したように、ソース電極 94 及びドレイン電極 96 と、データパッド 100 を含むデータ配線 98 と、ストレージキャパシタ Cst が形成された基板 60 の全面に、窒化シリコン SiN_x または酸化シリコン SiO₂ を含む無機絶縁物質グループのうちから選択された一つを蒸着したり、場合によって、ベンゾシクロブテン BCB とアクリル系樹脂を含む有機絶縁物質グループのうちから選択された一つを塗布したりして保護膜 102 を形成する。この保護膜 102 をパターニングして、ドレイン電極 96 の一部を露出するドレインコンタクトホール 104、ストレージ電極 86 を露出するストレージコンタクトホール 106、ゲートパッド電極 66 の一部を露出するゲートパッドコンタクトホール 108、データパッド電極 100 の一部を露出するデータパッドコンタクトホール 110 を形成する。

【0031】

図 4F と図 5F と図 6F は、第 4 マスク工程を示した図である。図 4F と図 5F と図 6F に示したように、保護膜 102 が形成された基板 60 の全面に、インジウム - スズ - オキサイド ITO とインジウム - 亜鉛 - オキサイド IZO を含む透明な導電性金属グループのうちから選択された一つを蒸着してパターニングし、ドレイン電極 96 とストレージ電極 86 の両方に接続して画素領域 P に位置する画素電極 112 を形成すると同時に、ゲートパッド電極 66 に接続するゲートパッド電極端子 114 と、データパッド電極 100 に接続するデータパッド電極端子 116 を形成する。

【0032】

このように、従来は、4 つのマスク工程によって液晶表示装置用アレイ基板を製作する。従来の 4 つのマスク工程は、既存の 5 つのマスク工程に比べて、画期的なほど生産費用を安くする効果及び工程時間を短縮する効果があり、工程が短縮されることによってその分、不良発生率も減少する。

【発明の開示】

【発明が解決しようとする課題】

【0033】

ところが、上述したように、従来の 4 つのマスク工程によって製作された薄膜トランジスタの構造は、アクティブ層を形成した後、保護膜を形成する工程を行うために、露出されたアクティブ層の表面（アクティブチャンネル）が汚染する確率が非常に高い。また、アクティブ層とソース電極及びドレイン電極が同じ第 2 マスク工程で形成されるために、必然的にドレイン電極またはソース電極の下部に形成されたアクティブ層を下部のゲート電極が完全に遮る形態ではない。

【0034】

結果的に、従来の４つのマスク工程によって製作された薄膜トランジスタの構造は、漏洩電流の発生確率が非常に高く、液晶パネルの表示品質が低いという問題点があった。

【００３５】

また、従来の構造は、薄膜トランジスタが画素領域の一部を占める構造で設計されているため、これは、開口領域を侵食する構造であり、輝度特性が悪いという問題点があった。

【００３６】

本発明は、上述のような課題を解決するためになされたもので、その目的は、表示品質と開口率を向上することができる液晶表示装置及びその製造方法を得るものである。

【課題を解決するための手段】

10

【００３７】

本発明に係る液晶表示装置は、基板上に位置し、相互に交差して画素領域を定義するゲート配線及びデータ配線と、前記ゲート配線に接続されるゲート電極と、前記ゲート電極上に位置するゲート絶縁膜と、前記ゲート絶縁膜上に位置するアクティブ層と、前記アクティブ層上に位置し、相互に離間されたソース電極及びドレイン電極と、前記アクティブ層及び前記ソース電極間、並びに前記アクティブ層及びドレイン電極間に位置するオーミックコンタクト層と、前記アクティブ層上に位置し、前記ソース電極及びドレイン電極で挟まれた領域側を前記ソース電極の内側と呼ぶとともに、前記ドレイン電極の内側と呼ぶとすると、前記ソース電極及びドレイン電極の内側に向かう二つの側面を有し、前記二つの側面のうち、少なくとも一つは、前記ソース電極及びドレイン電極の内側間に位置するシールドパターンと、前記画素領域に位置し、前記ドレイン電極に接続される画素電極とを設けたものである。

20

【発明の効果】

【００３８】

本発明に係る液晶表示装置は、アクティブ層がゲート電極によって完全に遮られる。従って、光による漏洩電流が発生しなくなり薄膜トランジスタの動作が安定するので、高画質を実現することができる。また、ソース電極及びドレイン電極間に露出されたアクティブチャンネルの一部領域に汚染を防ぐシールドパターンを形成する。このシールドパターンによって漏洩電流パスを遮断して、高画質を実現することができる。さらに、ゲート配線の一部領域をゲート電極として兼用してゲート配線に薄膜トランジスタを形成するため

30

【発明を実施するための最良の形態】

【００３９】

本発明の実施の形態は、一部領域にシールドパターンが形成されるとともに、ゲート電極に完全に遮られる形態のアクティブ層を含む薄膜トランジスタと、このような薄膜トランジスタを含み、開口領域がさらに拡張された形態で設計されたアレイ基板を４つのマスク工程によって製作する。

【００４０】

図７は、本発明の実施の形態に係る液晶表示装置用アレイ基板の一部を拡大した平面図である。図７に示したように、絶縁基板２００上に、一方向に伸延され一端にゲートパッド電極２０６が設けられたゲート配線２０４と、このゲート配線２０４と交差して画素領域を定義し、一端にデータパッド電極２４０が設けられたデータ配線２３８を形成する。ゲートパッド電極２０６とデータパッド電極２４０の上部には、これらにそれぞれ接続するゲートパッド電極端子２４８とデータパッド電極端子２５０を形成する。

40

【００４１】

また、データ配線２３８と交差するゲート配線２０４の一部を除去して、ゲート配線２０４とデータ配線２３８の重なる領域を最小にする。両配線２０４、２３８の重なる面積が大きいほど寄生容量が大きくなり、これは、信号遅延の原因となるために、上述した構造は、このような信号遅延を最小にするという長所がある。ゲート配線２０４とデータ配線２３８の交差点に、ゲート電極２０２と、アクティブ層２２０及びオーミックコンタ

50

クト層（図示せず）を含む半導体層と、シールドパターン 222 と、ソース電極 234 及びドレイン電極 236 とを含む薄膜トランジスタ T を形成する。

【0042】

この時、薄膜トランジスタ T をゲート配線 204 の上部に形成することによって従来に比べて、画素領域に薄膜トランジスタ T が占める割合が著しく減少され、開口領域をさらに広く確保することができる。

【0043】

一方、画素領域には、ドレイン電極 236 に接続する透明な画素電極 246 を形成する。画素領域を定義する部分のゲート配線 204 の上部には、これを第 1 ストレージ電極として、ゲート配線 204 の上部であって、画素電極 246 に接続するアイランド状のストレージ電極 244 を第 2 ストレージ電極とするストレージキャパシタ C s t を形成する。

10

【0044】

上述した構成で、薄膜トランジスタ T を画素領域ではないゲート配線 204 の上部に形成すると同時に、薄膜トランジスタ T のアクティブ層 220 をゲート電極 202 の面積より小さくパターンニングすることによって開口領域が広く確保でき、光漏洩電流の発生が防げる。また、ソース電極 234 及びドレイン電極 236 間に露出されたアクティブ層 220 の表面（アクティブチャンネル）の一部領域にシールドパターン 222 を形成する。

【0045】

露出されたアクティブ層 220 の表面の一部領域にシールドパターン 222 を形成した理由は、露出されたアクティブ層 220 の表面の欠陥または汚染によって発生する漏洩電流パス（leakage current path）を部分的に遮断するためである。

20

【0046】

図 8 は、本発明の実施の形態に係る液晶表示装置の薄膜トランジスタを拡大した平面図であり、図 9 は、図 8 の V I I I - V I I I 線に沿って切断した断面図である。

【0047】

図 8 と図 9 に示したように、本実施の形態に係る薄膜トランジスタ T は、ゲート配線 204 の一部を電極として使用したゲート電極 202 と、ゲート電極 202 の上部にアイランド状に形成されたアクティブ層 220 と、アクティブ層 220 の上部に形成され、離間されたソース電極 234 及びドレイン電極 236 を含む。

30

【0048】

また、アクティブ層 220 とソース電極 234 及びドレイン電極 236 の間には、オーミックコンタクト層 242 を含む。

【0049】

この時、アクティブ層 220 をゲート電極 202 の面積と同じか、または小さく形成して、下部の光源（バックライト）から照射された光によってアクティブ層 220 が露出されないようにする。

【0050】

また、ソース電極 234 及びドレイン電極 236 間に露出されたアクティブ層 220 の表面（アクティブチャンネル）の一部領域にシールドパターン 222 を形成する。特に、シールドパターン 222 は、ソース電極 234 及びドレイン電極 236 間に位置する。すなわち、ソース電極 234 及びドレイン電極 236 で挟まれた領域側をソース電極 234 の内側と呼ぶとともに、ドレイン電極 236 の内側と呼ぶとすると、シールドパターン 222 の一側は、図 9 に示すように、ソース電極 234 の内側に向かって離間されており、シールドパターン 222 の他側は、ドレイン電極 236 の内側に向かって離間されている。シールドパターン 222 は、露出されたアクティブ層 220 の表面（アクティブチャンネル）に欠陥が発生したり、露出されたアクティブ層 220 の表面が汚染されたりするのを防ぐためである。

40

【0051】

この時、シールドパターン 222 の幅は、ソース電極 234 とドレイン電極 236 の離

50

間距離（チャンネルの幅ＣＨ）と同一である必要はない。シールドパターン２２２の長さは、チャンネルの長さと同じか、または大きくパターンニングする。チャンネルの長さは、ソース電極２３４とドレイン電極２３６間のＵ字状に沿った方向の距離であり、チャンネルの幅ＣＨは、ＶＩＩＩ－ＶＩＩＩ線においてチャンネルの長さ方向（長手方向）に垂直な方向の距離である。

【００５２】

このように構成すると、シールドパターン２２２とソース電極２３４及びドレイン電極２３６間に一部露出されたアクティブ層２２０の表面が汚染されたとしても、シールドパターン２２２によって両電極２３４、２３６間の汚染及び欠陥の連続性を遮断するために、漏洩電流パスが形成されなくなる。

10

【００５３】

この時、ソース電極２３４及びドレイン電極２３６間のアクティブチャンネルの長さを短くして、幅を大きく設計することによって薄膜トランジスタの動作を改善する方法として、ソース電極２３４を英文字のアルファベットのＵ字状（図面上では、逆Ｕ字状に描いている）に形成し、ドレイン電極２３６を、Ｕ字状の内部にこれと一定に離間される棒状に形成する。この場合、チャンネルは、Ｕ字状になり、これによって、シールドパターン２２２もＵ字状に構成する。このようなシールドパターン２２２は、ソース電極２３４及びドレイン電極２３６間の漏洩電流パスを遮断する役割を果たすので、ソース電極２３４とドレイン電極２３６間で、その位置は、多様になる。

【００５４】

図１０と図１１は、本発明の実施の形態に係る液晶表示装置の薄膜トランジスタのそれぞれ別の構成を示した断面図である。

20

【００５５】

図１０に示したように、シールドパターン２２２は、ソース電極２３４またはドレイン電極２３６のいずれかに偏って形成することもできる。例えば、シールドパターン２２２は、ドレイン電極２３６に近接して形成する。この時、ソース電極２３４の内側に向かうシールドパターン２２２の一侧は、ソース電極２３４及びドレイン電極２３６間に位置する。

【００５６】

一方、図１１に示したように、シールドパターン２２２は、二つ以上で形成され、例えば、ソース電極２３４及びドレイン電極２３６の下部に各々形成する。この時、ドレイン電極２３６の下部に位置してソース電極２３４に向かうシールドパターン２２２の一侧と、ソース電極２３４の下部に位置してドレイン電極２３６に向かうシールドパターン２２２の一侧は、ソース電極２３４及びドレイン電極２３６間に位置する。

30

【００５７】

図１０と図１１のように、ソース電極２３４及び／またはドレイン電極２３６の下部にシールドパターン２２２を形成する場合、ソース電極２３４及びドレイン電極２３６とその下部のオーミックコンタクト層２４２は、シールドパターン２２２を完全に覆う形態ではなく、シールドパターン２２２の一部を覆う形態で形成すると漏洩電流パスを完全に遮断することができる。

40

【００５８】

上述した構造の薄膜トランジスタとこれを含むアレイ基板を本実施の形態に係る４つのマスク工程によって製作する方法を説明する。

【００５９】

図１２Ａないし図１２Ｌ、図１３Ａないし図１３Ｌ及び図１４Ａないし図１４Ｌは、それぞれ図７のＶ－Ｖ線、ＶＩ－ＶＩ線及びＶＩＩ－ＶＩＩ線に沿って切断したもので、本発明の実施の形態に係る液晶表示装置の製造方法を示した断面図である。（なお、図７のＶ－Ｖ線は、薄膜トランジスタ及び画素領域の切断線であり、ＶＩ－ＶＩ線は、ゲートパッドの切断線であり、ＶＩＩ－ＶＩＩ線は、データパッドの切断線である。）

【００６０】

50

図 1 2 A と図 1 3 A と図 1 4 A は、第 1 マスク工程を示した図である。図 1 2 A と図 1 3 A と図 1 4 A に示したように、基板 2 0 0 上に、スイッチング領域 S を含む画素領域 P、ゲート領域 G、データ領域 D、ストレージ領域 C を定義する。この時、ストレージ領域 C とスイッチング領域 S をゲート領域 G の一部に定義する。

【 0 0 6 1 】

複数の領域 (S、P、G、D、C) を定義した基板 2 0 0 上に、アルミニウム A l、アルミニウム合金 A l N d、タングステン W、クロム C r、モリブデン M o 等の単一金属やアルミニウム A l / クロム C r (またはモリブデン M o) 等を含む導電性金属グループのうちから選択された一つまたは二つ以上の金属を蒸着してパターニングし、ゲート領域 G に対応して一端にゲートパッド電極 2 0 6 を含むゲート配線 2 0 4 を形成する。この時、

10

【 0 0 6 2 】

また、後の工程で形成されるデータ配線 (図示せず) と交差される領域 F に対応するゲート配線 2 0 2 の一部をエッチングしてエッチングホール 2 0 8 を形成する。これは、両配線の交差部分でゲート配線 2 0 4 とデータ配線 (図示せず) が重なる領域を減少させることによって両配線の重なった面積で発生する寄生容量を減少させるための設計である。

【 0 0 6 3 】

図 1 2 B ないし図 1 2 F、図 1 3 B ないし図 1 3 F 及び図 1 4 B ないし図 1 4 F は、第 2 マスク工程を示した図である。(ハーフトーンマスク工程であり、これを詳しく説明する。)

20

【 0 0 6 4 】

図 1 2 B と図 1 3 B と図 1 4 B に示したように、ゲート電極 2 0 2 とゲートパッド電極 2 0 6 を含むゲート配線 2 0 4 が形成された基板 2 0 0 の全面に、ゲート絶縁膜 2 1 0 と、非晶質シリコン層 2 1 2 と、シールド層 (絶縁層) 2 1 4 を積層する。

【 0 0 6 5 】

この時、ゲート絶縁膜 2 1 0 は、窒化シリコン S i N_x と酸化シリコン S i O₂ 等を含む無機絶縁物質グループのうちから選択された一つを蒸着して形成する。非晶質シリコン層 2 1 2 は、非晶質シリコン a - S i : H を蒸着して形成する。シールド層 2 1 4 は、ゲート絶縁膜 2 1 0 のような無機絶縁物質グループのうちから選択された一つを蒸着して形成する。シールド層 2 1 4 の上部に、フォトレジストを塗布して感光層 2 1 6 を形成する。

30

【 0 0 6 6 】

感光層 2 1 6 から離れた上部に、透過部 B 1 と半透過部 B 2 と遮断部 B 3 で構成されたマスク M を位置させた後、マスク M の上部から光を照射して下部の感光層 2 1 6 を露光する工程を行う。半透過部 B 2 は、マスク M にスリットまたは半透明膜を形成したものであり、これは、光の強度を低めたり、光の透過量を低めたりする。これによって、下部の感光層 2 1 6 は、完全露光ではなく、不完全露光が可能になる。この時、スイッチング領域 S に、遮断部 B 3 と、遮断部 B 3 の両側の半透過部 B 2 が対応するように配置する。それ以外の領域は、透過部 B 1 が対応するように配置する。部分的に露光が行われた感光層 2 1 6 を現像する工程を行う。

40

【 0 0 6 7 】

図 1 2 C と図 1 3 C と図 1 4 C に示したように、現像工程が完了すると、スイッチング領域 S に対応して段差を有する感光パターン 2 1 8 が形成される。この時、感光パターン 2 1 8 の段差の形状は、ゲート電極 2 0 2 に対応する中心部が高く、その周辺部は、低い形態で形成される。感光パターン 2 1 8 の周辺に露出されたシールド層 2 1 4 とその下部の非晶質シリコン層 2 1 2 を除去するエッチング工程を行う。

【 0 0 6 8 】

図 1 2 D と図 1 3 D と図 1 4 D に示したように、エッチング工程が完了すると、感光パターン 2 1 8 の下部のみがパターニングされた非晶質シリコン層 2 1 2 とシールド層 2 1

50

4が残る。この時、パターニングされた非晶質シリコン層212は、ゲート電極202内でパターニングされるので、ゲート電極202の面積を超過しない大きさでパターニングされる。感光パターン218の低い部分を除去するアッシング工程を行う。

【0069】

図12Eと図13Eと図14Eに示したように、ゲート電極202の中心に対応する感光パターン218だけが最終的に残るが、これは、上部の一部が除去された状態である。アッシングされた感光パターン218の周辺に、パターニングされたシールド層214に対してエッチングを行った後、アッシングされた感光パターン218を除去する工程を行う。

【0070】

図12Fと図13Fと図14Fに示したように、ゲート電極202に対応するゲート絶縁膜210の上部に、先ほどパターニングされた非晶質シリコン層であるアイランド状のアクティブ層220と、アクティブ層220の中心に対応してシールドパターン222が形成される。この時、シールドパターン222は、後の工程で形成されるソース電極及びドレイン電極（図示せず）の形状によって異なり、ソース電極（図示せず）をU字状に設計する場合は、シールドパターン（図示せず）もU字状に設計する。また、シールドパターンの位置及び個数は、図9ないし図11に示したように、多様に変化する。シールドパターン222は、アクティブ層220の表面に欠陥が発生したり、表面が汚染したりすることを防ぐ機能を果たす。シールドパターン222の上部に残された感光パターン218を除去する工程を行う。

10

20

【0071】

図12Gと図13Gと図14Gに示したように、シールドパターン222が形成された基板200の全面に、不純物を含む非晶質シリコン $n+a-Si:H$ を蒸着して不純物非晶質シリコン層224を形成する。この不純物非晶質シリコン層224が形成された基板200の全面に、導電性金属グループのうちから選択された一つまたは二つ以上の金属を蒸着して導電性金属層226を形成する。この時、シールドパターン222によってアクティブ層220の一部表面には、不純物非晶質シリコン層224が直接蒸着されなくなる。導電性金属層226が形成された基板200の全面に、フォトレジストを塗布して感光層228を形成する。この感光層228から離れた上部に、透過部B1と半透過部B2と遮断部B3で構成されたマスクMを位置させる。

30

【0072】

この時、マスクMの透過部B1は、ゲートパッド電極206の一部に対応して位置し、スイッチング領域Sには、シールドパターン222に対応して、これより大きい面積で半透過部B2が位置し、半透過部B2の両側に遮断部B3が位置する。また、ゲートパッド電極206の一部の側部には、半透過部B2が位置する。さらに、データ領域Dとストレージ領域Cに対応して遮断部B3が位置し、画素領域Pには、半透過部B2が位置する。マスクMの上部から光を照射して下部の感光層228を露光する工程を行う。この時、感光層228は、マスクMの透過部B1に対応して完全露光し、半透過部B2に対応して不完全露光し、遮断部B3に対応して露光されない。上述したような露光が行われた感光層を現像する工程を行う。

40

【0073】

図12Hと図13Hと図14Hに示したように、スイッチング領域Sのシールドパターン222に対応する部分と、画素領域Pと、ゲートパッド電極206の側部は、上部の一部が除去された形態になり、シールドパターン222を除いたスイッチング領域Sの他の領域と、ストレージ領域Cと、データ領域Dは、元々の高さで残り、ゲートパッド電極206に対応した一部は除去され、下部の導電性金属層226が露出されるように除去された感光パターン230が残る。

【0074】

図12Iと図13Iと図14Iに示したように、ゲートパッド電極206に対応して露出された導電性金属層226、その下部の非晶質シリコン層224、その下部のゲート絶

50

縁膜 210 を除去して、ゲートパッド電極 206 の一部を露出するゲートパッドコンタクトホール 232 を形成する。

【0075】

図 12 J と図 13 J と図 14 J に示したように、感光パターン 230 をアッシングする工程を行い、スイッチング領域 S と画素領域 P に対応して低い高さで現像された部分を完全に除去して、下部の導電性金属層 226 を露出する工程を行う。このようにすると、スイッチング領域 S に対応してシールドパターン 222 の両側と、ストレージ領域 C と、データ領域 D だけに感光パターン 230 が残る。アッシングされた感光パターン 230 の周辺に露出された導電性金属層 226 とその下部の不純物非晶質シリコン層 224 を除去する工程を行う。

10

【0076】

図 12 K と図 13 K と図 14 K に示したように、スイッチング領域 S に対応してシールドパターン 222 の両側に位置した感光パターン 230 の下部には、各々ソース電極 234 とドレイン電極 236 が形成され、ストレージ領域 C に対応する感光パターン 230 の下部には、アイランド状のストレージ電極 244 が形成され、データ領域 D に対応する感光パターン 230 の下部には、一端にデータパッド電極 240 を含み、ソース電極 234 と接触するデータ配線 238 が形成される。

【0077】

ソース電極 234 及びドレイン電極 236 の下部に、パターニングされた不純物非晶質シリコン層は、抵抗性接触を有するために、オーミックコンタクト層 242 と称する。一方、データ配線 238 及びデータパッド電極 240 下部には、パターニングされた不純物非晶質シリコン層である第 1 半導体層パターン 243 が形成され、ストレージ電極 244 の下部には、パターニングされた不純物非晶質シリコン層である第 2 半導体層パターン 245 が形成される。

20

【0078】

シールドパターン 222 が位置する部分のアクティブ層 220 の表面には、オーミックコンタクト層 242 を形成するためのパターニング工程で残った残留粒子のような汚染物質が存在しない。これによって、シールドパターン 222 以外の露出されたアクティブ層 220 の表面 G が一部汚染されたとしても、このような汚染状態の連続性がシールドパターン 222 によって遮断される。従って、漏洩電流のパスが発生せずに、漏洩電流による影響を遮断する。ソース電極 234 及びドレイン電極 236 と、ストレージ電極 244 と、データ配線 238 と、データパッド電極 240 の上部に位置した感光パターン 230 を除去する工程を行う。

30

【0079】

以上、図 12 G ないし図 12 K、図 13 G ないし図 13 K 及び図 14 G ないし図 14 K によって本実施の形態に係る第 3 マスク工程を説明した。

【0080】

図 12 L と図 13 L と図 14 L は、第 4 マスク工程を示した図である。図 12 L と図 13 L と図 14 L に示したように、ソース電極 234 及びドレイン電極 236 と、ストレージ電極 244 と、データ配線 238 及びデータパッド電極 240 が形成された基板 200 の全面に、インジウム - スズ - オキサイド ITO とインジウム - 亜鉛 - オキサイド IZO を含む透明な導電性金属グループのうちから選択された一つを蒸着して第 4 マスク工程によってパターニングし、ドレイン電極 236 とストレージ電極 244 に同時に接続しながら画素領域 P に位置する画素電極 246 を形成する。また、ゲートパッド電極 206 に接続するゲートパッド電極端子 248 と、データパッド電極 240 に接続するデータパッド電極端子 250 を形成する。

40

【0081】

上述したように、本発明の実施の形態に係る 4 つのマスク工程によって液晶表示装置用アレイ基板を製作することができる。本実施の形態の工程を簡単に整理すると次のようになる。

50

第 1 マスク工程：ゲート配線（及びゲート電極）とゲートパッド電極の形成工程。

第 2 マスク工程：アクティブ層と、アクティブ層の一部領域にシールドパターンを形成する工程。

第 3 マスク工程：ゲートパッドコンタクトホールと、ソース電極及びドレイン電極と、データパッド電極及びデータ配線と、ソース電極及びドレイン電極の下部にオーミックコンタクト層を形成する工程。

第 4 マスク工程：画素電極とゲートパッド電極端子とデータパッド電極端子の形成工程。

【 0 0 8 2 】

上述したように形成されたアレイ基板と、これに向かい合う対応基板、例えば、カラーフィルタ基板を合着して（貼り合わせて）、両基板間に液晶を注入して液晶表示装置を形成する。

10

【図面の簡単な説明】

【 0 0 8 3 】

【図 1】従来の液晶パネルの構成を概略的に示した斜視図である。

【図 2】従来の液晶表示装置用アレイ基板の一部を拡大した平面図である。

【図 3】図 2 の薄膜トランジスタの断面図である。

【図 4 A】図 2 の I I - I I 線に沿って切断したもので、従来の液晶表示装置の製造方法を示した断面図である。

【図 4 B】図 4 A に続く製造工程を示す断面図である。

【図 4 C】図 4 B に続く製造工程を示す断面図である。

20

【図 4 D】図 4 C に続く製造工程を示す断面図である。

【図 4 E】図 4 D に続く製造工程を示す断面図である。

【図 4 F】図 4 E に続く製造工程を示す断面図である。

【図 5 A】図 2 の I I I - I I I 線に沿って切断したもので、従来の液晶表示装置の製造方法を示した断面図である。

【図 5 B】図 5 A に続く製造工程を示す断面図である。

【図 5 C】図 5 B に続く製造工程を示す断面図である。

【図 5 D】図 5 C に続く製造工程を示す断面図である。

【図 5 E】図 5 D に続く製造工程を示す断面図である。

【図 5 F】図 5 E に続く製造工程を示す断面図である。

30

【図 6 A】図 2 の I V - I V 線に沿って切断したもので、従来の液晶表示装置の製造方法を示した断面図である。

【図 6 B】図 6 A に続く製造工程を示す断面図である。

【図 6 C】図 6 B に続く製造工程を示す断面図である。

【図 6 D】図 6 C に続く製造工程を示す断面図である。

【図 6 E】図 6 D に続く製造工程を示す断面図である。

【図 6 F】図 6 E に続く製造工程を示す断面図である。

【図 7】本発明の実施の形態に係る液晶表示装置用アレイ基板の一部を拡大した平面図である。

【図 8】本発明の実施の形態に係る液晶表示装置の薄膜トランジスタを拡大した平面図である。

40

【図 9】図 8 の V I I I - V I I I 線に沿って切断した薄膜トランジスタの断面図である。

【図 1 0】本発明の実施の形態に係る液晶表示装置の薄膜トランジスタの別の構成を示した断面図である。

【図 1 1】本発明の実施の形態に係る液晶表示装置の薄膜トランジスタの別の構成を示した断面図である。

【図 1 2 A】図 7 の V - V 線に沿って切断したもので、本発明の液晶表示装置の製造方法を示した断面図である。

【図 1 2 B】図 1 2 A に続く製造工程を示す断面図である。

50

【図 1 2 C】図 1 2 B に続く製造工程を示す断面図である。

【図 1 2 D】図 1 2 C に続く製造工程を示す断面図である。

【図 1 2 E】図 1 2 D に続く製造工程を示す断面図である。

【図 1 2 F】図 1 2 E に続く製造工程を示す断面図である。

【図 1 2 G】図 1 2 F に続く製造工程を示す断面図である。

【図 1 2 H】図 1 2 G に続く製造工程を示す断面図である。

【図 1 2 I】図 1 2 H に続く製造工程を示す断面図である。

【図 1 2 J】図 1 2 I に続く製造工程を示す断面図である。

【図 1 2 K】図 1 2 J に続く製造工程を示す断面図である。

【図 1 2 L】図 1 2 K に続く製造工程を示す断面図である。

【図 1 3 A】図 7 の V I - V I 線に沿って切断したもので、本発明の液晶表示装置の製造方法を示した断面図である。

【図 1 3 B】図 1 3 A に続く製造工程を示す断面図である。

【図 1 3 C】図 1 3 B に続く製造工程を示す断面図である。

【図 1 3 D】図 1 3 C に続く製造工程を示す断面図である。

【図 1 3 E】図 1 3 D に続く製造工程を示す断面図である。

【図 1 3 F】図 1 3 E に続く製造工程を示す断面図である。

【図 1 3 G】図 1 3 F に続く製造工程を示す断面図である。

【図 1 3 H】図 1 3 G に続く製造工程を示す断面図である。

【図 1 3 I】図 1 3 H に続く製造工程を示す断面図である。

【図 1 3 J】図 1 3 I に続く製造工程を示す断面図である。

【図 1 3 K】図 1 3 J に続く製造工程を示す断面図である。

【図 1 3 L】図 1 3 K に続く製造工程を示す断面図である。

【図 1 4 A】図 7 の V I I - V I I 線に沿って切断したもので、本発明の液晶表示装置の製造方法を示した断面図である。

【図 1 4 B】図 1 4 A に続く製造工程を示す断面図である。

【図 1 4 C】図 1 4 B に続く製造工程を示す断面図である。

【図 1 4 D】図 1 4 C に続く製造工程を示す断面図である。

【図 1 4 E】図 1 4 D に続く製造工程を示す断面図である。

【図 1 4 F】図 1 4 E に続く製造工程を示す断面図である。

【図 1 4 G】図 1 4 F に続く製造工程を示す断面図である。

【図 1 4 H】図 1 4 G に続く製造工程を示す断面図である。

【図 1 4 I】図 1 4 H に続く製造工程を示す断面図である。

【図 1 4 J】図 1 4 I に続く製造工程を示す断面図である。

【図 1 4 K】図 1 4 J に続く製造工程を示す断面図である。

【図 1 4 L】図 1 4 K に続く製造工程を示す断面図である。

【符号の説明】

【 0 0 8 4 】

2 0 0 基板、2 0 2 ゲート電極、2 0 4 ゲート配線、2 0 6 ゲートパッド電極、2 2 0 アクティブ層、2 2 2 シールドパターン、2 3 4 ソース電極、2 3 6 ド
 レイン電極、2 3 8 データ配線、2 4 0 データパッド電極、2 4 8 ゲートパッド電
 極端子、2 5 0 データパッド電極端子。

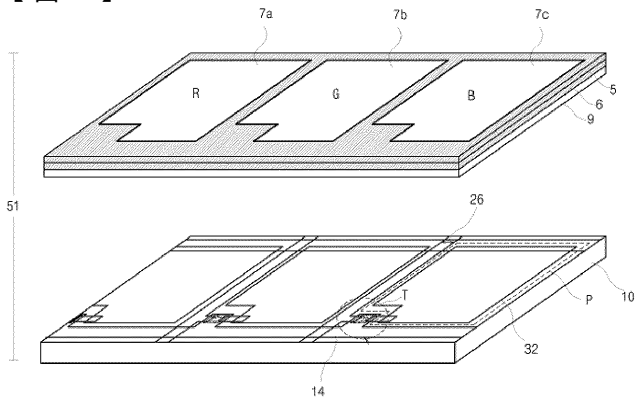
10

20

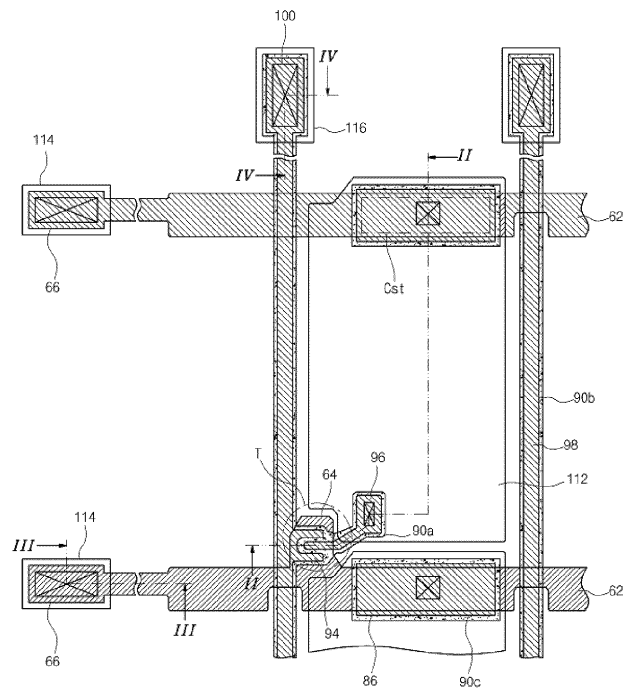
30

40

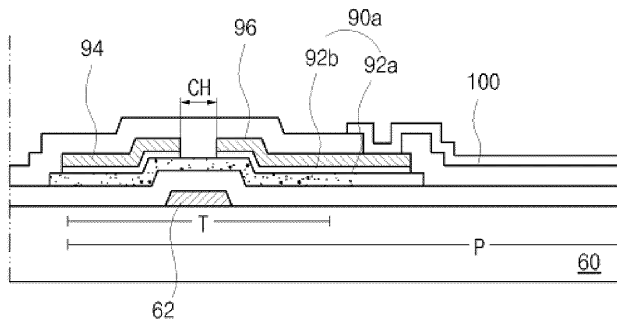
【図 1】



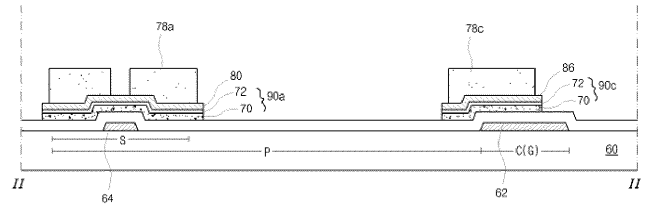
【図 2】



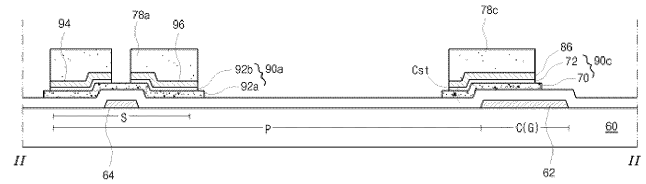
【図 3】



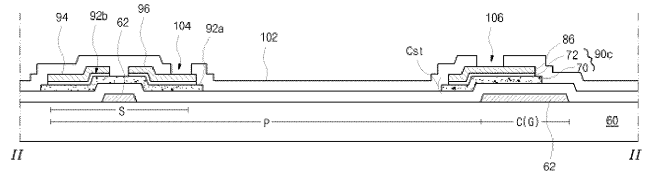
【図 4 C】



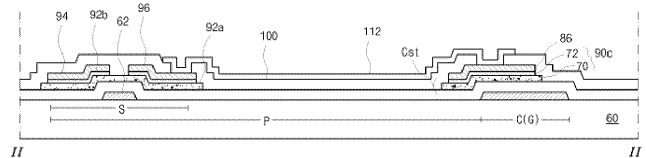
【図 4 D】



【図 4 E】



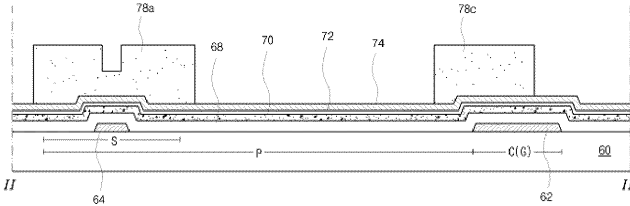
【図 4 F】



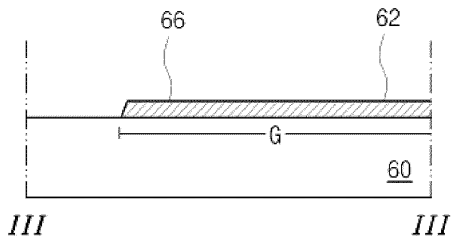
【図 4 A】



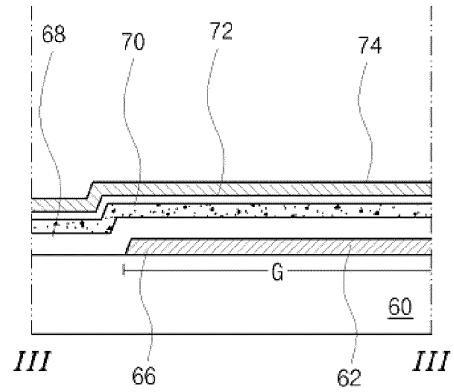
【図 4 B】



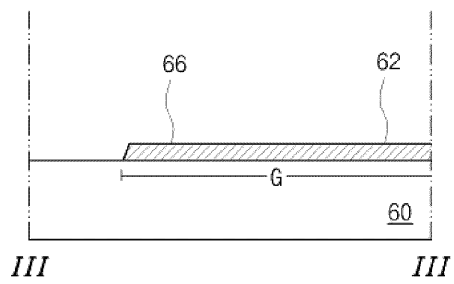
【図 5 A】



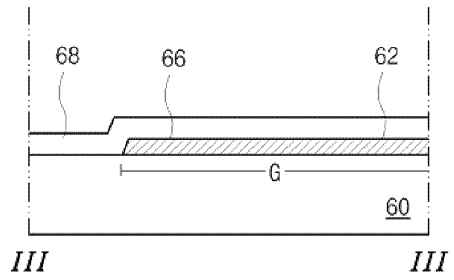
【図 5 B】



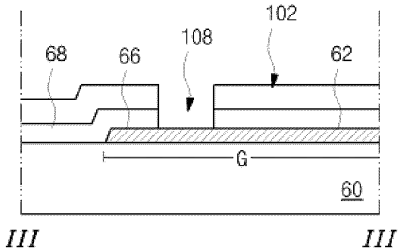
【図 5 C】



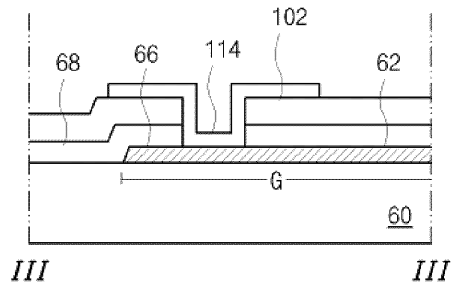
【図 5 D】



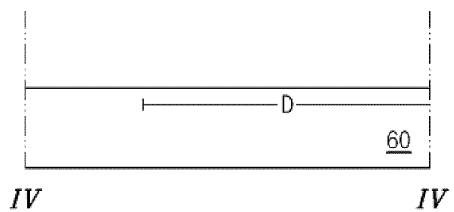
【図 5 E】



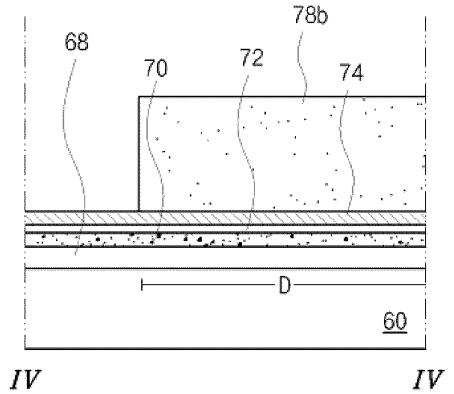
【図 5 F】



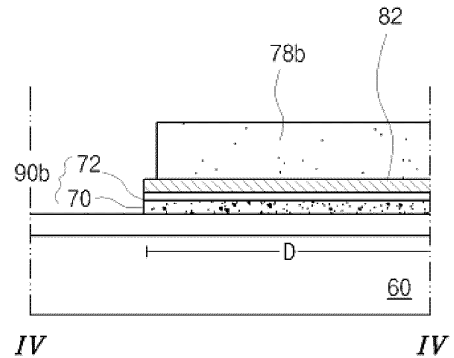
【図 6 A】



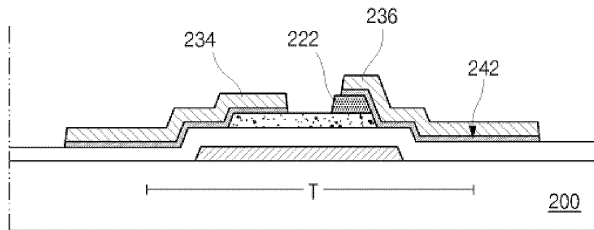
【図 6 B】



【図 6 C】



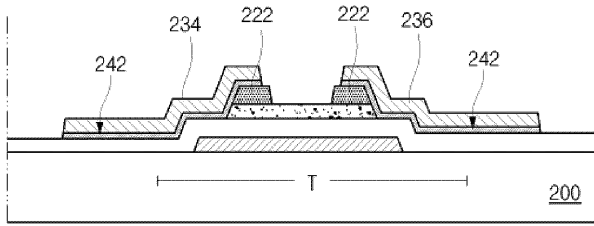
【図 10】



VIII

VIII

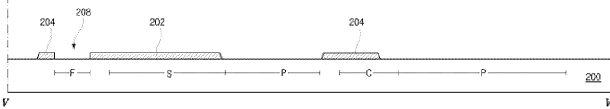
【図 11】



VIII

VIII

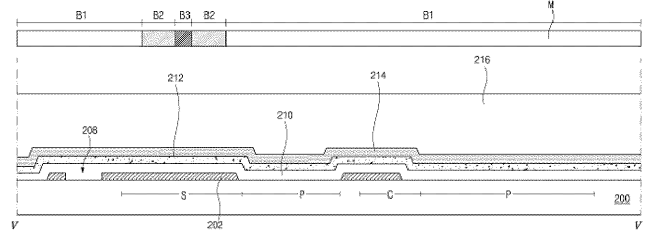
【図 12 A】



V

V

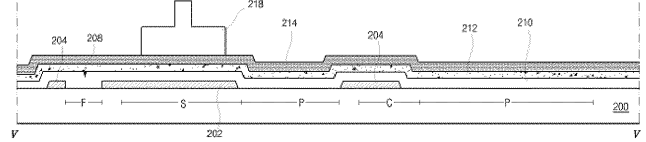
【図 12 B】



V

V

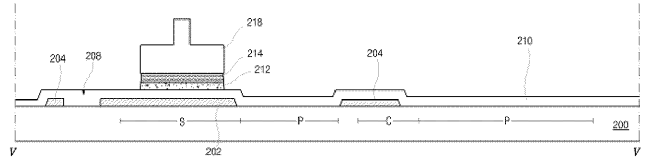
【図 12 C】



V

V

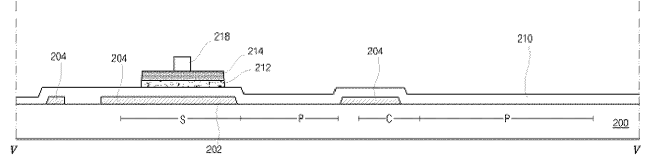
【図 12 D】



V

V

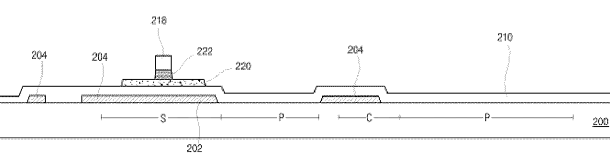
【図 12 E】



V

V

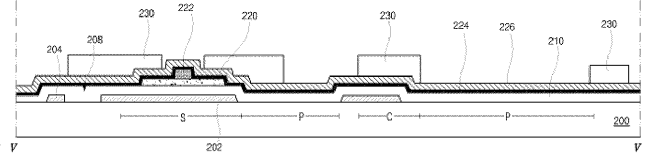
【図 12 F】



V

V

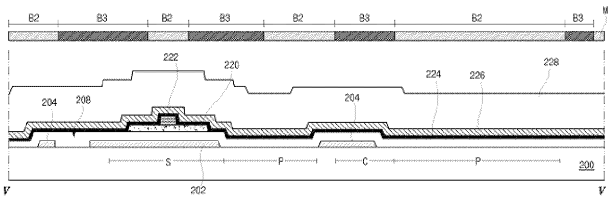
【図 12 J】



V

V

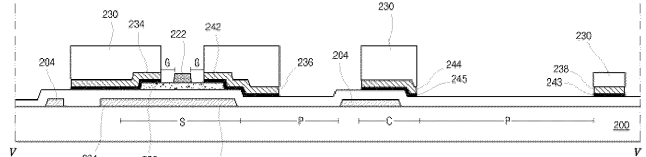
【図 12 G】



V

V

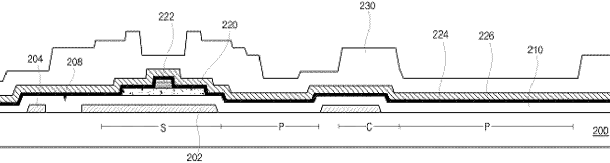
【図 12 K】



V

V

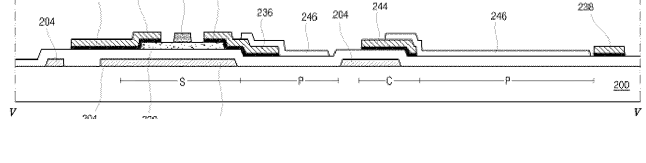
【図 12 H】



V

V

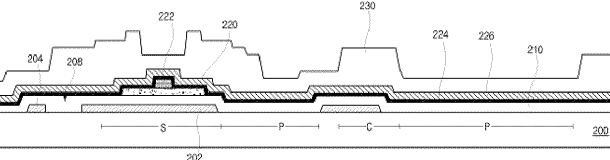
【図 12 L】



V

V

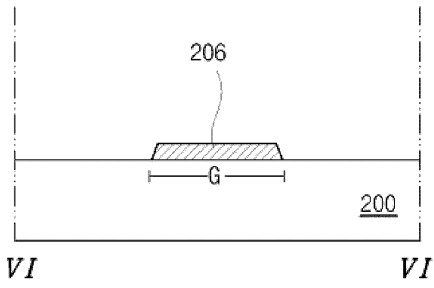
【図 12 I】



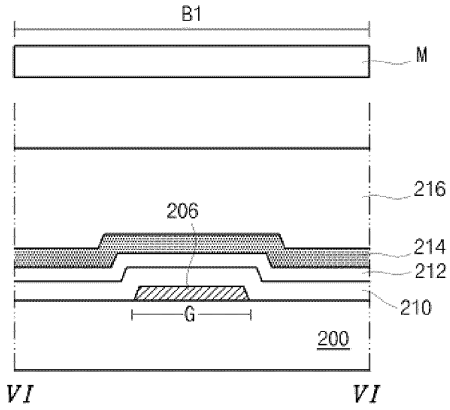
V

V

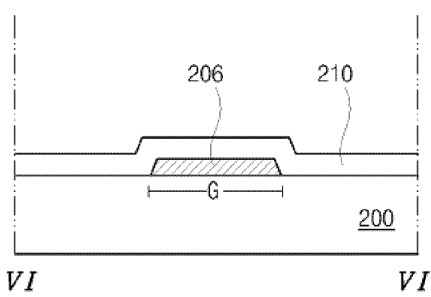
【図 1 3 A】



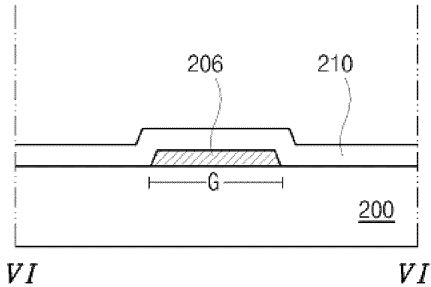
【図 1 3 B】



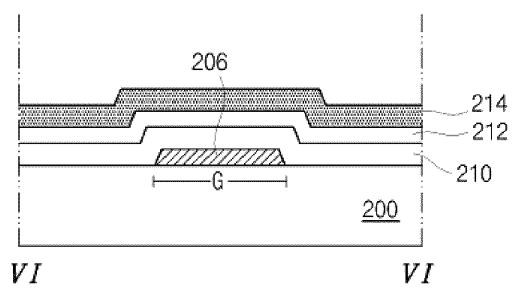
【図 1 3 E】



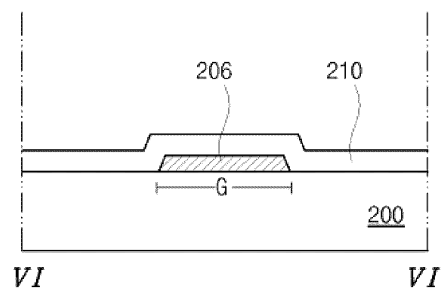
【図 1 3 F】



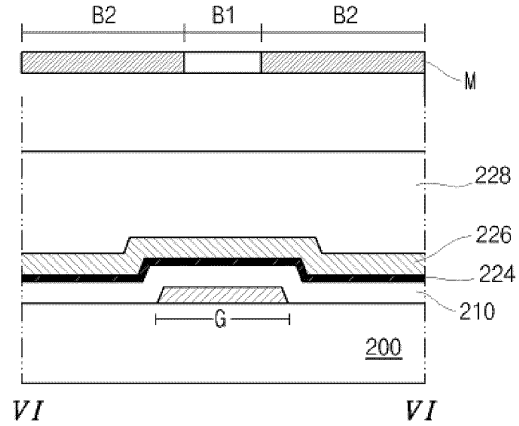
【図 1 3 C】



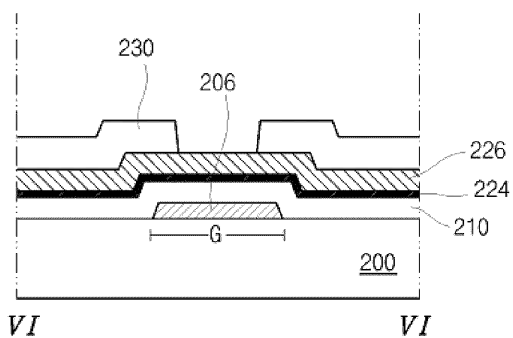
【図 1 3 D】



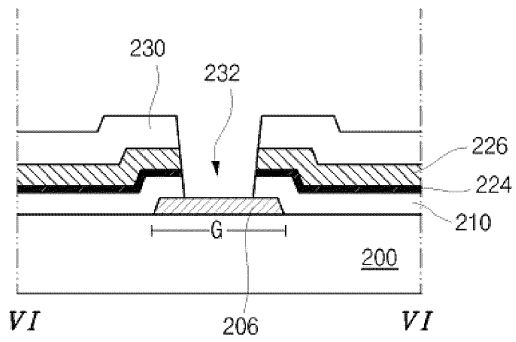
【図 1 3 G】



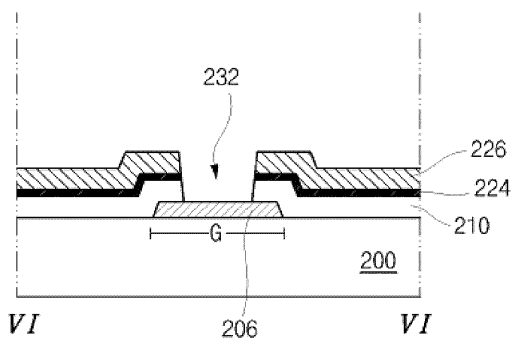
【図 1 3 H】



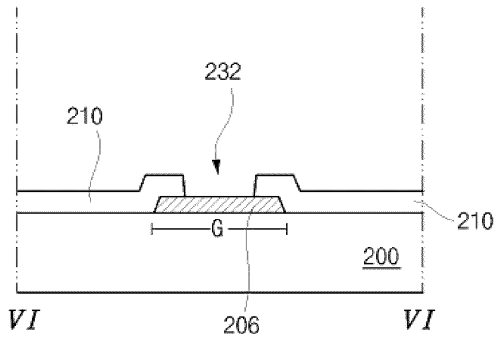
【図 1 3 I】



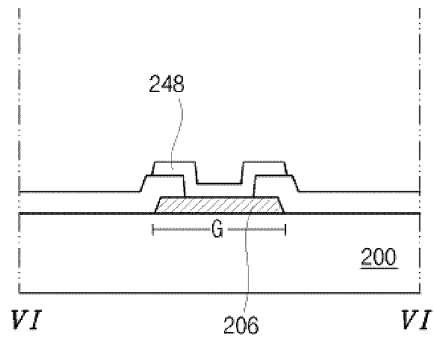
【図 1 3 J】



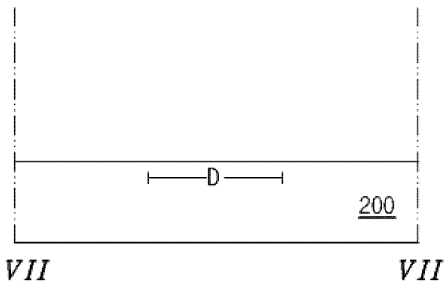
【図 1 3 K】



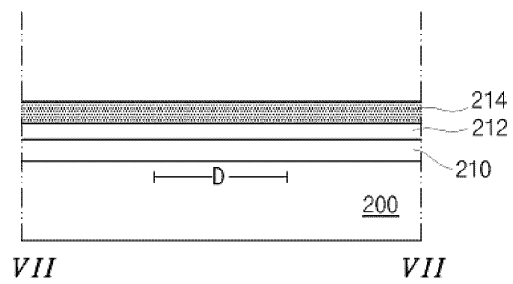
【図 1 3 L】



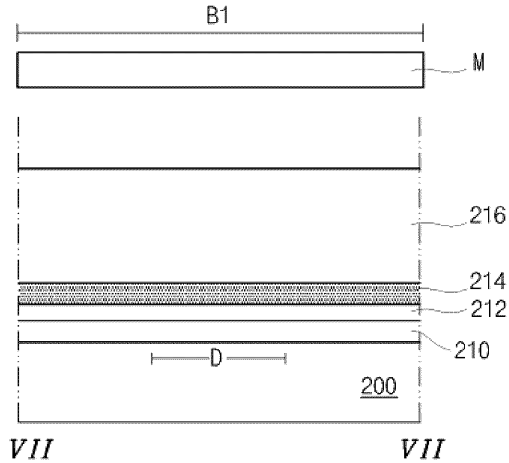
【図 1 4 A】



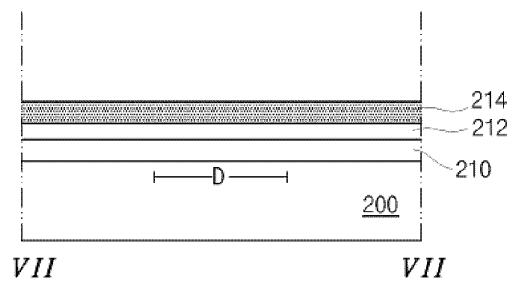
【図 1 4 C】



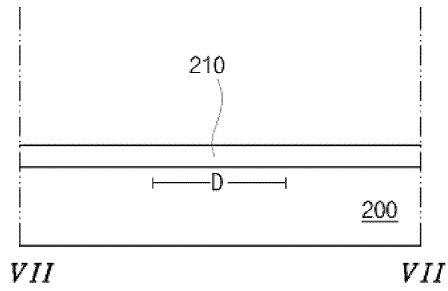
【図 1 4 B】



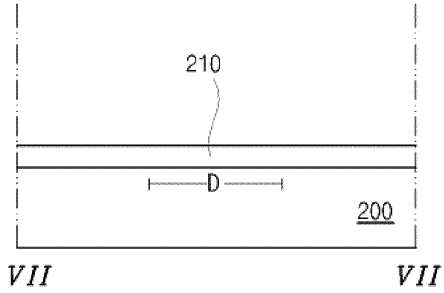
【図 1 4 D】



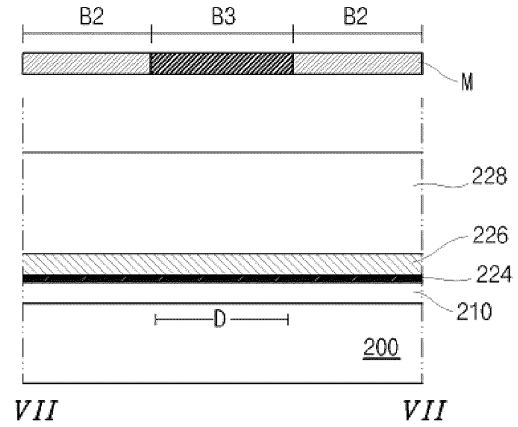
【図 1 4 E】



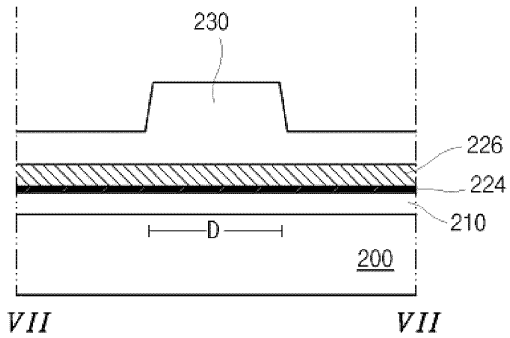
【図 1 4 F】



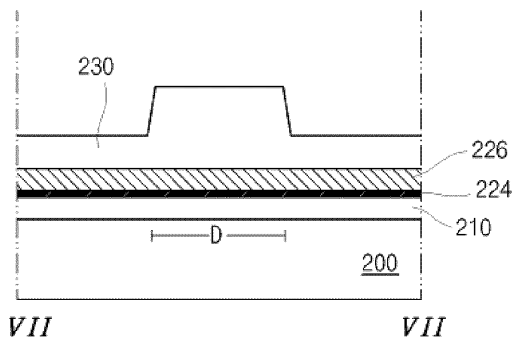
【図 1 4 G】



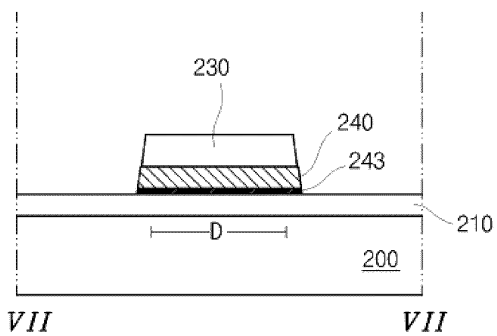
【図 1 4 H】



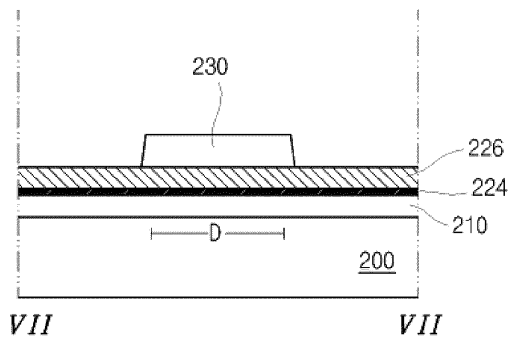
【図 1 4 I】



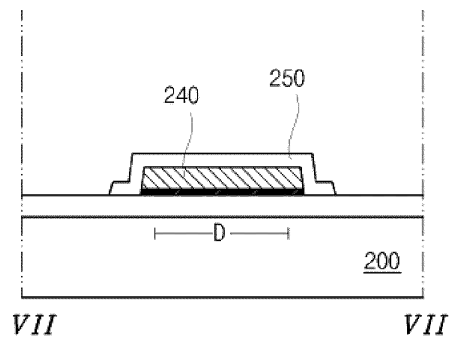
【図 1 4 K】



【図 1 4 J】



【図 1 4 L】



フロントページの続き

(72)発明者 ヒョウク・キム

大韓民国、730-300、キョンブク、クミ - シ、クピョン - ドン、クピョン3チャ 454、
ブヨン・アパートメント 601/301

(72)発明者 ピョンホ・リム

大韓民国、730-200、キョンブク、クミ - シ、ポンゴク - ドン、528ポンジ、ヨンナムネ
オビルシティ 201/1402

F ターム(参考) 2H092 GA29 GA40 GA64 JA25 JA28 JA34 JA37 JA41 JA46 JA47
JA48 JB63 JB69 KA05 KA07 KA12 KB04 KB24 KB25 MA13
MA17 NA27 PA08
5F110 AA21 BB01 CC07 EE03 EE04 EE06 EE14 EE25 EE37 EE43
FF02 FF03 FF27 GG02 GG15 GG42 HK02 HK09 HK16 HK21
HK32 HM04 NN12 NN15 NN23 NN24 NN33 NN44 NN46 NN47
NN53 NN73

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2007304557A	公开(公告)日	2007-11-22
申请号	JP2006347998	申请日	2006-12-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	ヒヨウクキム ピョンホリム		
发明人	ヒヨウク・キム ピョンホ・リム		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786		
CPC分类号	H01L27/1288 G02F1/136209 G02F2001/136236 H01L27/1214 H01L27/124 H01L29/78633		
FI分类号	G02F1/1368 H01L29/78.612.D H01L29/78.619.B H01L29/78.616.T		
F-TERM分类号	2H092/GA29 2H092/GA40 2H092/GA64 2H092/JA25 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JA47 2H092/JA48 2H092/JB63 2H092/JB69 2H092/KA05 2H092/KA07 2H092/KA12 2H092/KB04 2H092/KB24 2H092/KB25 2H092/MA13 2H092/MA17 2H092/NA27 2H092/PA08 5F110/AA21 5F110/BB01 5F110/CC07 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE25 5F110/EE37 5F110/EE43 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG02 5F110/GG15 5F110/GG42 5F110/HK02 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK32 5F110/HM04 5F110/NN12 5F110/NN15 5F110/NN23 5F110/NN24 5F110/NN33 5F110/NN44 5F110/NN46 5F110/NN47 5F110/NN53 5F110/NN73 2H192/AA24 2H192/CB05 2H192/CB45 2H192/CB72 2H192/CC04 2H192/CC16 2H192/CC42 2H192/DA02 2H192/DA72 2H192/EA74 2H192/FA65 2H192/HA44		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
优先权	1020060041600 2006-05-09 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供液晶显示器和制造该装置的方法以改善显示质量和孔径比。解决方案：液晶显示器包括：栅极线和相互交叉的数据线以定义像素基板上的区域；栅极线连接到栅极线；栅电极上的栅极绝缘层；栅极绝缘层上的有源层；源电极和漏电极在有源层上并彼此间隔开；有源层和源极之间以及有源层和漏极之间的欧姆接触层；在有源层上方具有屏蔽图案，其具有面向源电极和漏电极的内侧的两个侧面，两个侧面中的至少一个位于源电极和漏电极的内侧之间；像素区域中的像素电极并连接到漏电极。

