

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-156462
(P2007-156462A)

(43) 公開日 平成19年6月21日(2007.6.21)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611C	5C006
G02F 1/133 (2006.01)	G09G 3/20 660V	5C080
	G09G 3/20 621A	
	G09G 3/20 612L	
審査請求 未請求 請求項の数 22 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2006-315103 (P2006-315103)	(71) 出願人 390019839
(22) 出願日 平成18年11月22日 (2006.11.22)	三星電子株式会社
(31) 優先権主張番号 10-2005-0117582	S a m s u n g E l e c t r o n i c s
(32) 優先日 平成17年12月5日 (2005.12.5)	C o . , L t d .
(33) 優先権主張国 韓国 (KR)	大韓民国京畿道水原市霊通区梅灘洞 4 1 6
	110000408
	特許業務法人高橋・林アンドパートナーズ
	(74) 代理人
	(72) 発明者 呉 在 鎬
	大韓民国ソウル特別市恩平区津寛内洞 4 1
	7-3 番地 1 7 / 8
	(72) 発明者 金 太 星
	大韓民国京畿道水原市霊通区霊通洞 シン
	ナムシル信元アパートメント 6 4 2 棟 1 5
	0 1 号
	最終頁に続く

(54) 【発明の名称】 液晶表示装置及び駆動方法

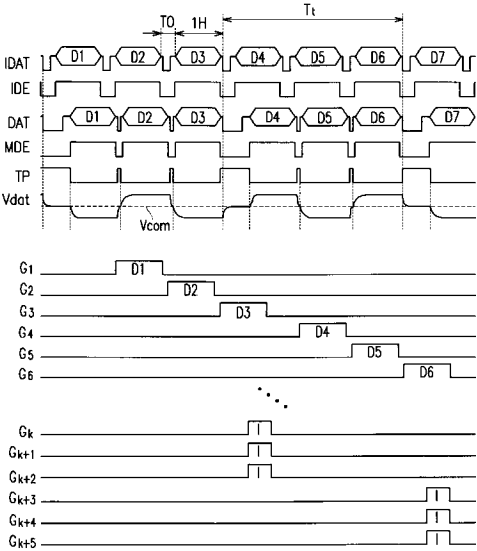
(57) 【要約】

【課題】 駆動周波数を高めないながらもブラリング現象を減らせる液晶表示装置及びその駆動方法を提供する。

【解決手段】

本発明は液晶表示装置及びその駆動方法に関し、この液晶表示装置は、行列状に配列されている複数の画素と、画素に接続されているデータ線及びゲート線と、外部からの第 1 映像データと複数の制御信号を処理して送信する信号制御部と、信号制御部に接続されているデータ駆動部とを含み、信号制御部は少なくとも二つの画素行の第 1 映像データを各々含む複数の集合に分けて順次に処理するが、各集合の第 1 映像データのうちの最後の映像データを除いた残り映像データを遅延させ、データ駆動部は遅延した時間に電荷共有電圧をインパルス電圧として所定数の画素行に印加してインパルス映像を表示する。

【選択図】 図 5



【特許請求の範囲】

【請求項 1】

行列状に配列されている複数の画素と、
前記画素に接続されているデータ線及びゲート線と、
外部からの第 1 映像データと複数の制御信号を処理して送信する信号制御部と、
前記信号制御部に接続されているデータ駆動部と
を含み、
前記信号制御部は、少なくとも二つの画素行の前記第 1 映像データを各々含む複数の集合に分けて順次に処理するが、前記各集合の第 1 映像データのうちの最後の映像データを除いた残り映像データを遅延させ、
前記データ駆動部は前記遅延した時間に電荷共有電圧をインパルス電圧として所定の数の画素行に印加してインパルス映像を表示することを特徴とする液晶表示装置。

10

【請求項 2】

前記信号制御部は、
前記第 1 映像データと前記複数の制御信号のうちの第 1 信号を受信して一つの画素行ずつ第 2 映像データと第 2 信号を送信する第 1 メモリと、
前記第 2 信号を受信して第 3 信号を送信する変換部と、
前記第 2 映像データ、前記第 2 信号及び前記第 3 信号を受信する第 2 メモリとを含むことを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記第 2 メモリは、前記第 2 信号によって前記第 2 映像データを受信すると同時に、前記第 3 信号によって複数の第 3 映像データ集合を送信することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

第 1 及び第 2 ゲートオン電圧を生成して前記ゲート線に印加するゲート駆動部をさらに含むことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記ゲート駆動部は、前記第 1 ゲートオン電圧を前記ゲート線に順次に印加した後、前記第 2 ゲートオン電圧を前記遅延した時間に前記ゲート線を除いた複数のゲート線に同時に印加することを特徴とする請求項 4 に記載の液晶表示装置。

30

【請求項 6】

前記遅延した時間を第 1 ブランク期間とするとき、
前記第 3 映像データ集合は、前記第 1 ブランク期間と前記第 3 映像データとの間に位置する第 2 ブランク期間をさらに含むことを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記第 1 ブランク期間は前記第 2 ブランク期間より大きいことを特徴とする請求項 6 に記載の液晶表示装置。

40

【請求項 8】

前記第 2 映像データを含む各集合は前記第 2 映像データの間に位置する前記第 3 ブランク期間を含み、
前記第 2 映像データを含む各集合と前記第 3 映像データを含む各集合の長さが同一であることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記電荷共有電圧は、前記データ線を互いに接続して得られる電圧であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 10】

50

前記液晶表示装置は、前記画素、前記ゲート線及び前記データ線が形成されている液晶表示パネルアセンブリに共通電圧を印加する共通電圧生成部をさらに含むことを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記電荷共有電圧は、前記共通電圧と実質的に同一であることを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

行列状に配列されている複数の画素、前記画素に接続されているデータ線及びゲート線と、外部からの第 1 映像データと複数の制御信号を受信し処理して送信する信号制御部と、前記信号制御部に接続されているデータ駆動部とを含む液晶表示装置の駆動方法において 10

、少なくとも二つの画素行の前記第 1 映像データを各々含む複数の集合に分けて順次に処理し、前記各集合の第 1 映像データのうちの最後の映像データを除いた残りの映像データを遅延させる第 1 ステップと、

前記遅延した時間に電荷共有電圧をインパルス電圧として所定の数の画素行に印加してインパルス映像を表示する第 2 ステップと
を特徴とする液晶表示装置の駆動方法。

【請求項 13】

前記第 1 ステップは、
前記第 1 映像データと前記複数の制御信号のうちの第 1 信号を受信して一つの画素行ずつ 20
第 2 映像データと第 2 信号を生成し、
前記第 2 信号を受信して第 3 信号を生成し、
前記第 2 映像データ、前記第 2 信号及び前記第 3 信号を受信すること
を特徴とする請求項 12 に記載の液晶表示装置の駆動方法。

【請求項 14】

前記第 1 ステップは、前記第 3 信号によって複数の第 3 映像データ集合を生成することをさらに含むことを特徴とする請求項 13 に記載の液晶表示装置の駆動方法。

【請求項 15】

第 1 及び第 2 ゲートオン電圧を生成して前記ゲート線に印加する第 3 ステップをさらに含むことを特徴とする請求項 14 に記載の液晶表示装置の駆動方法。 30

【請求項 16】

前記第 3 ステップは、前記第 1 ゲートオン電圧を前記ゲート線に順次に印加した後、前記第 2 ゲートオン電圧を前記遅延した時間に前記ゲート線を除いた複数のゲート線に同時に印加することを特徴とする請求項 15 に記載の液晶表示装置の駆動方法。

【請求項 17】

前記遅延した時間を第 1 ブランク期間とするととき、
前記第 3 映像データ集合は、前記第 1 ブランク期間と前記第 3 映像データとの間に位置する第 2 ブランク期間をさらに含むことを特徴とする請求項 16 に記載の液晶表示装置の駆動方法。

【請求項 18】

前記第 1 ブランク期間は、前記第 2 ブランク期間より大きいことを特徴とする請求項 17 に記載の液晶表示装置の駆動方法。 40

【請求項 19】

前記第 2 映像データを含む各集合は前記第 2 映像データの間に位置する前記第 3 ブランク期間を含み、
前記第 2 映像データを含む各集合と前記第 3 映像データを含む各集合の長さが同一であることを特徴とする請求項 18 に記載の液晶表示装置の駆動方法。

【請求項 20】

前記電荷共有電圧は、前記データ線を互いに接続して得られる電圧であることを特徴とする請求項 12 に記載の液晶表示装置の駆動方法。 50

【請求項 2 1】

前記液晶表示装置は、前記画素、前記ゲート線及び前記データ線が形成されている液晶表示パネルアッセンブリに共通電圧を印加する共通電圧生成部をさらに含むことを特徴とする請求項 2 0 に記載の液晶表示装置の駆動方法。

【請求項 2 2】

前記電荷共有電圧は、前記共通電圧と実質的に同一である請求項 2 1 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

10

本発明は液晶表示装置及びその駆動方法に関する。

【背景技術】

【0 0 0 2】

一般的な液晶表示装置 (liquid crystal display、LCD) は画素電極及び共通電極が具備された二つの表示板と、その間に入っている誘電率異方性 (dielectric anisotropy) を有する液晶層とを含む。画素電極は行列状に配列されていて、薄膜トランジスタ (TFT) などスイッチング素子に接続されて一行ずつ順次にデータ電圧の印加を受ける。共通電極は表示板の全面にわたって形成されており、共通電圧の印加を受ける。画素電極と共通電極及びその間の液晶層は回路的に見れば液晶キャパシタをなし、液晶キャパシタはこれに接続されたスイッチング素子と共に画素を構成する基本単位となる。

20

【0 0 0 3】

このような液晶表示装置においては、二つの電極に電圧を印加して液晶層に電界を生成し、この電界の強さを調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。このとき、液晶層に一方向の電界が長く印加されることによって発生する劣化現象を防止するために、フレーム毎に、行毎に、または画素毎に共通電圧に対するデータ電圧の極性を反転させる。

【0 0 0 4】

液晶表示装置はホールドタイプ (hold type) の表示装置であるため、動画映像を表示する際に物体の輪郭 (edge) が鮮明でなくぼけるブラリング (blurring) 現象が発生する。ブラリング現象を減らすために、所望の正規映像を表示しながらその中間にブラック映像を表示するインパルス駆動方式が開発された。

30

【0 0 0 5】

インパルス駆動のために、正規映像データだけでなくブラック映像データもデータ駆動部に伝送しなければならない。ところが、同時にブラック映像データも伝送しなければならないので、正規映像データのみを伝送することに比べてデータ伝送周波数が高くなる。従って、電力消耗が多くなり、EMI (electromagnetic interference) が高くなり、高解像度ではデータ駆動部の動作速度が限界に至ることがある。また、これ进行处理する信号制御部に二つのクロック周波数が存在するため、各種信号の同期を合せることが難しく、また、これを実現する内部回路が非常に複雑になり、誤動作やエラーの可能性が高くなる。

40

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 6】

そこで、本発明が解決しようとする技術的課題は、駆動周波数を高めないながらもブラリング現象を減らせる液晶表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0 0 0 7】

このような技術的課題を達成するための本発明の一実施形態による液晶表示装置は、行列状に配列されている複数の画素と、画素に接続されているデータ線及びゲート線と、外部

50

からの第1映像データと複数の制御信号を処理して送信する信号制御部と、信号制御部に接続されているデータ駆動部とを含み、

【0008】

信号制御部は、少なくとも二つの画素行の第1映像データを各々含む複数の集合に分けて順次に処理するが、各集合の第1映像データのうち最後の映像データを除いた残りの映像データを遅延させ、データ駆動部は遅延した時間に電荷共有電圧をインパルス電圧として所定の数の画素行に印加してインパルス映像を表示する。

【0009】

信号制御部は、第1映像データと複数の制御信号のうち第1信号を受信して、各画素行ずつ第2映像データと第2信号を送信する第1メモリと、第2信号を受信して第3信号を送信する変換部と、第2映像データ、第2信号及び第3信号を受信する第2メモリとを含んでもよい。

10

【0010】

このとき、第2メモリは、第2信号によって第2映像データを受信すると同時に、第3信号によって複数の第3映像データ集合を送信してもよい。

【0011】

液晶表示装置は、第1及び第2ゲートオン電圧を生成してゲート線に印加するゲート駆動部をさらに含んでもよく、このゲート駆動部は第1ゲートオン電圧をゲート線に順次に印加した後、第2ゲートオン電圧を遅延した時間に前記ゲート線を除いた複数のゲート線に同時に印加してもよい。

20

【0012】

また、前記遅延した時間を第1ブランク期間 (b l a n k i n t e r v a l) とするとき、第3映像データを構成する各集合は第1ブランク期間と第3映像データとの間に位置する第2ブランク期間をさらに含んでもよく、第1ブランク期間は第2ブランク期間より大きいことがある。

【0013】

このとき、第2映像データを含む各集合は第2映像データの間位置する第3ブランク期間を含み、前記第2映像データを含む各集合と前記第3映像データを含む各集合の長さが同一でもよい。

【0014】

電荷共有電圧はデータ線を互いに接続して得られる電圧でもよい。

30

【0015】

液晶表示装置は、画素、ゲート線及びデータ線が形成されている液晶表示パネルアセンブリに共通電圧を印加する共通電圧生成部をさらに含んでもよく、電荷共有電圧は共通電圧と実質的に同一でもよい。

【0016】

本発明の一実施形態による、行列状に配列されている複数の画素と、画素に接続されているデータ線及びゲート線と、外部からの第1映像データと複数の制御信号を受信し処理して送信する信号制御部と、信号制御部に接続されているデータ駆動部とを含む液晶表示装置の駆動方法は、少なくとも二つの画素行の第1映像データを各々含む複数の集合に分けて順次に処理するが、各集合の第1映像データのうちの最後の映像データを除いた残り映像データを遅延させる第1ステップと、遅延した時間に電荷共有電圧をインパルス電圧として所定の数の画素行に印加してインパルス映像を表示する第2ステップとを含む。

40

【0017】

このとき、第1ステップは、第1映像データと複数の制御信号のうちの第1信号を受信して、一つの画素行ずつ第2映像データと第2信号を生成し、第2信号を受信して第3信号を生成し、第2映像データ、第2信号及び第3信号を受信することを含んでもよく、第3信号によって複数の第3映像データ集合を生成することをさらに含んでもよい。

【0018】

また、液晶表示装置の駆動方法は、第1及び第2ゲートオン電圧を生成して前記ゲート線

50

に印加する第3ステップをさらに含んでもよく、第3ステップは第1ゲートオン電圧をゲート線に順次に印加した後、第2ゲートオン電圧を遅延した時間にゲート線を除いた複数のゲート線に同時に印加することを含んでもよい。

【0019】

また、遅延した時間を第1ブラंक期間とするとき、第3映像データ集合は第1ブラंक期間と第3映像データの間に位置する第2ブラंक期間をさらに含んでもよく、第1ブラंक期間は第2ブラंक期間より大きいことがある。

第2映像データを含む各集合は、第2映像データの間に位置する第3ブラंक期間を含み、第2映像データを含む各集合と第3映像データを含む各集合の長さが同一でもよい。

【0020】

一方、前記電荷共有電圧はデータ線を互いに接続して得てもよい。

【0021】

液晶表示装置が、画素、ゲート線及びデータ線が形成されている液晶表示パネルアセンブリに共通電圧を印加する共通電圧生成部をさらに含んでもよく、電荷共有電圧は共通電圧と実質的に同一でもよい。

【発明の効果】

【0022】

本発明によれば、映像データDATを同一時間Tt内で単に遅延させるだけでインパルス映像を表示し、別途のブラック映像データを伝送しないので、データ伝送周波数が増加しない。これにより、EMI増加を最小化することは勿論、高解像度を実現することができる。また、信号制御部600に一つのクロック信号MCLKだけが存在するので、いろいろな信号の同期を合せることが容易である。

【発明を実施するための最良の形態】

【0023】

添付した図面を参照して、本発明の実施形態について本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。

【0024】

図面において、いろいろな層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似の部分については同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の「上」にあるとすると、これは他の部分の「直上」にある場合だけでなく、その中間に他の部分がある場合も含む。

【0025】

図1及び図2を参照して、本発明の実施形態による液晶表示装置及びその駆動方法について詳細に説明する。

【0026】

図1は本発明の一実施形態による液晶表示装置のブロック図であり、図2は本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【0027】

図1を参照すると、本発明の一実施形態による液晶表示装置は、液晶表示パネルアセンブリ(liquid crystal panel assembly)300と、これに接続されたゲート駆動部400及びデータ駆動部500と、データ駆動部500に接続された階調電圧生成部800と、これらを制御する信号制御部600とを含む。

【0028】

液晶表示パネルアセンブリ300は、等価回路で見れば、複数の信号線 $G_1 - G_n$ 、 $D_1 - D_m$ と、これに接続されていてほぼ行列状に配列された複数の画素PXとを含む。図2に示した構造で見ると、液晶表示パネルアセンブリ300は、互いに対向する下部及び上部表示板100、200と、両者の間に入っている液晶層3とを含む。

【0029】

信号線 $G_1 - G_n$ 、 $D_1 - D_m$ は、ゲート信号(「走査信号」とも言う)を伝達する複数のゲート線 $G_1 - G_n$ と、データ信号を伝達する複数のデータ線 $D_1 - D_m$ とを含む。ゲ

10

20

30

40

50

ート線 $G_1 - G_n$ はほぼ行方向にのびて互いにほとんど平行し、データ線 $D_1 - D_m$ はほぼ列方向にのびて互いにほとんど平行する。

【0030】

各画素 PX 、例えば、 i 番目 ($i = 1, 2, n$) ゲート線 G_i と j 番目 ($j = 1, 2, m$) データ線 D_j に接続された画素 PX は、信号線 G_i 、 D_j に接続されたスイッチング素子 Q と、これに接続された液晶キャパシタ (liquid crystal capacitor) C_{lc} 及びストレージキャパシタ (storage capacitor) C_{st} とを含む。ストレージキャパシタ C_{st} は必要に応じて省略してもよい。

【0031】

スイッチング素子 Q は、下部表示板 100 に備えられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線 G_i と接続されており、入力端子はデータ線 D_j と接続されており、出力端子は液晶キャパシタ C_{lc} 及びストレージキャパシタ C_{st} と接続されている。 10

【0032】

液晶キャパシタ C_{lc} は、下部表示板 100 の画素電極 191 と上部表示板 200 の共通電極 270 とを二つの端子とし、二つの電極 191、270 の間の液晶層 3 は誘電体として機能する。画素電極 191 はスイッチング素子 Q と接続され、共通電極 270 は上部表示板 200 の全面に形成され、共通電圧 V_{com} の印加を受ける。図 2 とは異なって、共通電極 270 が下部表示板 100 に備えられる場合もあり、このときには二つの電極 191、270 のうちの少なくとも一つが線状または棒状に構成されてもよい。 20

【0033】

液晶キャパシタ C_{lc} の補助的な役割を果たすストレージキャパシタ C_{st} は、下部表示板 100 に設けられた別個の信号線 (図示せず) と画素電極 191 とが絶縁体を間に置いて重畳 (オーバーラップ) してなり、この別個の信号線には共通電圧 V_{com} などの所定の電圧が印加される。しかし、ストレージキャパシタ C_{st} は、画素電極 191 が絶縁体を媒介としてすぐ上の前段のゲート線と重畳して形成してもよい。

【0034】

色表示を実現するためには各画素 PX が基本色 (primary color) のうちの一つを固有に表示したり (空間分割)、各画素 PX が時間によって交互に基本色を表示するように (時間分割) して、これら基本色の空間的、時間的合計によって所望の色相が認識されるようにする。基本色の例としては、赤色、緑色、青色など三原色がある。図 2 は空間分割の一例であって、各画素 PX が画素電極 191 に対応する上部表示板 200 の領域に基本色のうちの一つを示すカラーフィルタ 230 を備えることを示している。図 2 とは異なって、カラーフィルタ 230 は下部表示板 100 の画素電極 191 上または下に形成してもよい。 30

【0035】

液晶表示パネルアッセンブリ 300 の外側の面には光を偏光させる少なくとも一つの偏光子 (図示せず) が付着している。

【0036】

再び図 1 を参照すると、階調電圧生成部 800 は、画素 PX の透過率に関連する二組の階調電圧集合 (または基準階調電圧集合) を生成する。二組のうちの一組は共通電圧 V_{com} に対して正の値を有し、他の一組は負の値を有する。 40

【0037】

ゲート駆動部 400 は、液晶表示パネルアッセンブリ 300 のゲート線 $G_1 - G_n$ と接続され、ゲートオン電圧 V_{on} とゲートオフ電圧 V_{off} との組み合わせからなるゲート信号をゲート線 $G_1 - G_n$ に印加する。

【0038】

データ駆動部 500 は、液晶表示板組立体 300 のデータ線 $D_1 - D_m$ に接続されており、階調電圧生成部 800 からの階調電圧を選択し、これをデータ信号としてデータ線 $D_1 - D_m$ に印加する。しかし、階調電圧生成部 800 が全ての階調に対する電圧を全て提供 50

することなく、決められた数の基準階調電圧のみを提供する場合は、データ駆動部 500 は基準階調電圧を分圧して全体の階調に対する階調電圧を生成し、この中からデータ信号を選択する。

【0039】

信号制御部 600 は信号変換部 650 を含み、ゲート駆動部 400、データ駆動部 500 及び階調電圧生成部 800などを制御する。

【0040】

このような駆動装置 400、500、600、800 各々は、少なくとも一つの集積回路チップの形態で液晶表示板組立体 300 上に直接装着するか、またはフレキシブル印刷回路膜 (flexible printed circuit film) (図示せず) 上に装着されて TCP (tape carrier package) の形態で液晶表示板組立体 300 に付着するか、または別途の印刷回路基板 (printed circuit board) (図示せず) 上に装着してもよい。これとは異なって、これら駆動装置 400、500、600、800 が信号線 $G_1 - G_n$ 、 $D_1 - D_m$ 及びスイッチング素子 Q などと共に液晶表示板組立体 300 に集積してもよい。また、駆動装置 400、500、600、800 は単一チップで集積してもよく、この場合、これらのうちの少なくとも一つまたはこれらをなす少なくとも一つの回路素子を単一チップの外側に配置してもよい。

10

【0041】

以下、このような液晶表示装置の動作について詳細に説明する。

20

【0042】

信号制御部 600 は、外部のグラフィック制御部 (図示せず) から入力映像信号 R、G、B 及びその表示を制御する入力制御信号を受信する。入力映像信号 R、G、B は、各画素 PX の輝度 (luminance) 情報を含んでおり、輝度は決められた数、例えば、1024 ($= 2^{10}$)、256 ($= 2^8$) または 64 ($= 2^6$) 個の階調 (gray) を有している。入力制御信号の例としては、垂直同期信号 Vsync、水平同期信号 Hsync、メインクロック MCLK、及びデータイネーブル信号 DE などがある。

【0043】

信号制御部 600 は、入力映像信号 R、G、B と入力制御信号に基づいて入力映像信号 R、G、B を液晶表示パネルアッセンブリ 300 及びデータ駆動部 500 の動作条件に合うように適切に処理し、ゲート制御信号 CONT1 及びデータ制御信号 CONT2 を生成した後、ゲート制御信号 CONT1 をゲート駆動部 400 に送信し、データ制御信号 CONT2 と処理した映像信号 DAT をデータ駆動部 500 に送信する。出力映像信号 DAT はデジタル信号として決められた数の値 (または階調) を有する。

30

【0044】

ゲート制御信号 CONT1 は、走査開始を指示する走査開始信号 STV、ゲートオン電圧 Von の出力時期を制御する少なくとも一つのゲートクロック信号 CPV、及びゲートオン電圧 Von の持続時間を限定する少なくとも一つの出力イネーブル信号 OE とを含む。

【0045】

データ制御信号 CONT2 は、一つの画素行の出力映像信号 DAT の伝送開始を知らせる水平同期開始信号 STH、液晶表示板組立体 300 にデータ信号の印加を指示するロード信号 (load signal) TP、及びデータクロック信号 (HCLK) とを含む。データ制御信号 CONT2 は、また、共通電圧 Vcom に対するデータ信号の電圧極性 (以下、「共通電圧に対するデータ信号の電圧極性」を略して「データ信号の極性」という) を反転させる極性信号 POL をさらに含む。

40

【0046】

信号制御部 600 からのデータ制御信号 CONT2 によって、データ駆動部 500 は一つの行の画素 PX に対するデジタル映像信号 DAT を受信し、各デジタル映像信号 DAT に対応する階調電圧を選択することによってデジタル映像信号 DAT をアナログデータ信号に変換した後に、これを当該データ線 $D_1 - D_m$ に印加する。

50

【 0 0 4 7 】

ゲート駆動部 4 0 0 は、信号制御部 6 0 0 からのゲート制御信号 C O N T 1 によってゲートオン電圧 V_{on} をゲート線 $G_1 - G_n$ に印加し、このゲート線 $G_1 - G_n$ に接続されたスイッチング素子 Q をターンオンさせる。そうすると、データ線 $D_1 - D_m$ に印加されたデータ信号がターンオンされたスイッチング素子 Q を通じて当該画素 PX に印加される。

【 0 0 4 8 】

画素 PX に印加されたデータ信号の電圧と共通電圧 V_{com} との差は液晶キャパシタ C_{lc} の維持電圧、つまり、画素電圧として現れる。液晶分子は画素電圧の大きさによってその配列を異にし、これによって液晶層 3 を通過する光の偏光が変化する。このような偏光の変化は、液晶表示板組立体 3 0 0 に付着された偏光子によって光の透過率の変化として現れる。 10

【 0 0 4 9 】

1 水平周期 [「 1 H 」とも記し、水平同期信号 H_{sync} 及びデータイネーブル信号 DE の一周期と同一である] を単位としてこのような過程を繰り返すことによって、全てのゲート線 $G_1 - G_n$ に対し順次にゲートオン電圧 V_{on} を印加して全ての画素 PX にデータ信号を印加し、1 フレーム ($frame$) の映像を表示する。

【 0 0 5 0 】

1 フレームが終了すれば、次のフレームが開始し、各画素 PX に印加されるデータ信号の極性が直前フレームでの極性と反対になるようにデータ駆動部 5 0 0 に印加される反転信号 RVS の状態が制御される (「フレーム反転」)。このとき、1 フレーム内でも反転信号 RVS の特性によって、一つのデータ線を通じて流れるデータ信号の極性が変わるか (例：行反転、点反転)、または一つの画素列に印加されるデータ信号の極性が互いに異なるとしてもよい (例：列反転、点反転)。 20

【 0 0 5 1 】

以下、図 3 乃至 6 を参照して、信号変換部 6 5 0 及びデータ駆動部 5 0 0 の構造及び動作についてより詳細に説明する。

【 0 0 5 2 】

図 3 は本発明の一実施形態による信号変換部 6 5 0 のブロック図であり、図 4 は図 1 に示した液晶表示装置のデータ駆動部の一例を示すブロック図である。図 5 は本発明の一実施形態による液晶表示装置の駆動信号を示すタイミング図であり、図 6 は図 5 に示した駆動信号のうちのデータ駆動部に印加される制御信号を拡大して示したタイミング図である。 30

【 0 0 5 3 】

本発明の一実施形態による信号変換部 6 5 0 は、入力バッファ 6 5 1 と、これに接続されているデータストリーム変換部 ($data\ stream\ changer$) 6 5 3 とを含み、データストリーム変換部 6 5 3 は、データイネーブル信号変換部 6 5 5 と、デュアルポートラム ($dual\ port\ ram$) を含む。

【 0 0 5 4 】

データ駆動部 5 0 0 は図 4 に示すデータ駆動 IC 5 4 0 を少なくとも一つ含み、データ駆動 IC 5 4 0 は、順次に接続されているシフトレジスタ 5 4 1、ラッチ 5 4 3、デジタル-アナログ変換器 5 4 5、及びバッファ 5 4 7 を含む。 40

【 0 0 5 5 】

本発明の一実施形態による液晶表示装置は、正規映像を第 1 画素行から下に一つの画素行ずつ順次に表示し、 M 個の画素行に正規映像を表示した以降にインパルス映像を所定時間内で k 番目画素行から N 個の画素行に同時に表示する。これを 1 フレームの間に繰り返せば、 N 個の画素行の幅を有するインパルス映像帯 ($band$) が回転するように見える。以下にこれについて詳細に説明し、 M 及び N が 3 である場合を一例として説明する。

【 0 0 5 6 】

信号制御部 6 0 0 の信号変換部 6 5 0 は、データイネーブル信号 DE と入力映像信号 R 、 G 、 B を処理して、変形されたデータイネーブル信号 MDE 及び映像データ DAT を送信する。

【 0 0 5 7 】

入力バッファ 6 5 1 は、一つの画素行に対応するデータ R、G、B 及びデータイネーブル信号 D E を記憶してデータ変換部 6 5 3 に送信し、一つの行のデータを記憶するラインメモリ (l i n e m e m o r y) でもよい。

【 0 0 5 8 】

データ変換部 6 5 3 の D E 変換部 6 5 5 は入力バッファ 6 5 1 からデータイネーブル信号 I D E を受信し、デュアルポートラム 6 5 7 は入力バッファ 6 5 1 から映像データ I D A T を受信する。

【 0 0 5 9 】

D E 変換部 6 5 5 は、一つの画素行に対応する入力データイネーブル信号 I D E の全体的な長さを分析し、特にブランク期間 T O の長さを把握した後にデータイネーブル信号 I D E 10
E を変形し、変形されたデータイネーブル信号 M D E をデュアルポート R A M 6 5 7 とデータ駆動 I C 5 4 0 に各々出力する。

デュアルポート R A M 6 5 7 は、書込み (w r i t e) と読出し (r e a d) を同時に行うことができる R A M であって、読出し及び書込み動作はデータイネーブル信号 D E によって行われる。このとき、書込みは入力データイネーブル信号 I D E によって行われ、読出しは変形されたデータイネーブル信号 M D E によって行われる。

【 0 0 6 0 】

これによって、映像データ D A T の一部は、変形されたデータイネーブル信号 M D E にしたがって入力映像データ I D A T に比べて所定時間ほど遅延する。例えば、時間 T t の間に二つの映像データ D 4、D 5 は、入力映像データ I D A T のブランク期間 T O より遅延したブランク期間 T B 1 を経た後に出力される。しかし、映像データ D 6 については遅延しないため、全体的な時間 T t は、入力データイネーブル信号 I D E と変形されたデータイネーブル信号 M D E において同一である。つまり、所定個数の画素行データを一群 (a p a c k e t) として遅延が行われる場合、その一群の最後のデータは遅延させずに、最後のデータの前のデータを遅延させることにより、ブランク期間 T B 1 を確保する。 20

【 0 0 6 1 】

また、前述したように、三個の画素行の映像データ D 4、D 5、D 6 とブランク期間を合わせた全時間 T t は、入力データイネーブル信号 I D E と出力データイネーブル信号 M D E において全て同一であるので、ブランク期間 T B 1 の長さは $3 T O - 2 T B 2$ と見ることが 30
できる。

【 0 0 6 2 】

このように出力された映像データ D A T はデータ駆動 I C 5 4 0 に入力される。

【 0 0 6 3 】

データ駆動 I C 5 4 0 のシフトレジスタ 5 4 1 は、水平同期開始信号 S T H の印加を受けると、データクロック信号 H C L K によって入力された映像データ D A T を順次にシフトさせてラッチ 5 4 3 に伝達する。データ駆動部 5 0 0 が複数のデータ駆動 I C 5 4 0 を含む場合、シフトレジスタ 5 4 1 は、シフトレジスタ 5 4 1 が保持している映像データ D A T を全てシフトさせた後に、シフトクロック信号 S C を隣接するデータ駆動 I C のシフトレジスタに送信する。 40

【 0 0 6 4 】

ラッチ 5 4 3 は第 1 及び第 2 ラッチ (図示せず) を含む。第 1 ラッチはシフトレジスタ 5 4 1 から映像データ D A T を順次に受信して記憶し、第 2 ラッチはロード信号 T P の立ち上がりエッジ (r i s i n g e d g e) で第 1 ラッチから映像データ D A T を同時に受信して記憶し、ロード信号 T P の立下りエッジ (f a l l i n g e d g e) でこれをデジタル-アナログ変換器 5 4 5 に送信する。

【 0 0 6 5 】

ここで、ロード信号 T P のハイ期間 T 4 は、ブランク期間 T B 2 と同一である時間 T 2 と、水平同期開始信号 S T H の立ち上がりエッジとロード信号 T P の立下りエッジの間の時間 T 3 とを含む。このとき、時間 T 4 は製品の仕様 (s p e c i f i c a t i o n) が許 50

す限り最小とすることが望ましい。これは、液晶表示装置がCRTとは異なって電子銃を使用することでないため、前述したブラंक期間TB2とロード信号TPのハイ期間T4を最小と設定しても差し支えない。但し、映像標準がCRTを基準とするので、これに対する最小限の仕様を合わせればよい。

【0066】

デジタル-アナログ変換器545は、ラッチ543からのデジタル映像データDATをアナログデータ電圧に変換してバッファ547に送信する。データ電圧は、極性信号POLによって共通電圧Vcomに対して正の値を有するか、または負の値を有する。

【0067】

バッファ547は、デジタル-アナログ変換器545からのデータ電圧を出力端子Y₁ - Y_rを通じて送信する。隣接する出力端子Y₁ - Y_rを通じて出力されるデータ電圧の極性は互いに異なる。出力端子Y₁ - Y_rは当該データ線D₁ - D_mに接続される。

【0068】

このとき、映像データDATは、ロード信号TPの立下りエッジで第2ラッチ、デジタル-アナログ変換器545及びバッファ547を経て、図示したようにデータ線D₁ - D_mに出力される。ここで、映像データD0は直前フレームの最後の画素行の映像データであるか、または任意の電圧でもよい。

【0069】

一方、データ駆動IC540は、ブラंक期間TB1、TB2内でロード信号TPがハイレベルになると、全ての出力端子Y₁ - Y_rを内部で互いに接続させる。全ての出力端子Y₁ - Y_rが接続されると、当該データ線に印加されていた正極性及び負極性のデータ線電圧Vdatが互いに接続され、全ての出力端子Y₁ - Y_rには正極性と負極性のデータ線電圧Vdatの中間値であるほぼ共通電圧Vcomのレベルを有する電荷共有電圧(charge sharing voltage)が、図5に示すように、かかるようになる。そして、このような状態でロード信号TPが再びローレベルになると、ラッチ543に記憶されている映像データDATをデータ電圧に変換して出力端子Y₁ - Y_rに送信する。

【0070】

このとき、特にブラंक期間TB3に生成される電荷共有電圧はインパルス電圧(impulsive voltage)として用いられ、このようなインパルス電圧は正規映像データDATが印加された後、ブラंक期間TB1で複数の画素行に印加される。つまり、1フレーム内で、ゲート駆動部400は、ゲートオン電圧Vonを順次に生成して正規映像データDATを画素PXに印加する一方、複数のゲートオン電圧Vonを同時に生成してインパルス電圧を画素PXに印加する。これについて図7と先の図5及び図6を参照してより詳細に説明する。

【0071】

図7は本発明の一実施形態によるゲート駆動部400のタイミング図である。

【0072】

図7には、前述したゲート制御信号CONT、つまり、走査開始を指示する走査開始信号STV、ゲートオン電圧Vonの出力時期を制御する少なくとも一つのゲートクロック信号CPV、及びゲートオン電圧Vonの持続時間を限定する少なくとも一つの出力イネーブル信号OEN、OEI、そしてゲート線G₁ - G_nのうちの第1乃至第6ゲート線G₁ - G₆が示されており、各部分の突出部はゲートオン電圧Vonを示す。

【0073】

ゲートクロック信号CPVは、周期が1Hである2つと、2Hである1つが繰り返され、ゲートオン電圧Vonはゲートクロック信号CPVに合せて生成される。

【0074】

走査開始信号STVは、正規映像データ用信号P1とインパルスデータ用信号P2とを合せて全て2つがゲート駆動部400に入力される。特に、インパルスデータ用P2信号は3つのゲート線にゲートオン信号Vonが一度に出力されるように十分な長さを持たせる

10

20

30

40

50

ようにする。例えば、図 7 にはインパルスデータ用信号 P 2 のハイ期間の長さは 4 H を有し、4 つの画素行の映像データを一群として遅延させる場合には 5 H の長さを有する。

【 0 0 7 5 】

正規映像データ用出力イネーブル信号 O E N とインパルス電圧用出力イネーブル信号 O E I は、各々正規映像データ用ゲートオン電圧 V o n とインパルス電圧用ゲートオン電圧 V o n の持続時間を限定する。この時、図 7 に示すように、2 つの信号 O E N 、O E I がハイであるときには 2 つのゲートオン電圧 V o n は各々ローを維持し、反対に 2 つの信号 O E N 、O E I がローであるときには 2 つのゲートオン電圧 V o n は各々ハイを維持する。

【 0 0 7 6 】

これによって、ゲート駆動部 4 0 0 においてハイ期間の幅が 4 H であるゲートオン電圧 V o n が出力されても、出力イネーブル信号 O E I によってその幅だけ減少したゲートオン電圧 V o n が出力される。このように生成されたインパルス電圧用ゲートオン電圧 V o n が図 5 に示したゲート線 $G_k - G_{k+2}$ に印加されれば、インパルス電圧 I が当該画素 Q に印加される。同様に、図 7 における第 3 及び第 6 ゲート線 G_3 、 G_6 に印加された正規映像データ用ゲートオン電圧 V o n も、出力イネーブル信号 O E N によってハイ期間の幅が限定されて出力されたことを示す。

【 0 0 7 7 】

従って、ゲート駆動部 4 0 0 が k 番目ゲート線 G_k から $(k+2)$ 番目ゲート線 G_{k+2} にゲートオン電圧 V o n を同時に印加してこれらに接続されているスイッチング素子 Q をターンオンさせれば、電荷共有電圧が当該画素 P X に印加されてインパルス映像を表示する。このようなインパルス映像は、液晶表示装置がノーマリーブラック (n o r m a l l y b l a c k) である場合には横線の黒帯 (b l a c k b a n d) として現れる。

【 0 0 7 8 】

まとめれば、信号制御部 6 0 0 は所定数の画素行の映像データを一群とし、その群の最後のデータを除いた残り映像データを遅延させて十分なブランク区間 T B 1 を確保し、データ駆動部 5 0 0 はこのブランク区間 T B 1 に電荷共有電圧をインパルス電圧として所定数の画素行に印加してインパルス映像を表示する。

【 0 0 7 9 】

以上、本発明の望ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されるわけではなく、添付した請求範囲で定義している本発明の基本概念を利用した当業者の種々の変形及び改良形態も本発明の権利範囲に属するものである。

【図面の簡単な説明】

【 0 0 8 0 】

【図 1】本発明の一実施形態による液晶表示装置のブロック図である。

【図 2】本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【図 3】図 1 に示した液晶表示装置の信号変換部を示したブロック図である。

【図 4】図 1 に示した液晶表示装置のデータ駆動部の一例を示したブロック図である。

【図 5】本発明の一実施形態による液晶表示装置の駆動信号を示したタイミング図である。

【図 6】図 5 に示した駆動信号のうちのデータ駆動部に印加される制御信号を拡大して示したタイミング図である。

【図 7】図 5 に示したゲート信号とゲート駆動部に入力される制御信号を示したタイミング図である。

【符号の説明】

【 0 0 8 1 】

3 液晶層

1 0 0 下部表示板

1 9 1 画素電極

2 0 0 上部表示板

10

20

30

40

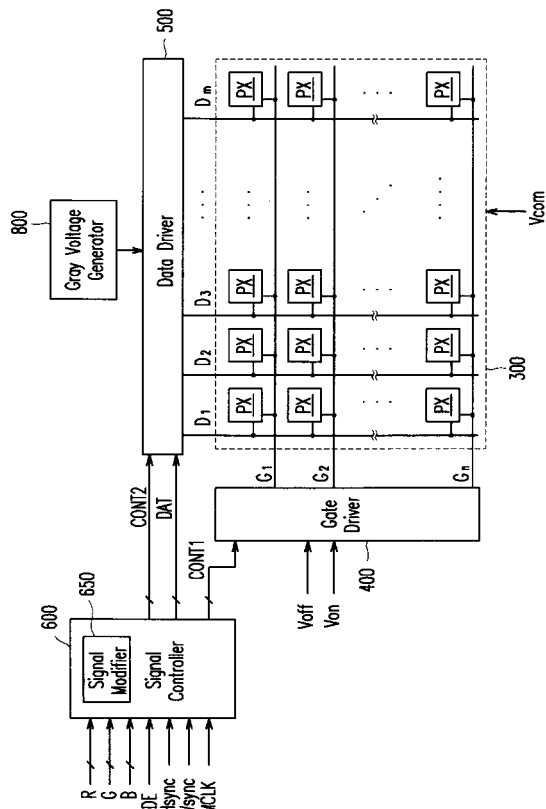
50

2 3 0 カラーフィルタ
2 7 0 共通電極
3 0 0 液晶表示パネルアッセンブリ
4 0 0 ゲート駆動部
5 0 0 データ駆動部
5 4 0 データ駆動 I C
6 0 0 信号制御部
6 5 0 信号変換部
6 5 1 入力バッファ
6 5 3 データ変換部
6 5 5 D E 変換部
6 5 7 デュアルポートラム
8 0 0 階調電圧生成部
R、G、B 入力映像データ
D E データイネーブル信号
I D E 入力データイネーブル信号
M D E 変形データイネーブル信号
M C L K メインクロック
H s y n c 水平同期信号
V s y n c 垂直同期信号
C O N T 1 ゲート制御信号
C O N T 2 データ制御信号
D A T デジタル映像信号
C l c 液晶キャパシタ
C s t ストレージキャパシタ
Q スイッチング素子

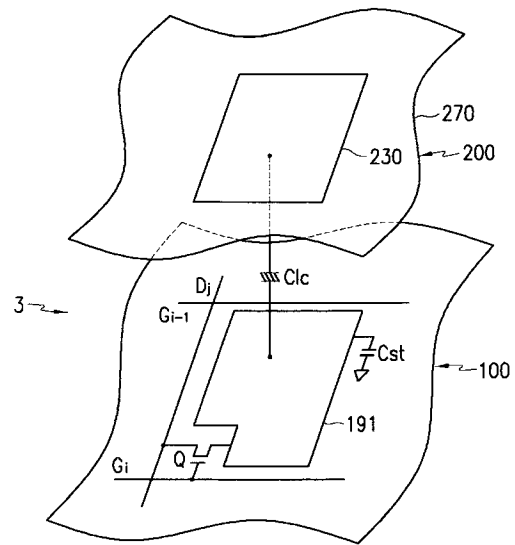
10

20

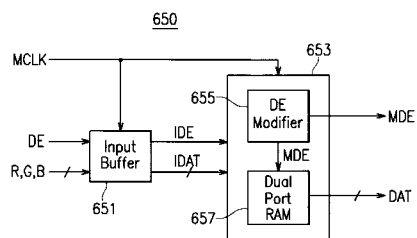
【図 1】



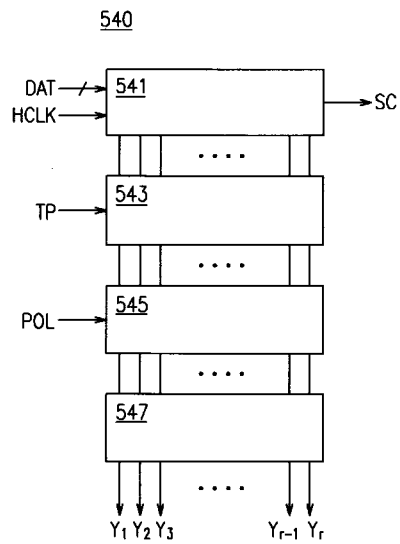
【図 2】



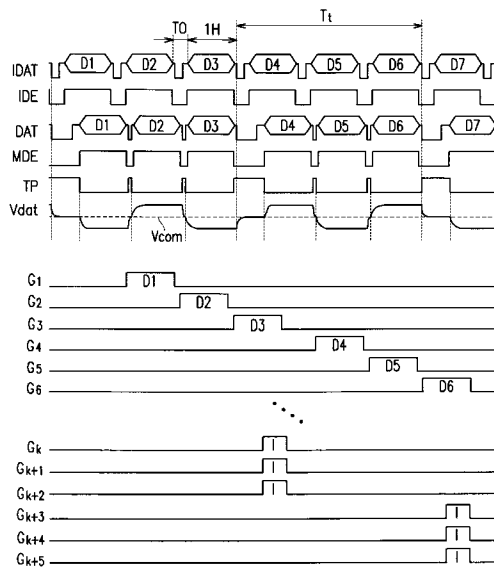
【図 3】



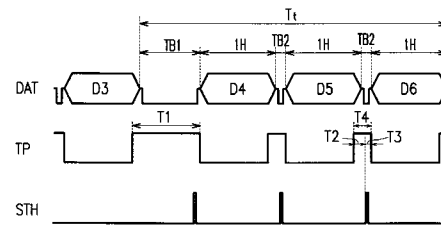
【図 4】



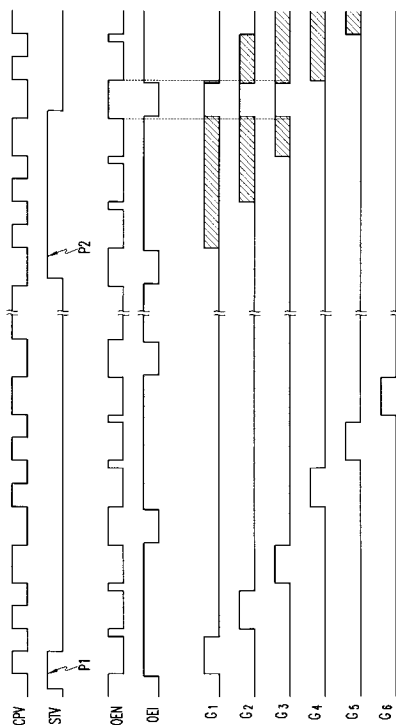
【図 5】



【図 6】



【図 7】



 フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G	3/20	6 3 3 D
G 0 9 G	3/20	6 3 3 P
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 2 2 A
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 A
G 0 9 G	3/20	6 1 2 T
G 0 9 G	3/20	6 1 2 R
G 0 2 F	1/133	5 0 5
G 0 2 F	1/133	5 7 0
G 0 2 F	1/133	5 5 0

F ターム(参考) 2H093 NA16 NA43 NB07 NB11 NB16 NC03 NC13 NC22 NC29 NC34
 ND12 ND34
 5C006 AC11 AC21 AC22 AC24 AF42 AF59 AF71 AF73 BB16 BC03
 BC06 BC16 BF01 FA32 FA34
 5C080 AA10 BB05 DD01 EE19 EE29 JJ02 JJ04 KK02 KK43

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2007156462A5	公开(公告)日	2010-01-14
申请号	JP2006315103	申请日	2006-11-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	吳在鎬 金太星		
发明人	吳 在 鎬 金 太 星		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3611 G09G3/3614 G09G3/3648 G09G2310/0251 G09G2310/062 G09G2330/023		
FI分类号	G09G3/36 G09G3/20.611.C G09G3/20.660.V G09G3/20.621.A G09G3/20.612.L G09G3/20.633.D G09G3/20.633.P G09G3/20.631.V G09G3/20.622.A G09G3/20.622.D G09G3/20.623.D G09G3/20.623.A G09G3/20.612.T G09G3/20.612.R G02F1/133.505 G02F1/133.570 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NB07 2H093/NB11 2H093/NB16 2H093/NC03 2H093/NC13 2H093/NC22 2H093/NC29 2H093/NC34 2H093/ND12 2H093/ND34 5C006/AC11 5C006/AC21 5C006/AC22 5C006/AC24 5C006/AF42 5C006/AF59 5C006/AF71 5C006/AF73 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC16 5C006/BF01 5C006/FA32 5C006/FA34 5C080/AA10 5C080/BB05 5C080/DD01 5C080/EE19 5C080/EE29 5C080/JJ02 5C080/JJ04 5C080/KK02 5C080/KK43 2H193/ZA04 2H193/ZF03		
优先权	1020050117582 2005-12-05 KR		
其他公开文献	JP2007156462A JP5095183B2		

摘要(译)

本发明提供一种液晶显示装置及其驱动方法，能够在不增加驱动频率的情况下减少模糊现象。 — 本发明涉及一种液晶显示装置及其驱动方法，所述液晶显示装置包括：多个排列成矩阵的，数据线和连接到像素的选通线的像素中，从外部的第一图像数据以及信号控制单元，其处理并发送多个控制信号，并连接到信号控制单元，多个信号控制单元每一个包括至少两个像素行的第一图像数据的数据驱动器如果相继的过程划分为一组，预先确定为最后一个延迟的剩余视频数据不包括视频数据时，脉冲电压的电荷共享电压的数据驱动器，以延迟每个组的第一图像数据的时间显示脉冲图像的像素行数。 点域5