

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-65076

(P2007-65076A)

(43) 公開日 平成19年3月15日(2007.3.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/133 (2006.01)	G02F 1/133 550	2H093
G02F 1/1345 (2006.01)	G02F 1/133 580	5C006
G02F 1/1368 (2006.01)	G02F 1/1345	5C080
G09G 3/20 (2006.01)	G02F 1/1368	
審査請求 有 請求項の数 11 O L (全 32 頁) 最終頁に続く		

(21) 出願番号 特願2005-248104 (P2005-248104)

(22) 出願日 平成17年8月29日 (2005.8.29)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100094053

弁理士 佐藤 隆久

(72) 発明者 板倉 直之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 深野 智之

神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

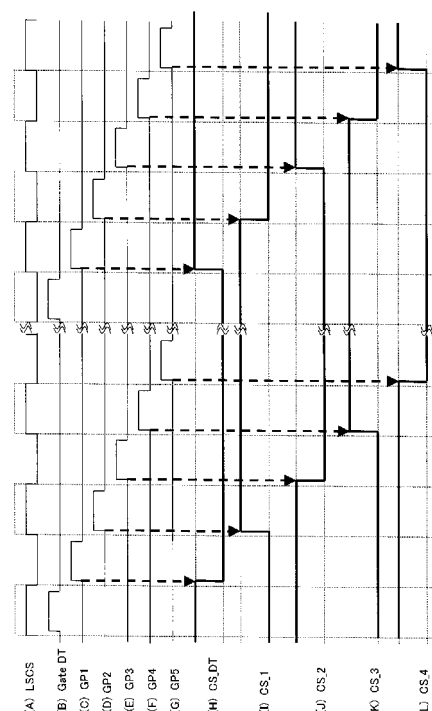
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】輝度を最適化(補正)することが可能な表示装置を提供する。

【解決手段】ゲートライン105-1~105-mと、画素回路の行配列に対応するように配置された複数の容量配線106-1~106-mと、ゲートラインおよび容量配線を選択的に駆動する垂直駆動回路102と、小振幅のコモン電圧信号を生成する生成回路104とを有し、各画素回路は、第1画素電極および第2画素電極を有する液晶セルLC201と、第1電極および第2電極を有する保持容量CS201とを含み、液晶セルの第1画素電極と保持容量の第1電極とTFTの一端子が接続され、保持容量の第2電極が対応する行に配列された容量配線に接続され、液晶セルの第2画素電極にはコモン電圧信号が印加され、さらに画素部の画素電位をモニタするモニタ部108と、モニタ回路のモニタ結果に基づいて上記容量配線を駆動する信号またはリファレンスドライバを補正する補正回路109とを有する。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

スイッチング素子を通して信号ラインを伝搬される映像用画素データを書き込む複数の画素回路がマトリクス状に配置された画素部と、

上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、

上記画素回路の行配列に対応するように配置された複数の容量配線と、

上記複数の走査ライン、および上記複数の容量配線を選択的に駆動する駆動回路と、

コモン電圧信号を生成する生成回路と、

上記駆動回路の容量配線を駆動する信号を補正する補正回路システムと、を有し、

10

上記画素部に配列された各画素回路は、

第 1 画素電極および第 2 画素電極を有する表示エレメントと、

第 1 電極および第 2 電極を有する保持容量と、を含み、

上記表示エレメント画素セルの第 1 画素電極と上記保持容量の第 1 電極と上記スイッチング素子の一端子が接続され、

上記保持容量の第 2 電極が対応する行に配列された上記容量配線に接続され、

上記表示エレメントの第 2 画素電極には上記コモン電圧信号が印加され、

上記補正回路システムは、

上記画素部の画素電位をモニタするモニタ部と、当該モニタ回路のモニタ結果に基づいて上記容量配線を駆動する信号を補正する補正回路と、を有する

20

表示装置。

【請求項 2】

上記コモン電圧信号は所定の周期でレベルが切り替わる小振幅の信号である

請求項 1 記載の表示装置。

【請求項 3】

上記補正回路システムは、上記モニタ部のモニタ画素電位を選択的に上記補正回路に出力するスイッチを有する

請求項 2 記載の表示装置。

【請求項 4】

上記モニタ部と上記補正回路の入力部は近接配置されている

30

請求項 2 記載の表示装置。

【請求項 5】

上記補正回路システムは、上記モニタ部のモニタ画素電位を選択的に上記補正回路に出力するスイッチを有する

請求項 4 記載の表示装置。

【請求項 6】

上記補正回路システムは、複数のモニタ画素を含み、当該複数のモニタ画素の第 1 電極が共通に接続され、共通接続ラインが上記補正回路との接続ラインに接続されている

請求項 2 記載の表示装置。

【請求項 7】

40

上記補正回路システムは、上記モニタ部のモニタ画素電位を選択的に上記補正回路に出力するスイッチを有する

請求項 6 記載の表示装置。

【請求項 8】

上記駆動回路は、選択された行の走査ラインを駆動して所望の画素回路に画素データを書き込ませた後、同一の行の上記容量配線を駆動する

請求項 2 記載の表示装置。

【請求項 9】

上記駆動回路は、上記容量配線を駆動する信号は、第 1 レベルと当該第 1 レベルより低い第 2 レベルとのいずれかを選択して対応する容量配線に印加する

50

請求項 7 記載の表示装置。

【請求項 10】

上記画素回路の表示エレメントが液晶セルである

請求項 2 記載の表示装置。

【請求項 11】

スイッチング素子を通して信号ラインを伝搬される映像用画素データを書き込む複数の画素回路がマトリクス状に配置された画素部と、

上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、

上記画素回路の行配列に対応するように配置された複数の容量配線と、

10

上記複数の走査ライン、および上記複数の容量配線を選択的に駆動する駆動回路と、

コモン電圧信号を生成する生成回路と、

信号ラインに伝搬させる映像用画素データを生成するリファレンスドライバと、を有し

、

上記画素部に配列された各画素回路は、

第 1 画素電極および第 2 画素電極を有する表示エレメントと、

第 1 電極および第 2 電極を有する保持容量と、を含み、

上記表示エレメント画素セルの第 1 画素電極と上記保持容量の第 1 電極と上記スイッチング素子の一端子が接続され、

上記保持容量の第 2 電極が対応する行に配列された上記容量配線に接続され、

20

上記表示エレメントの第 2 画素電極には上記コモン電圧信号が印加され、

上記補正回路システムは、

上記画素部の画素電位をモニタするモニタ部と、当該モニタ回路のモニタ結果に基づいて上記映像用画素データを生成するリファレンスドライバ内の信号電圧を補正する補正回路と、を有する

表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、画素の表示エレメント（電気光学素子）を表示領域にマトリクス状に配列したアクティブマトリクス型の表示装置に関するものである。

【背景技術】

【0002】

表示装置、たとえば液晶セルを画素の表示エレメント（電気光学素子）に用いた液晶表示装置は、薄型で低消費電力であるという特徴をいかして、たとえば携帯情報端末（Personal Digital Assistant：PDA）、携帯電話、デジタルカメラ、ビデオカメラ、パーソナルコンピュータ用表示装置等、幅広い電子機器に適用されている。

【0003】

図 1 は、液晶表示装置の構成例を示すブロック図である（たとえば特許文献 1，2 参照）。

40

液晶表示装置 1 は、図 1 に示すように、有効画素部 2、垂直駆動回路（VD RV）3、および水平駆動回路（HD RV）4 を有している。

【0004】

有効画素部 2 は、複数の画素回路 21 が、マトリクス状に配列されている。

各画素回路 21 は、スイッチング素子として薄膜トランジスタ（TFT；thin film transistor）21 と、TFT 21 のドレイン電極（またはソース電極）に画素電極が接続された液晶セル LC 21 と、TFT 21 のドレイン電極に一方の電極が接続された保持容量 Cs 21 により構成されている。

これら画素回路 21 の各々に対して、走査ライン（ゲートライン）5 - 1 ~ 5 - m が各

50

行ごとにその画素配列方向に沿って配線され信号ライン 6 - 1 ~ 6 - n が各列ごとにその画素配列方向に沿って配線されている。

そして、各画素回路 2 1 の T F T 2 1 のゲート電極は、各行単位で同一の走査ライン 5 - 1 ~ 5 - m にそれぞれ接続されている。また、各画素回路 2 1 のソース電極（または、ドレイン電極）は、各列単位で同一の信号ライン 6 - 1 ~ 6 - n に各々接続されている。

【 0 0 0 5 】

さらに、一般的な液晶表示装置においては、保持容量配線 C s を独立に配線し、この保持容量配線と C s と液晶セル L C 2 1 の第 1 電極との間に保持容量 C s 2 1 を形成するが、保持容量配線 C s は、コモン電圧 V C O M と同相パルスが入力され、保持容量として用いる。一般的な液晶表示装置においては、有効画素部 2 におけるすべての画素回路 2 1 の保持容量 C s 2 1 は、一つの保持容量配線 C s に共通に接続されている。 10

そして、各画素回路 2 1 の液晶セル L C 2 1 の第 2 電極は、たとえば 1 水平走査期間 (1 H) 毎に極性が反転するコモン電圧 V c o m の供給ライン 7 に共通に接続されている。

【 0 0 0 6 】

各走査ライン 5 - 1 ~ 5 - m は、垂直駆動回路 3 により駆動され、各信号ライン 6 - 1 ~ 6 - n は水平駆動回路 4 により駆動される。

【 0 0 0 7 】

垂直駆動回路 3 は、1 フィールド期間ごとに垂直方向（行方向）に走査して走査ライン 5 - 1 ~ 5 - m に接続された各画素回路 2 1 を行単位で順次選択する処理を行う。

すなわち、垂直駆動回路 3 から走査ライン 5 - 1 に対して走査パルス G P 1 が与えられたときには第 1 行目の各列の画素が選択され、走査ライン 5 - 2 に対して走査パルス G P 2 が与えられたときには第 2 行目の各列の画素が選択される。以下同様にして、走査ライン 5 - 3 , ... , 5 - m に対して走査パルス G P 3 , ... , G P m が順に与えられる。 20

【 0 0 0 8 】

図 2 (A) ~ (E) に、図 1 に示す一般的な液晶表示装置のいわゆる 1 H V c o m 反転駆動方式におけるタイミングチャートを示す。

【 0 0 0 9 】

また、他の駆動方式として、保持容量配線 C s からのカップリングを利用して液晶への印加電圧を変調させる容量結合駆動方式が知られている（たとえば特許文献 3 参照）。

【特許文献 1】特開平 1 1 - 1 1 9 7 4 6 号公報 30

【特許文献 2】特開 2 0 0 0 - 2 9 8 4 5 9 号公報

【特許文献 3】特開平 2 - 1 5 7 8 1 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

上述した容量結合駆動方式は、1 H V c o m 反転駆動方式に比べ、いわゆるオーバドライブによる液晶の応答速度を改善でき、また、V c o m 周波数帯域で発生するオーディオノイズを低減でき、超高精細パネルにおけるコントラストの補償が行えるなどの特徴がある。

【 0 0 1 1 】 40

ところが、特許文献 3 に記載されたこの容量結合駆動奉仕を、図 3 に示すような、印加電圧に対する液晶誘電率 ϵ の特性を有する液晶材料（たとえば、ノーマリーホワイト）を用いて液晶表示装置に採用した場合、実効画素電位を考慮した際に、製造時の液晶ギャップ変動 / ゲート酸化膜厚変動、または温度環境変化時の液晶の比誘電率変動が起こった際の輝度変化が大きいという不利益がある。

また、黒輝度を最適化しようとした際、白輝度が黒くなる（沈んでしまう）という不利益がある。

【 0 0 1 2 】

（数 1）

$$\Delta V_{p i \times 1} = V_{s i g} + (C_{c s} / C_{c s} + C_{l c}) * \Delta V_{c s} - V_{c o m} \quad \dots (50$$

1)

【 0 0 1 3 】

式 (1) において、 ΔV_{pix} は実効画素電位、 V_{sig} は映像信号電圧、 C_{cs} は保持容量、 C_{lc} は液晶容量を、 ΔV_{cs} は信号 CS の電位を、 V_{com} はコモン電圧をそれぞれ示している。

上述したように、黒輝度を最適化しようとした際、白輝度が沈んでしまうのは、上記式 (1) の $(C_{cs} / C_{cs} + C_{lc}) * \Delta V_{cs}$ の項にあり、液晶誘電率の非線形性が実効画素電位に影響を与えるためである。

【 0 0 1 4 】

本発明の目的は、輝度を最適化 (補正) することが可能な液晶装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 5 】

本発明の第 1 の観点の表示装置は、スイッチング素子を通して信号ラインを伝搬される映像用画素データを書き込む複数の画素回路がマトリクス状に配置された画素部と、上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、上記画素回路の行配列に対応するように配置された複数の容量配線と、上記複数の走査ライン、および上記複数の容量配線を選択的に駆動する駆動回路と、コモン電圧信号を生成する生成回路と、上記駆動回路の容量配線を駆動する信号を補正する補正回路システムと、を有し、上記画素部に配列された各画素回路は、第 1 画素電極および第 2 画素電極を有する表示エレメントと、第 1 電極および第 2 電極を有する保持容量と、を含み、上記表示エレメント画素セルの第 1 画素電極と上記保持容量の第 1 電極と上記スイッチング素子の一端子が接続され、上記保持容量の第 2 電極が対応する行に配列された上記容量配線に接続され、上記表示エレメントの第 2 画素電極には上記コモン電圧信号が印加され、上記補正回路システムは、上記画素部の画素電位をモニタするモニタ部と、当該モニタ回路のモニタ結果に基づいて上記容量配線を駆動する信号を補正する補正回路と、を有する。

【 0 0 1 6 】

好適には、上記コモン電圧信号は所定の周期でレベルが切り替わる小振幅の信号である。

【 0 0 1 7 】

好適には、上記補正回路システムは、上記モニタ部のモニタ画素電位を選択的に上記補正回路に出力するスイッチを有する。

【 0 0 1 8 】

好適には、上記モニタ部と上記補正回路の入力部は近接配置されている。

また、上記補正回路システムは、上記モニタ部のモニタ画素電位を選択的に上記補正回路に出力するスイッチを有する。

【 0 0 1 9 】

好適には、上記補正回路システムは、複数のモニタ画素を含み、当該複数のモニタ画素の第 1 電極が共通に接続され、共通接続ラインが上記補正回路との接続ラインに接続されている。

また、上記補正回路システムは、上記モニタ部のモニタ画素電位を選択的に上記補正回路に出力するスイッチを有する。

【 0 0 2 0 】

好適には、上記駆動回路は、選択された行の走査ラインを駆動して所望の画素回路に画素データを書き込ませた後、同一の行の上記容量配線を駆動する。

【 0 0 2 1 】

好適には、上記駆動回路は、上記容量配線を駆動する信号は、第 1 レベルと当該第 1 レベルより低い第 2 レベルとのいずれかを選択して対応する容量配線に印加する。

【 0 0 2 2 】

10

20

30

40

50

好適には、上記画素回路の表示エレメントが液晶セルである。

【0023】

本発明の第2の観点の表示装置は、スイッチング素子を通して信号ラインを伝搬される映像用画素データを書き込む複数の画素回路がマトリクス状に配置された画素部と、上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、上記画素回路の行配列に対応するように配置された複数の容量配線と、上記複数の走査ライン、および上記複数の容量配線を選択的に駆動する駆動回路と、コモン電圧信号を生成する生成回路と、信号ラインに伝搬させる映像用画素データを生成するリファレンスドライバと、を有し、上記画素部に配列された各画素回路は、第1画素電極および第2画素電極を有する表示エレメントと、第1電極および第2電極を有する保持容量と、を含み、上記表示エレメント画素セルの第1画素電極と上記保持容量の第1電極と上記スイッチング素子の一端子が接続され、上記保持容量の第2電極が対応する行に配列された上記容量配線に接続され、上記表示エレメントの第2画素電極には上記コモン電圧信号が印加され、上記補正回路システムは、上記画素部の画素電位をモニタするモニタ部と、当該モニタ回路のモニタ結果に基づいて上記映像用画素データを生成するリファレンスドライバ内の信号電圧を補正する補正回路と、を有する。

10

【発明の効果】

【0024】

本発明によれば、輝度を最適化（補正）することができる利点がある。

【発明を実施するための最良の形態】

20

【0025】

以下、本発明の実施の形態について図面に関連付けて詳細に説明する。

【0026】

図4は、たとえば液晶セルを画素の表示エレメント（電気光学素子）として用いた本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す図である。

【0027】

本表示装置100は、図4に示すように、有効画素部101、垂直駆動回路（V/CSDRV）102、水平駆動回路（HDRV）103、およびコモン電圧生成回路（VcomGen）104、ゲートライン（走査ライン）105-1～105-m、保持容量配線（以下、ストレージラインという）106-1～106-m、信号ライン107-1～107-n、たとえばダミー画素部（モニタ部）からなる検出エリア108、および補正回路109を主構成要素として有している。

30

【0028】

有効画素部101は、図5に示すように、複数の画素回路PXL Cが、 $m \times n$ のマトリクス状に配列されている。具体的には、全体としてノーマル表示が可能なように、たとえば $320 \times RGB \times 320$ 個の画素回路が配列されている。

なお、図5においては、図面の簡単化のために、 4×4 のマトリクス配列として示している。

【0029】

各画素回路PXL Cは、図5に示すように、スイッチング素子としてTFT（薄膜トランジスタ；thin film transistor）201と、TFT201のドレイン電極（またはソース電極）に第1画素電極が接続された液晶セルLC201と、TFT201のドレイン電極に第1電極が接続された保持容量Cs201により構成されている。

40

なお、TFT201のドレインと、液晶セルLC201の第1画素電極と、保持容量Cs201の第1電極との接続点によりノードND201が形成されている。

【0030】

これら画素回路PXL Cの各々に対して、ゲートライン（走査ライン）105-1～105-mおよびストレージライン106-1～106-mが各行ごとにその画素配列方向に沿って配線され、信号ライン107-1～107-nが各列ごとにその画素配列方向に沿って配線されている。

50

【0031】

そして、各画素回路PXL CのTF T 2 0 1のゲート電極は、各行単位で同一のゲートライン105 - 1 ~ 105 - mにそれぞれ接続されている。

各画素回路PXL Cの保持容量Csの第2電極は、各行単位で同一のストレージライン106 - 1 ~ 106 - mにそれぞれ接続されている。

また、各画素回路PXL Cのソース電極（または、ドレイン電極）は、各列単位で同一の信号ライン107 - 1 ~ 107 - nに各々接続されている。

そして、各画素回路PXL Cの液晶セルLC 2 0 1の第2画素電極は、1水平走査期間（1H）に極性が反転する小振幅のコモン電圧VCOMの図示しない供給ラインに共通に接続されている。

10

【0032】

各ゲートライン105 - 1 ~ 105 - mは、垂直駆動回路102のゲートドライバにより駆動され、各ストレージライン106 - 1 ~ 106 - mは垂直駆動回路102の容量ドライバ（CSドライバ）により駆動され、各信号ライン107 - 1 ~ 107 - nは水平駆動回路103により駆動される。

【0033】

また、有効画素部101には、1行分あるいは1画素を含むモニタ回路としてのダミー画素部108が形成されている。ダミー画素部108は、通常の有効画素と同様の画素構成を有し、たとえば有効画素部101に1行分余分に形成する、あるいは有効画素部101の最下位に位置するm行目を割り当てる等の態様が可能である。

20

このダミー画素部108は、画素回路PXL Cの接続ノードND 2 0 1の電位を検出して検出回路109に出力する。

ダミー画素部108は、以下の理由により設けられている。

駆動温度の変化による液晶の誘電率の変動、量産時のバラツキによる保持容量CS 2 0 1を形成している絶縁膜の膜厚の変動および液晶セルギャップの変動により、液晶印加電圧が変動してしまう。この変動分を電氣的に検知するためにダミー画素部108は設けられている。

後述するように、ダミー画素部108から検出した画素電位が任意の電位になるように、CSドライバから出力するストレージ信号CSを補正する。

【0034】

30

垂直駆動回路102は、基本的には、1フィールド期間ごとに垂直方向（行方向）に走査してゲートライン105 - 1 ~ 105 - mに接続された各画素回路PXL Cを1行単位で順次選択する処理を行う。

すなわち、垂直駆動回路102は、ゲートライン105 - 1に対してゲートパルスGP 1を与えて第1行目の各列の画素が選択し、ゲートライン105 - 2に対してゲートパルスGP 2を与えて第2行目の各列の画素を選択する。以下同様にして、ゲートライン105 - 3, ..., 105 - mに対してゲートパルスGP 3, ..., GP mを順に与える。

【0035】

さらに、垂直駆動回路102は、各ゲートライン毎に対応して独立に配線された各ストレージライン106 - 1 ~ 106 - m毎に第1レベル（CSH、たとえば3V ~ 4V）または第2レベル（CSL、たとえば0V）のいずれかに選択した容量信号（以下、ストレージ信号という）CS 1 ~ CS mを順に与える。

40

【0036】

図6（A）～（L）は、本実施形態の垂直駆動回路のゲートラインとストレージラインの駆動例を示すタイミングチャートである。

【0037】

垂直駆動回路102は、たとえば第1行目から順番にゲートライン105 - 1 ~ 105 - m、ストレージライン106 - 1 ~ 106 - mを駆動していくが、ゲートパルスでのゲートラインを駆動した後（信号書き込み後）、次のゲートラインのゲートパルスの立ち上がりのタイミングで、ストレージライン106 - 1 ~ 106 - mに印加するストレージ

50

信号 $CS_1 \sim CS_m$ のレベルを、以下のように、第 1 レベル CS_H と第 2 レベル CS_L を交互に選択して印加する。

たとえば、垂直駆動回路 102 は、第 1 行目のストレージライン 106 - 1 に第 1 レベル CS_H を選択してストレージ信号 CS_1 を印加した場合、第 2 行目のストレージライン 106 - 2 には第 2 レベル CS_L を選択してストレージ信号 CS_2 を印加し、第 3 行目のストレージライン 106 - 3 には第 1 レベル CS_H を選択してストレージ信号 CS_3 を印加し、第 4 行目のストレージライン 106 - 4 には第 2 レベル CS_L を選択してストレージ信号 CS_4 を印加し、以下同様にして交互に第 1 レベル CS_H と第 2 レベル CS_L を選択してストレージ信号 $CS_5 \sim CS_m$ をストレージライン 106 - 5 $\sim$ 106 - m に印加する。

10

また、第 1 行目のストレージライン 106 - 1 に第 2 レベル CS_L を選択してストレージ信号 CS_1 を印加した場合、第 2 行目のストレージライン 106 - 2 には第 1 レベル CS_H を選択してストレージ信号 CS_2 を印加し、第 3 行目のストレージライン 106 - 3 には第 2 レベル CS_L を選択してストレージ信号 CS_3 を印加し、第 4 行目のストレージライン 106 - 4 には第 1 レベル CS_H を選択してストレージ信号 CS_4 を印加し、以下同様にして交互に第 2 レベル CS_L と第 1 レベル CS_H を選択してストレージ信号 $CS_5 \sim CS_m$ をストレージライン 106 - 5 $\sim$ 106 - m に印加する。

【0038】

本実施形態においては、ゲートパルス GP の立下り後（信号ラインからの書き込み後）、ストレージライン 106 - 1 $\sim$ 106 - m を駆動し、保持容量 CS_{201} を介してカップリングさせることにより画素電位（ノード ND_{201} の電位）を変化させて、液晶印加電圧を変調させている。

20

また、後述するように、 CS ドライバ 1020 によるストレージ信号 CS は、検出回路 109 により、ダミー画素部 108 から検出した画素電位が任意の電位になるように補正される。

【0039】

図 5 には、垂直駆動回路 102 の CS ドライバ 1020 のレベル選択出力部の一例を模式的に示している。

CS ドライバ 1020 は、可変電源部 1021 と、電源部 1021 の正極側に接続された第 1 レベル供給ライン 1022 と、電源部 1021 の負極側に接続された第 2 レベル供給ライン 1023 と、第 1 レベル供給ライン 1022 または第 2 レベル供給ライン 1023 とを画素配列の各行毎に配線したストレージライン 106 - 1 $\sim$ 106 - m とを選択的に接続するスイッチ $SW_1 \sim SW_m$ を含んで構成されている。

30

【0040】

また、図 5 中に ΔV_{cs} は第 1 レベル CS_H と第 2 レベル CS_L とのレベル差（電位差）を示している。

後で詳述するように、この ΔV_{cs} と小振幅の交流のコモン電圧 V_{com} の振幅 ΔV_{com} は、黒輝度および白輝度とともに最適化できるような値に選定される。

たとえば後述するように、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が 0.5 V 以下の値となるように ΔV_{cs} と ΔV_{com} の値が決定される。

40

【0041】

垂直駆動回路 102 は、垂直シフトレジスタ群を含み、画素配列に対応して各行毎に配列されたゲートラインが接続されたゲートバッファに対応して設けられた複数のシフトレジスタ VS_R を有する。各シフトレジスタ VS_R は、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルス VST 、垂直走査の基準となる垂直クロック VCK （または互いに逆相の垂直クロック VCK 、 $VCKX$ ）が供給される。

たとえばシフトレジスタは、垂直スタートパルス VST を、垂直クロック VCK に同期にてシフト動作を行い、対応するゲートバッファに供給する。

また、垂直スタートパルス VST は、有効画素部 101 の上部側から、または下部側か

50

ら伝搬され、各シフトレジスタに順番にシフトインされていく。

したがって、基本的には、シフトレジスタVSRにより供給された垂直クロックにより各ゲートバッファを通して各ゲートラインが順番に駆動されていく。

【0042】

水平駆動回路103は、水平走査の開始を指令する水平スタートパルスHST、水平走査の基準となる水平クロックHCK（または互いに逆相の垂直クロックHCK、HCKX）に基づいて、入力される映像信号Vsigを1H（Hは水平走査期間）毎に順次サンプリングし、信号ライン107-1～107-nを介して垂直駆動回路102によって行単位で選択される各画素回路PXLに対して書き込む処理を行う。

【0043】

コモン電圧生成回路104は、1水平走査期間（1H）毎に極性が反転する小振幅のコモン電圧VCOMを生成して図示しない供給ラインを通して有効画素部101の全画素回路PXLの液晶セルLC201の第2画素電極に共通に供給する。

コモン電圧Vcomの振幅の振幅ΔVcomの値は、ストレージ信号CSの第1レベルとCSHと第2レベルCSLとの差ΔVcsとともに、黒輝度および白輝度をともに最適化できるような値に選定される。

たとえば後述するように、白表示のときに液晶に印加される実効画素電位ΔVpix_Wが0.5V以下の値となるようにΔVcsとΔVcomの値が決定される。

【0044】

図4においては、コモン電圧生成回路104を液晶パネル内に設ける構成を例として示しているが、パネル外に配置して、パネル外からコモン電圧Vcomを供給するように構成することも可能である。

【0045】

図7は、本実施形態に係るコモン電圧生成回路の構成例を示す回路図である。

図7の例は、パネルの外部部品により小振幅のコモン電圧Vcomを生成する場合を示している。

【0046】

図7のコモン電圧生成回路は、フリッカ調整用抵抗素子R1、R2、平滑キャパシタC1、小振幅ΔVcomだけ振幅させるためのキャパシタC4、Vcom供給ライン110の配線抵抗Rcom、およびVcom供給ライン108の寄生容量Ccomを含んで構成されている。

【0047】

電源電圧VCCの供給ラインと接地ラインGNDとの間に抵抗素子R1、R2が直列に接続され、両抵抗素子R1、R2で抵抗分圧した電圧を抵抗素子の接続ノードND1に発生する。抵抗素子R2は可変抵抗で、発生する電圧を調整可能となっている。

接続ノードND1がパネル端子Tに接続されている。キャパシタC1の第1電極が接続ノードND1と端子Tとの接続ラインに接続され、第2電極が接地されている。

キャパシタC2の第1電極が接続ノードND1と端子Tとの接続ラインに接続され、第2電極が信号FRPの供給ラインに接続されている。

【0048】

図7のコモン電圧生成回路においては、次式に従って小振幅ΔVcomが決定される。

【0049】

（数2）

$$\Delta V_{com} = \{ C_2 / (C_1 + C_2 + C_{com}) \} \times FRP \quad \dots (2)$$

【0050】

小振幅は容量カップリング（結合）を利用、またはデジタル的に生成して、使用することが可能である。

小振幅ΔVcomの値は、極力小さい振幅、たとえば10mV～1.0V程度の振幅が良い。理由は、それ以外であるとオーバドライブによる応答速度の改善、音響のノイズ低減などの効果が小さくなってしまうためである。

10

20

30

40

50

【 0 0 5 1 】

以上のように、液晶表示装置 1 0 0 において、容量カップリングを利用した容量結合駆動を行う際に、コモン電圧 V_{com} の振幅の振幅 ΔV_{com} の値と、ストレージ信号 CS の第 1 レベルと CSH と第 2 レベル CSL との差 ΔV_{cs} の値が、黒輝度および白輝度とともに最適化できるような値に選定される。

たとえば、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が $0.5V$ より低い値となるように ΔV_{cs} と ΔV_{com} の値が決定される。

以下、本実施形態に関わる容量結合駆動についてさらに詳細に説明する。

【 0 0 5 2 】

図 8 (A) ~ (E) は、本実施形態の主要な液晶セルの駆動波形を示すタイミングチャートである。 10

図 8 (A) がゲートパルス GP_N を、図 8 (B) がコモン電圧 V_{com} を、図 8 (C) がストレージ信号 CS_N を、図 8 (D) が映像信号 V_{sig} を、図 8 (E) が液晶セルに印加される信号 Pix_N をそれぞれ示している。

【 0 0 5 3 】

本実施形態に関わる容量結合駆動においては、コモン電圧 V_{com} は一定の直流電圧ではなく 1 水平走査期間 (1 H) 毎に極性が反転する小振幅の交流の信号として生成され、各画素回路 PXL C の液晶セル $LC201$ の第 2 画素電極に印加される。

また、ストレージ信号 CS_N は、各ゲートライン毎に対応して独立に配線された各ストレージライン 1 0 6 - 1 ~ 1 0 6 - m 毎に第 1 レベル (CSH 、たとえば $3V \sim 4V$) または第 2 レベル (CSL 、たとえば $0V$) のいずれかに選択して与える。 20

このように駆動された場合の、液晶に印加される実効画素電位 ΔV_{pix} は次式で与えられる。

【 0 0 5 4 】

【 数 3 】

$$\begin{aligned} \Delta V_{pix3} &= V_{sig} + \frac{C_{cs}}{C_{cs}+C_{lc}+C_g+C_{sp}} * \Delta V_{cs} + \frac{C_{lc}}{C_{cs}+C_{lc}+C_g+C_{sp}} * \frac{\Delta V_{com}}{2} - V_{com} \\ &\approx V_{sig} + \frac{C_{cs}}{C_{cs}+C_{lc}} * \Delta V_{cs} + \frac{C_{lc}}{C_{cs}+C_{lc}} * \frac{\Delta V_{com}}{2} - V_{com} \end{aligned} \quad 30$$

【 0 0 5 5 】

図 9 に示すように、数 (3) において、 V_{sig} は映像信号電圧、 C_{cs} は保持容量、 C_{lc} は液晶容量を、 C_g はノード $ND201$ とゲートライン間の容量を、 C_{sp} はノード $ND201$ と信号ライン間の容量を、 ΔV_{cs} は信号 CS の電位を、 V_{com} はコモン電圧をそれぞれ示している。

数 (3) において、近似式の第 2 項 $\{ (C_{cs} / C_{cs} + C_{lc}) * \Delta V_{cs} \}$ が液晶誘電率の非線形性により白輝度側が黒くなる (沈む) 要因となる項であり、近似式の第 3 項 $\{ (C_{lc} / C_{cs} + C_{lc}) * \Delta V_{com} / 2 \}$ が液晶誘電率の非線形性により白輝度側を白くする (浮かせる) 項である。 40

すなわち、近似式の第 2 項の低電位 (白輝度側) が黒くなる (沈む) 傾向部分が第 3 項により低電位側を白くする (浮かせる) 機能により補償するように動作する。

そして、黒輝度および白輝度とともに最適化できるような値に選定することで、最適なコントラストを得ることができる。

【 0 0 5 6 】

図 1 0 (A) , (B) は液晶表示装置で使用される液晶材料 (ノーマリホワイト液晶) を用いた場合の白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} の選定基準を説明するための図である。図 1 0 (A) が印加電圧に対する比誘電率 ϵ の特性を示す図であり、図 1 0 (B) は図 1 0 (A) の特性が大きく変化する領域を拡大して示す図であ 50

る。

【 0 0 5 7 】

図に示すように、液晶表示装置に使用されている液晶特性では、約 0 . 5 V 以上の電圧を印加すると、白輝度が沈んでしまう。

そのため、白輝度を最適化するためには、白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} が 0 . 5 V 以下とする必要がある。したがって、実効画素電位 ΔV_{pix_W} が 0 . 5 V 以下となるように ΔV_{cs} と ΔV_{com} の値が決定される。

【 0 0 5 8 】

実際に評価した結果としては、 $\Delta V_{cs} = 3 . 8 V$ 、 $\Delta V_{com} = 0 . 5 V$ のとき、最適なコントラストが得られた。

10

【 0 0 5 9 】

図 1 1 は、本発明の実施形態に係る駆動方式、関連する容量結合駆動方式、および通常の 1 H V c o m 駆動方式の映像信号電圧と実効画素電位との関係を示す図である。

図 1 1 において、横軸が映像信号電圧 V_{sig} を、縦軸が実効画素電位 ΔV_{pix} をそれぞれ示している。また、図 1 1 中、A で示す線が本発明の実施形態に係る駆動方式の特性を、C で示す線が関連する容量結合駆動方式の特性を、B で示す線が通常の 1 H V c o m 駆動方式の特性を示している。

【 0 0 6 0 】

図 1 1 からわかるように、本実施形態に係る駆動方式によれば、関連する容量結合駆動方式に比べて十分な特性改善が得られている。

20

【 0 0 6 1 】

図 1 2 は、本発明の実施形態に係る駆動方式、および関連する容量結合駆動方式の映像信号電圧と輝度との関係を示す図である。

図 1 2 において、横軸が映像信号電圧 V_{sig} を、縦軸が輝度をそれぞれ示している。また、図 1 2 中、A で示す線が本発明の実施形態に係る駆動方式の特性を、B で示す線が関連する容量結合駆動方式の特性を示している。

【 0 0 6 2 】

図 1 2 からわかるように、関連する容量結合駆動方式では黒輝度 (2) を最適化した際に、白輝度 (1) が沈んでいた。これに対して、本実施形態に係る駆動方式によれば、 V_{com} を小振幅としたことで、黒輝度 (2) および白輝度 (1) の両方とも最適化することができる。

30

【 0 0 6 3 】

下記の数 (4) に、本実施形態に係る駆動方式の上記数 (3) に具体的な数値を設定した場合の黒表示のときと、黒表示のときの実効画素電位 ΔV_{pix_B} と白表示のときの実効画素電位 ΔV_{pix_W} の値を示す。

また、数 (5) に関連する容量結合駆動方式の上記数 (1) に具体的な数値を設定した場合の黒表示のときと、黒表示のときの実効画素電位 ΔV_{pix_B} と実効画素電位 ΔV_{pix_W} の値を示す。

【 0 0 6 4 】

【数 4】

(1)黒表示のとき

$$\begin{aligned}\Delta V_{pix_B} &= V_{sig} + \frac{C_{cs}}{C_{lc_b} + C_{cs}} \times \Delta V_{cs} + \frac{C_{lc_b}}{C_{lc_b} + C_{cs}} \times \frac{\Delta V_{com}}{2} - V_{com} \\ &= 3.3V + \frac{1.65}{2} - 1.65V \\ &= \boxed{3.3V} \leftarrow \text{黒輝度を最適化}\end{aligned}$$

(2)白表示のとき

$$\begin{aligned}\Delta V_{pix_W} &= V_{sig} + \frac{C_{cs}}{C_{lc_w} + C_{cs}} \times \Delta V_{cs} + \frac{C_{lc_w}}{C_{lc_w} + C_{cs}} \times \frac{\Delta V_{com}}{2} - V_{com} \\ &= 0.0V + \frac{2.05}{2} - 1.65V \\ &= \boxed{0.4V} \leftarrow \text{白輝度を最適化}\end{aligned}$$

10

【0065】

【数 5】

(1)黒表示のとき

$$\begin{aligned}\Delta V_{pix_B} &= V_{sig} + \frac{C_{cs}}{C_{lc_b} + C_{cs}} \times \Delta V_{cs} - V_{com} \\ &= 3.3V + \frac{1.65}{2} - 1.65V \\ &= \boxed{3.3V} \leftarrow \text{黒輝度を最適化}\end{aligned}$$

20

(2)白表示のとき

$$\begin{aligned}\Delta V_{pix_W} &= V_{sig} + \frac{C_{cs}}{C_{lc_w} + C_{cs}} \times \Delta V_{cs} - V_{com} \\ &= 0.0V + \frac{2.45}{2} - 1.65V \\ &= \boxed{0.8V} \leftarrow \text{白輝度が沈んでしまう}\end{aligned}$$

30

【0066】

数(4)および数(5)に示すように、黒表示のときは本実施形態に係る駆動方式と関連する駆動方式ともに実効画素電位 ΔV_{pix_B} は 3.3V となり、黒輝度が最適化されている。

白表示のときは、数(5)に示すように、関連する駆動方式の実効画素電位 ΔV_{pix_W} は 0.5V 以上の 0.8V となり、図 10(B)に関連付けて説明したように白輝度が沈んでしまう。

これに対して、本実施形態に係る駆動方式の実効画素電位 ΔV_{pix_W} は 0.5V 以下の 0.4V となり、図 10(B)に関連付けて説明したように白輝度が最適化される。

40

【0067】

次に、本実施形態の特徴の一つであるストレージ信号 CS を、補正回路 109 により、ダミー画素部(モニタ部)からなる検出エリア 108 から検出した画素電位が任意の電位になるように光学的特性を最適化するように補正する具体的な構成例について説明する。

【0068】

本実施形態においては、駆動温度の変化による液晶の誘電率の変動、量産時のバラツキによる保持容量 CS201 を形成している絶縁膜の膜厚の変動および液晶セルギャップの変動により、液晶印加電圧が変動してしまう。この変動分を電氣的に検知し、液晶印加電圧の変動を抑制することで表示の温度、量産時のバラツキによる変化を抑制する。

50

【 0 0 6 9 】

この光学的特性を最適化する補正回路システムを採用する理由を実効画素電圧のモデル式に関連付けて説明する。

【 0 0 7 0 】

数(6)は、一般的な1H Vcom反転駆動の実効画素電圧のモデル式である。数(6)中に下線で示す項のように、Ccs(CS容量)、Clc(液晶容量)が変化しても分母分子が同じであるために液晶印加電圧(ΔV_{pix})が変化しないことが分る。つまり、Ccsを変える要素であるゲート絶縁膜の膜厚ばらつき、Clcを変える要素である液晶層ギャップばらつき、温度変化による誘電率変化が起こっても液晶印加電圧が変化しないことを意味している。

10

【 0 0 7 1 】

【数6】

$$\Delta V_{pix} = V_{sig} + \frac{C_{cs} + C_{lc}}{C_{cs} + C_{lc} + C_g + C_{sp}} * \Delta V_{com} - V_{com}$$

$$\doteq V_{sig} + \frac{C_{cs} + C_{lc}}{C_{cs} + C_{lc}} * \Delta V_{com} - V_{com}$$

【 0 0 7 2 】

以下に示す数(7)は、容量結合駆動を行った場合のモデル数である。数(7)中に下線で示す項のように分母分子が異なるために、前述したばらつき変化の影響を受けてしまうことが分かる。

20

この問題を解決しようとしているのが、上記数(7)の下線の項の容量Cの変化を補正するために、本実施形態においては、 ΔV_{cs} の値を変える(補正する)ことで、下線の項の値を一定に保つ。

【 0 0 7 3 】

【数7】

$$\Delta V_{pix} = V_{sig} + \frac{C_{cs}}{C_{cs} + C_{lc} + C_g + C_{sp}} * \Delta V_{cs} - V_{com}$$

$$\doteq V_{sig} + \frac{C_{cs}}{C_{cs} + C_{lc}} * \Delta V_{cs} - V_{com}$$

30

【 0 0 7 4 】

容量線からのカップリングを利用した液晶駆動方式におけるこの不利益は、逆に容量線の電位差を利用して輝度変化を自在に変化させることができるということを意味する。

本実施形態においては、液晶パネル内に量産時、温度変化時のばらつき変化をモニタするダミー画素(センサー画素)を配置、およびその変化を検出することで、容量線の電位、またはリファレンスドライバに補正をかけ、輝度を最適化(補正)することが可能な液晶表示装置を実現している。

40

【 0 0 7 5 】

すなわち、本実施形態によれば、液晶パネル内に量産時、温度変化時のばらつき変化をモニタするダミー画素(センサー画素)を配置、及びその変化を検出することで、容量線の電位、またはリファレンスドライバに補正をかけ、輝度を最適化(補正)することができる利点がある。

【 0 0 7 6 】

なお、図4に図示していないリファレンスドライバは、信号ラインに伝搬させる映像用画素データを生成する階調電圧生成回路として機能する。

【 0 0 7 7 】

50

基本的には、実駆動中において、ガラス基板上に配置された画素またはモニタ用のダミー画素の電位を検出することで、CS電位 ΔV_{cs} （図5）、または図示しないがリファレンスドライバにフィードバックすることで、光学特性を最適化する。また、製造ばらつきに関しては、検査工程時に手動調整することでも同様な効果が得られる。

【0078】

本実施形態においては、CS電位 ΔV_{cs} を一定値ではなく、たとえばガラス基板上に形成された補正回路システム、単結晶Siに形成された回路システムにより変動させ、光学特性を改善する。なお、検査工程において調整を行っても同様の効果を得られる。

【0079】

図4にはシステム構成の一例を示したが、以下に実用に即したシステム構成例について、図13～図18に関連付けて説明する。 10

【0080】

図13は、本実施形態に係る表示装置がシステムオンガラスパネルに、検出エリア108、補正回路109を形成した例を示す図である。

この場合、有効画素部101内あるいは隣接する領域に配置した検出エリア108に生じる液晶ギャップ、ゲート酸化膜、液晶比誘電率変化等を補正回路109において検知し、光学特性が最適となるように、CS電位 ΔV_{cs} にフィードバックをかけて、 ΔV_{cs} を補正する。

【0081】

図14は、本実施形態に係る表示装置がCOG搭載パネルに、検出エリア108、補正回路109を形成した例を示す図である。 20

この場合も、有効画素部101内あるいは隣接する領域に配置した検出エリア108に生じる液晶ギャップ、ゲート酸化膜、液晶比誘電率変化等を補正回路109において検知し、光学特性が最適となるように、CS電位 ΔV_{cs} にフィードバックをかけて、 ΔV_{cs} を補正する。

【0082】

図15は、本実施形態に係る表示装置においてパネル上に検出エリア108を形成し、単結晶LSI内に補正回路109を形成した例を示す図である。

この場合も、有効画素部101内あるいは隣接する領域に配置した検出エリア108に生じる液晶ギャップ、ゲート酸化膜、液晶比誘電率変化等を補正回路109において検知し、光学特性が最適となるように、CS電位 ΔV_{cs} にフィードバックをかけて、 ΔV_{cs} を補正する。 30

【0083】

図16は、本実施形態に係る表示装置がシステムオンガラスパネルに、検出エリア108、補正回路109を形成した第2の例を示す図である。

この場合、有効画素部101内あるいは隣接する領域に配置した検出エリア108に生じる液晶ギャップ、ゲート酸化膜、液晶比誘電率変化等を補正回路109において検知し、光学特性が最適となるようにリファレンスドライバ111にフィードバックをかけるように構成している。

この場合、補正回路109は、映像用画素データを生成するリファレンスドライバ111の信号電圧を補正する。 40

【0084】

図17は、本実施形態に係る表示装置がCOG搭載パネルに、検出エリア108、補正回路109を形成した第2の例を示す図である。

この場合も、有効画素部101内あるいは隣接する領域に配置した検出エリア108に生じる液晶ギャップ、ゲート酸化膜、液晶比誘電率変化等を補正回路109において検知し、光学特性が最適となるようにリファレンスドライバ111にフィードバックをかけるように構成している。

【0085】

図18は、本実施形態に係る表示装置においてパネル上に検出エリア108を形成し、 50

単結晶 L S I 内に補正回路 1 0 9 を形成した第 2 の例を示す図である。

この場合も、有効画素部 1 0 1 内あるいは隣接する領域に配置した検出エリア 1 0 8 に生じる液晶ギャップ、ゲート酸化膜、液晶比誘電率変化等を補正回路システム 1 0 9 において検知し、光学特性が最適となるようにリファレンスドライバ 1 1 1 にフィードバックをかけるように構成している。

【 0 0 8 6 】

次に、検出エリア 1 0 8 に含むモニタ用のダミー画素部、および補正回路システムの構成および機能についてさらに詳細に説明する。

【 0 0 8 7 】

図 1 9 は、本実施形態に係る補正回路システムの第 1 の構成例を示す図である。なお、図 1 9 においては、理解を容易にするために補正回路システムと有効画素部のみを図示している。

10

また、図 2 0 は図 1 9 の補正回路の基本構成を示すブロック図である。

【 0 0 8 8 】

図 1 9 の補正回路システム 3 0 0 は、一つのダミー画素 3 0 1 と、補正回路 3 0 2 (図 4 では符号 1 0 9 で示している) を同一のデバイス (パネル) 内に形成している。この場合、たとえば低温ポリシリコンプロセスを使用することで、補正回路 3 0 2 をデバイス内部に組み込むことが可能になる。

ダミー (モニタ) 画素 3 0 1 は、有効画素部 1 0 1 の有効画素回路 P X L C と同様に回路構成を有している。

20

補正回路 3 0 2 は、モニタ画素電圧 P i n と比較基準電圧 P r e f とを比較する比較器 3 0 2 1 と、比較器 3 0 2 1 の比較結果に応じて C S 電位 Δ V c s を最適化のために変化させるように制御する信号 V c s h を垂直駆動回路 1 0 2 の C S ドライバの電源部に出力する出力電圧制御回路 3 0 2 2 とを有している。

そして、図 1 9 の回路システム 3 0 0 においては、ダミー画素 3 0 1 と、補正回路 3 0 0 の比較器 3 0 2 1 とを、近接して配置している。

【 0 0 8 9 】

この場合、たとえば、ダミー画素 3 0 1 の保持容量 C s を 0 . 5 p F 、液晶容量 C l c を 0 . 5 p F (すなわち、ダミー画素の蓄積容量を 1 . 0 p F) 、ダミー画素 3 0 1 と比較器 3 0 2 1 との接続ノード N D 3 0 1 の寄生容量 C 1 を 0 . 0 6 p F 、ストレージラインのチャージ電圧 V c s を 3 . 3 V 、映像信号電圧 V s i g を 3 . 3 V 、 V c o m を 1 . 6 5 V とすると、実効画素電位 V p は次式のように 3 . 2 1 V となり、9 0 m V 程度の電圧降下の影響を受けるのみで、良好なモニタ画素電位を得ることができる。

30

【 0 0 9 0 】

【 数 8 】

$$V_p = V_{sig} + \frac{V_{cs} \times C_s}{C_s + C_{lc} + C_1} - 1.65V$$

※対GND表記

40

【 0 0 9 1 】

【 数 9 】

$$\begin{aligned} V_p &= 3.3V + \frac{3.3V \times 0.5pF}{0.5pF + 0.5pF + 0.06pF} - 1.65V \\ &= \underline{3.21V} \end{aligned}$$

50

【 0 0 9 2 】

図 2 1 は、本実施形態に係る補正回路システムの第 2 の構成例を示す図である。なお、図 2 1 においては、理解を容易にするために補正回路システムと有効画素部のみを図示している。

【 0 0 9 3 】

この第 2 の構成例の補正回路システム 3 0 0 A が、図 1 9 の補正回路システム 3 0 0 と異なる点は、ダミー画素 3 0 1 と比較器 3 0 2 1 との接続ライン（たとえばダミー画素の画素電位に出力部）に画素電位を選択的に出力するようにしたスイッチ 3 0 3 を設けたことにある。

この場合のモニタ画素電位 V_{pin} は次の式（数 1 0）で与えられる。

10

【 0 0 9 4 】

【 数 1 0 】

$$V_{pin} = \frac{V_p \times (C_s + C_{lc}) + V_1 \times C_1}{C_s + C_{lc} + C_1}$$

【 0 0 9 5 】

そして、上述したように、ダミー画素 3 0 1 の保持容量 C_s を 0 . 5 p F、液晶容量 C_{lc} を 0 . 5 p F（すなわち、ダミー画素の蓄積容量を 1 . 0 p F）、ダミー画素 3 0 1 と比較器 3 0 2 1 との接続ノード ND 3 0 1 の寄生容量 C_1 を 0 . 0 6 p F、ストレージラインのチャージ電圧 V_{cs} を 3 . 3 V、映像信号電圧 V_{sig} を 3 . 3 V とすると、実効画素電位 V_p は次式（数 1 1）のように 3 . 2 8 V となり、2 0 m V 程度の電圧降下の影響を受けるのみで、良好なモニタ画素電位を得ることができる。

20

【 0 0 9 6 】

【 数 1 1 】

$$V_{pin} = \frac{3.3V \times 1pF + 3.0V \times 0.06pF}{1.06pF}$$

$$= \underline{\underline{3.28V}}$$

30

【 0 0 9 7 】

このように、寄生容量 C_1 の影響を極力小さくするように、スイッチ 3 0 3 を設けることで、さらに良好なモニタ画素電位を得ることができる。

【 0 0 9 8 】

なお、ダミー画素 3 0 1 と比較器 3 0 2 1 との接続ラインに、たとえばプリチャージ回路やリセット回路を設けて寄生容量をある程度ディスチャージさせてからスイッチ 3 0 3 をオンしてモニタ画素電位 V_{pin} とリファレンス電位と比較器 3 0 2 1 で比較するように構成することも可能である。

40

【 0 0 9 9 】

以上は、補正回路 3 0 2 をダミー画素 3 0 1 と同一デバイスに形成して近接配置するように構成した、以下に、補正回路 3 0 2 を外部基板に搭載するように構成した場合を考察する。

【 0 1 0 0 】

図 2 2 は、本実施形態に係る補正回路システムの第 3 の構成例を示す図である。なお、図 2 2 においては、理解を容易にするために補正回路システムと有効画素部のみを図示している。

【 0 1 0 1 】

この第 3 の構成例の補正回路システム 3 0 0 B は、図 1 9 の構成から補正回路を外部基

50

板 3 0 4 に移したと等価な回路構成となっている。

【 0 1 0 2 】

この場合、たとえば、ダミー画素 3 0 1 の保持容量 C_s を 0.5 pF 、液晶容量 C_{cl} を 0.5 pF （すなわち、ダミー画素の蓄積容量を 1.0 pF ）、ダミー画素 3 0 1 と比較器 3 0 2 1 との接続ノード $ND 3 0 1$ の寄生容量 C_1 を 0.06 pF 、ストレージラインのチャージ電圧 V_{cs} を 3.3 V 、映像信号電圧 V_{sig} を 3.3 V 、 V_{com} を 1.65 V とすると、実効画素電位 V_p は次式（数 1 2）のように 1.925 V となる。

すなわち、 V_p の電位は理想的には 3.3 V であるのに対し、図 2 2 の構成では 1.925 V と 1300 mV 程度の電圧降下があることから、良好なモニタ画素電位を得ることができるとはいえない。

10

【 0 1 0 3 】

【 数 1 2 】

$$V_p = 3.3V + \frac{3.3V \times 0.5pF}{0.5pF + 0.5pF + 5pF} - 1.65V$$

$$= \underline{1.925V}$$

【 0 1 0 4 】

図 2 3 は、本実施形態に係る補正回路システムの第 4 の構成例を示す図である。なお、図 2 3 においては、理解を容易にするために補正回路システムと有効画素部のみを図示している。

20

【 0 1 0 5 】

この第 4 の構成例の補正回路システム 3 0 0 C は、図 2 1 の構成から補正回路を外部基板 3 0 4 に移したと等価な回路構成となっている。すなわち、スイッチ 3 0 3 を設けた構成を有する。

【 0 1 0 6 】

そして、上述したように、ダミー画素 3 0 1 の保持容量 C_s を 0.5 pF 、液晶容量 C_{cl} を 0.5 pF （すなわち、ダミー画素の蓄積容量を 1.0 pF ）、ダミー画素 3 0 1 と比較器 3 0 2 1 との接続ノード $ND 3 0 1$ の寄生容量 C_1 を 0.06 pF 、ストレージラインのチャージ電圧 V_{cs} を 3.3 V 、映像信号電圧 V_{sig} を 3.3 V とすると、実効画素電位 V_p は次式（数 1 3）のように 3.05 V となり、 1300 mV 程度の電圧効果 250 mV 程度の電圧降下に抑えることができ、実用に耐え得る、良好なモニタ画素電位を得ることができる。

30

【 0 1 0 7 】

【 数 1 3 】

$$V_{pin} = \frac{3.3V \times 1pF + 3.0V \times 5pF}{6pF}$$

$$= \underline{3.05V}$$

40

【 0 1 0 8 】

このように、寄生容量 C_1 の影響を極力小さくするように、スイッチ 3 0 3 を設けることで、良好なモニタ画素電位を得ることができる。

【 0 1 0 9 】

なお、ダミー画素 3 0 1 と比較器 3 0 2 1 との接続ラインに、たとえばプリチャージ回路やリセット回路を設けて寄生容量をある程度ディスチャージさせてからスイッチ 3 0 3 をオンしてモニタ画素電位 V_{pin} とリファレンス電位と比較器 3 0 2 1 で比較するよう

50

に構成することも可能である。

【 0 1 1 0 】

図 2 4 は、本実施形態に係る補正回路システムの第 5 の構成例を示す図である。なお、図 2 4 においては、理解を容易にするために補正回路システムと有効画素部のみを図示している。

【 0 1 1 1 】

この第 5 の構成例の補正回路システム 3 0 0 D が図 2 2 の補正回路システム 3 0 0 B と異なる点は、モニタ画素として、1 つのダミー画素 3 0 1 を設ける代わりに、図 2 5 に示すように、水平方向の 1 ラインのすべてのダミー画素電極を接続することで、モニタ画素 3 0 5 の総蓄電容量を増大させている。

水平ラインが 3 2 0 ラインあれば、 $1 \text{ pF} \times 3 2 0 \times 3 (\text{RGB}) = 9 6 0 \text{ pF}$ となる。

この値は、接続ラインの寄生容量 1 pF に比べて十分に大きな値である。

【 0 1 1 2 】

この場合、たとえば、ダミー画素 3 0 1 の保持容量 C_s を 0.5 pF 、液晶容量 C_{cl} を 0.5 pF (すなわち、ダミー画素の蓄積容量を 1.0 pF)、ダミー画素 3 0 1 と比較器 3 0 2 1 との接続ノード ND 3 0 1 の寄生容量 C_1 を 0.06 pF 、ストレージラインのチャージ電圧 V_{cs} を 3.3 V 、映像信号電圧 V_{sig} を 3.3 V 、 V_{com} を 1.65 V とすると、実効画素電位 V_p は次式 (数 1 4) のように 3.29 V となり、 1300 mV あった電圧効果を 10 mV 程度の電圧降下の影響を受けるのみで、良好なモニタ画素電位を得ることができる。

【 0 1 1 3 】

【 数 1 4 】

$$V_p = 3.3V + \frac{3.3V \times 480pF}{480pF + 480pF + 5pF} - 1.65V$$

$$= \underline{\underline{3.29V}}$$

【 0 1 1 4 】

図 2 6 は、本実施形態に係る補正回路システムの第 7 の構成例を示す図である。なお、図 2 6 においては、理解を容易にするために補正回路システムと有効画素部のみを図示している。

【 0 1 1 5 】

この第 6 の構成例の補正回路システム 3 0 0 E が図 2 4 の補正回路システム 3 0 0 D と異なる点は、モニタ画素 3 0 5 の出力部にスイッチ 3 0 3 を設けた点にある。

【 0 1 1 6 】

そして、上述したように、ダミー画素 3 0 1 の保持容量 C_s を 0.5 pF 、液晶容量 C_{cl} を 0.5 pF (すなわち、ダミー画素の蓄積容量を 1.0 pF)、ダミー画素 3 0 1 と比較器 3 0 2 1 との接続ノード ND 3 0 1 の寄生容量 C_1 を 0.06 pF 、ストレージラインのチャージ電圧 V_{cs} を 3.3 V 、映像信号電圧 V_{sig} を 3.3 V とすると、実効画素電位 V_p は次式 (数 1 5) のように 3.298 V となり、 200 mV 程度の電圧効果を 2 mV 程度の電圧降下に抑えることができ、良好なモニタ画素電位を得ることができる。

【 0 1 1 7 】

10

20

30

40

【数 1 5】

$$V_{pin} = \frac{3.3V \times 960pF + 3.0V \times 5pF}{965pF}$$

$$= \underline{3.298V}$$

【0 1 1 8】

次に、上述した補正回路システム 3 0 2 の具体的な回路構成について説明する。

【0 1 1 9】

図 2 7 は、本実施形態に係る補正回路の具体的な構成例を示す回路図である。

また、図 2 8 は、図 2 7 の補正回路のタイミングチャートである。

【0 1 2 0】

この補正回路 3 0 2 は、比較器 3 0 2 1、出力電圧制御ブロック 3 0 2 2、および出力バッファ 3 0 2 3 を有する。

【0 1 2 1】

まず比較器 3 0 2 1 は、電圧 $V_{in, Pref}$ の 2 入力から構成され、入力電圧 V_{in} はモニタ画素電位と接続される。

ここでモニタ画素は有効画素の外周に配置される上述したようにダミー画素 3 0 1 あるいはモニタ画素 3 0 5 の一部を使用する。

これにより、温度変化、製造バラツキを検知することが可能となる。

また、前述したように、ダミー画素は有効画素と同じ回路構成 / 構造にすることでより有効画素の状態を精度良く検出することを可能にする。

入力電圧 V_{Pref} には任意の基準電圧である。

モニタ画素に印加される電圧は任意の階調の電圧を印加し、 V_{Pref} にはモニタ画素に印加されるべき電圧に設定をしておく。

そして、 V_{Pref} と V_{in} (モニタ画素電位) を逐次比較することで、モニタ画素電位が V_{Pref} より低いか高いかの状態を検出し、比較器の出力に反映させる。

比較器 3 0 2 1 の出力はデジタル出力で H or L を出力する。

【0 1 2 2】

ところで、有効画素電位、比較する画素電位 V_{pix} とともに 1 フィールドおきに電圧極性が反転する。

しかし、比較基準電圧 V_{Pref} は直流電圧であるために毎フィールド比較すると誤動作してしまう。

そのため、比較器 3 0 2 1 の動作は 1 フィールドおきに有効 / 無効期間を繰り返す。

【0 1 2 3】

出力電圧制御ブロック 3 0 2 2 は、昇圧回路 3 0 2 2 1 と降圧回路 3 0 2 2 2 を含んで構成され、比較器 3 0 2 1 の出力により片方の回路を有効にすることで $M 1$ のゲートに印加する電圧を制御する。

比較器の出力が L (ローレベル) の場合、昇圧回路 3 0 2 2 1 が有効動作し、降圧回路 3 0 2 2 2 はハイインピーダンス ($Hi-Z$) となる。

比較器 3 0 2 1 の出力が H (ハイレベル) の場合、昇圧回路 3 0 2 2 1 がハイインピーダンス ($Hi-Z$)、降圧回路 3 0 2 2 2 が有効動作し、電圧 V_{csA} を制御する。

【0 1 2 4】

出力バッファ 3 0 2 3 は M 定電流源 / Nch ソースフォロア 3 0 2 3 1 を含んで構成され、出力電圧制御ブロック 3 0 2 2 から出力された電圧 V_{csA} が Nch トランジスタ $M 1$ のゲート電極に印加されることで Nch トランジスタ $M 1$ の出力インピーダンスはコントロールされ、結果として出力電圧 V_{csh} も制御される。

【0 1 2 5】

以上のシステムで逐次 V_{csh} を調整することで検出用ダミー画素電位は外部から印加され

10

20

30

40

50

る基準電位 P_{ref} と同電位となるように V_{csh} がコントロールされ、有効画素に反映される。

【0126】

以上の補正回路を採用した場合の効果について説明する。

【0127】

概要としては液晶層を交流駆動する表示装置において、信号ラインからの書込み後（Gateの立下り後）にストレージライン（CS線）から容量を介して、カップリングを与えることにより画素電位を変化させ、液晶印加電圧を変調する駆動方式である。そして、対向電極は、AC小振幅させることにより、白輝度／黒輝度を最適化する特徴を持つ。

【0128】

このような駆動により画像を表示する際、CSラインから印加される電圧ゲイン A_{vcs} は 10
、次式、

【0129】

（数16）

$$A_{vcs} = V_{cs} \cdot C_{cs} / (C_{cs} + C_{lc})$$

（ C_{cs} ：1画素あたりの保持容量、 C_{lc} ：画素電極が対向電極と形成する容量、 V_{cs} ：CSラインの振幅電位 = $V_{csh} - V_{ss}$ ）

【0130】

により得られる。上記式の C_{lc} は、次式で表される。

【0131】

（数17）

$$C_{lc} = \epsilon_{lc} \cdot S_{pix} / d_{pix}$$

（ ϵ_{lc} ：液晶誘電率、 S_{pix} ：1画素あたりの画素電極面積、 d_{pix} ：対向電極と画素電極のギャップ）

【0132】

ここで液晶誘電率 ϵ_{lc} は温度特性を持つため、動作環境により C_{lc} は変動する。

また、製造バラツキにより図29に示すの電極1，2間のギャップ d_{pix} もパネル毎によって一定の値にはならないので C_{lc} の変動要因となる。

さらに C_{cs} は図30に示すメタル層1、メタル層2で層間膜を挟むことにより形成される。

式で表すと以下ようになる。

【0133】

（数18）

$$C_{cs} = \epsilon_{il} \cdot S_{cs} / d_{il}$$

（ ϵ_{il} ：層間膜の誘電率、 S_{cs} ：1画素あたりの C_{cs} 面積、 d_{il} ：層間膜の膜圧）

【0134】

この層間膜も製造バラツキにより膜圧 d_{il} がパネル毎により変動し、 C_{lc} と同様に C_{cs} も変動する。

以上の動作環境の変化、製造バラツキなどにより、 C_{lc}/C_{cs} は一定の値とならず、CS線から印加される電圧ゲイン A_{vcs} は大きくばらつく。

これを液晶表示装置の γ 特性で表すと、図31（A）に示すように、大きな影響がある 40
ことが分かる。

このように、一般的な駆動方法では動作環境、製造バラツキにより、液晶の γ 特性に大きな影響を与える。

【0135】

これに対して、本実施形態の補正回路システムではその影響を抑制することを特徴とする。

それには前記 V_{cs} （= $V_{csh} - V_{ss}$ ）をダイナミックに補正することでCS線より印加される電圧ゲイン A_{vcs} の電圧バラツキを抑えることで可能にする。

また動作環境、製造バラツキの変動を検出するのに有効画素の周辺に配置されるダミー画素の一部を使用する。

本実施形態の補正回路を搭載したことにより、図 3 1 (B) に示すように、補正回路 3 0 2 により最終的 γ 特性のバラツキが改善されたことが分かる。

すなわち、本実施形態によれば、動作環境、製造バラツキによる液晶表示装置の γ 特性のへの影響が従来より抑制される。

【 0 1 3 6 】

次に、上記構成による動作を説明する。

【 0 1 3 7 】

垂直駆動回路 1 0 2 のシフトレジスタには、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルス VST 、垂直走査の基準となる互いに逆相の垂直クロック VCK 、 $VCKX$ が供給される。

10

シフトレジスタにおいては、垂直クロックのレベルシフト動作が行われ、かつ、それぞれ異なる遅延時間で遅延される。たとえばシフトレジスタにおいては、垂直スタートパルス VST が、垂直クロック VCK に同期にてシフト動作が行われ、対応するゲートバッファに供給される。

また、垂直スタートパルス VST は、有効画素部 1 0 1 の上部側から、または下部側から伝搬され、各シフトレジスタに順番にシフトインされていく。

したがって、基本的には、シフトレジスタ VSR により供給された垂直クロックにより各ゲートバッファを通して各ゲートライン 1 0 5 - 1 ~ 1 0 5 - m が順番に駆動されていく。

【 0 1 3 8 】

20

このように、垂直駆動回路 1 0 2 により、たとえば第 1 行目から順番にゲートライン 1 0 5 - 1 ~ 1 0 5 - m が駆動されていくが、これに伴い、ストレージライン 1 0 6 - 1 ~ 1 0 6 - m が駆動されていく。このとき、ゲートパルスでのゲートラインを駆動した後、次のゲートラインのゲートパルスの立ち上がりのタイミングで、ストレージライン 1 0 6 - 1 ~ 1 0 6 - m に印加するストレージ信号 $CS1 \sim CSm$ のレベルが、第 1 レベル CSH と第 2 レベル CSL が交互に選択されて印加される。

たとえば、第 1 行目のストレージライン 1 0 6 - 1 に第 1 レベル CSH を選択してストレージ信号 $CS1$ が印加された場合、第 2 行目のストレージライン 1 0 6 - 2 には第 2 レベル CSL が選択されてストレージ信号 $CS2$ が印加され、第 3 行目のストレージライン 1 0 6 - 3 に第 1 レベル CSH が選択されてストレージ信号 $CS3$ が印加され、第 4 行目のストレージライン 1 0 6 - 4 には第 2 レベル CSL が選択されストレージ信号 $CS4$ が印加され、以下同様にして交互に第 1 レベル CSH と第 2 レベル CSL が選択されストレージ信号 $CS5 \sim CSm$ がストレージライン 1 0 6 - 5 ~ 1 0 6 - m に印加される。

30

このストレージ信号は、ダミー画素部 1 0 8 の画素電位が検出回路 1 0 9 で検出されて、この検出電位に基づいて、任意の電位になるように補正される。

【 0 1 3 9 】

また、小振幅 ΔV_{com} で交番のコモン電圧 V_{com} が有効画素部 1 0 1 の全画素回路 PXL の液晶セル $LC201$ の第 2 画素電極に共通に印加される。

【 0 1 4 0 】

そして、水平駆動回路 1 0 3 では、図示しないクロックジェネレータにより生成された水平走査の開始を指令する水平スタートパルス HST 、水平走査の基準となる互いに逆相の水平クロック HCK 、 $HCKX$ を受けてサンプリングパルスが生成され、入力される映像信号が生成したサンプリングパルスに应答して順次サンプリングされて、各画素回路 PXL に書き込むべきデータ信号 SDT として各信号ライン 1 0 7 - 1 ~ 1 0 7 - n に供給される。

40

たとえば、まず、 R 対応のセレクトスイッチが導通状態に駆動制御されて R データが各信号ラインに出力されて R データが書き込まれる。 R データの書き込みが終了すると、 G 対応のセレクトスイッチのみが導通状態に駆動制御されて G データが各信号ラインに出力されて書き込まれる。 G データの書き込みが終了すると、 B 対応のセレクトスイッチのみが導通状態に駆動制御されて B データが各信号ラインに出力されて書き込まれる。

50

【0141】

本実施形態においては、この信号ラインからの書き込み後（ゲートパルスGPの立下り後）、ストレージライン106-1～106-mから保持容量CS201を介してカップリングさせることにより画素電位（ノードND201の電位）を変化させて、液晶印加電圧を変調させている。

このとき、コモン電圧Vcomは一定値ではなく小振幅 ΔV_{com} （10mV～1.0V）で交番信号として供給される。

これにより、黒輝度のみならず白輝度も最適化されている。

【0142】

以上説明したように、本実施形態によれば、TF T201を通して映像用画素データを書き込む複数の画素回路PXL Cがマトリクス状に配置された有効画素部101と、画素回路の行配列に対応するように配置されたゲートライン105-1～105-mと、画素回路の行配列に対応するように配置された複数の容量配線106-1～106-mと、画素回路の列配列に対応するように配置された信号ライン107-1～107-mと、ゲートライン、および容量配線を選択的に駆動する垂直駆動回路102と、所定の周期でレベルが切り替わる小振幅のコモン電圧信号を生成する生成回路104と、を有し、各画素回路は、第1画素電極および第2画素電極を有する液晶セルLC201と、第1電極および第2電極を有する保持容量CS201と、を含み、液晶セルの第1画素電極と保持容量の第1電極とTF Tの一端子が接続され、保持容量の第2電極が対応する行に配列された容量配線に接続され、液晶セルの第2画素電極にはコモン電圧信号が印加されることから、黒輝度および白輝度の両方をもとに最適化することができる。その結果、コントラストを最適化することができる利点がある。

【0143】

また、本実施形態においては、駆動温度の変化による液晶の誘電率の変動、量産時のバラツキによる保持容量CS201を形成している絶縁膜の膜厚の変動および液晶セルギャップの変動により、液晶印加電圧が変動してしまう。この変動分を電氣的に検知し、液晶印加電圧の変動を抑制することで表示の温度、量産時のバラツキによる変化を抑制する。

【0144】

また、本実施形態の垂直駆動回路102におけるCSドライバは、ドライバ段の前後段あるいは前フレームの極性に依存せず、画素書き込み時の極性（POLで示される）のみでCS信号の極性を決めている。

すなわち、本実施形態の前後段の信号に依存せず、自段の信号のみで制御可能となっている。

また、本実施形態の垂直駆動回路のCSブロック等は、少ない素子数で形成することができ、回路規模の縮小に貢献している。たとえば20個以下のトランジスタにより構成することが可能である。

【0145】

なお、上記実施形態では、液晶表示装置にアナログ映像信号を入力とし、これをラッチした後アナログ映像信号を点順次にて各画素に書き込むアナログインターフェース駆動回路を搭載した液晶表示装置に適用した場合について説明したが、デジタル映像信号を入力とし、セレクト方式にて線順次にて画素に映像信号を書き込む駆動回路を搭載した液晶表示装置にも、同様に適用可能である。

【0146】

また、上記実施形態においては、各画素の表示エレメント（電気光学素子）として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、液晶表示装置への適用に限られるものではなく、各画素の表示エレメントとしてエレクトロルミネッセンス（EL: electroluminescence）素子を用いたアクティブマトリクス型EL表示装置などアクティブマトリクス型表示装置全般に適用可能である。

以上説明した実施形態に係る表示装置は、直視型映像表示装置（液晶モニタ、液晶ビューファインダ）、投射型液晶表示装置（液晶プロジェクタ）の表示パネル、すなわちLC

D (liquid crystal display) パネルとして用いることが可能である。

【図面の簡単な説明】

【0147】

【図1】一般的な液晶表示装置の構成例を示すブロック図である。

【図2】図1に示す一般的な液晶表示装置のいわゆる1H V c o m反転駆動方式におけるタイミングチャートを示す。

【図3】ノーマリホワイト液晶の印加電圧と比誘電率との関係を示す図である。

【図4】本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す図である。

【図5】図1の回路の画素部の具体的な構成例を示す回路図である。

10

【図6】本実施形態の垂直駆動回路のゲートラインとストレージラインの駆動例を示すタイミングチャートである。

【図7】本実施形態に係るコモン電圧生成回路の構成例を示す回路図である。

【図8】本実施形態の主要な液晶セルの駆動波形を示すタイミングチャートである。

【図9】式3における液晶セルの各容量を示す図である。

【図10】液晶表示装置で使用される液晶材料(ノーマリホワイト液晶)を用いた場合の白表示のときに液晶に印加される実効画素電位 ΔV_{pix_W} の選定基準を説明するための図である。

【図11】本発明の実施形態に係る駆動方式、関連する容量結合駆動方式、および通常の1H V c o m駆動方式の映像信号電圧と実効画素電位との関係を示す図である。

20

【図12】本発明の実施形態に係る駆動方式、および関連する容量結合駆動方式の映像信号電圧と輝度との関係を示す図である。

【図13】本実施形態に係る表示装置がシステムオングラスパネルに、検出エリア、補正回路システムを形成した例を示す図である。

【図14】本実施形態に係る表示装置がCOG搭載パネルに、検出エリア、補正回路システムを形成した例を示す図である。

【図15】本実施形態に係る表示装置においてパネル上に検出エリアを形成し、単結晶LSI内に補正回路システムを形成した例を示す図である。

【図16】本実施形態に係る表示装置がシステムオングラスパネルに、検出エリア、補正回路システムを形成した第2の例を示す図である。

30

【図17】本実施形態に係る表示装置がCOG搭載パネルに、検出エリア、補正回路システムを形成した第2の例を示す図である。

【図18】本実施形態に係る表示装置においてパネル上に検出エリアを形成し、単結晶LSI内に補正回路システムを形成した第2の例を示す図である。

【図19】本実施形態に係る補正回路システムの第1の構成例を示す図である

【図20】本実施形態に係る補正回路システムの第2の構成例を示す図である

【図21】本実施形態に係る補正回路システムの第3の構成例を示す図である

【図22】本実施形態に係る補正回路システムの第4の構成例を示す図である

【図23】本実施形態に係る補正回路システムの第5の構成例を示す図である

【図24】本実施形態に係る補正回路システムの第6の構成例を示す図である

40

【図25】水平方向の1ラインのすべてのダミー画素電極を接続して構成されたモニタ画素の一例を示す図である。

【図26】本実施形態に係る補正回路システムの第7の構成例を示す図である。

【図27】本実施形態に係る補正回路の具体的な構成例を示す回路図である。

【図28】図27の補正回路のタイミングチャートである。

【図29】画素構造に関連つけて補正回路の効果を説明するための図である。

【図30】画素構造に関連つけて補正回路の効果を説明するための図である。

【図31】本実施形態に係る補正回路の搭載前と搭載後の γ 特性のばらつきの様子を示す図である。

【符号の説明】

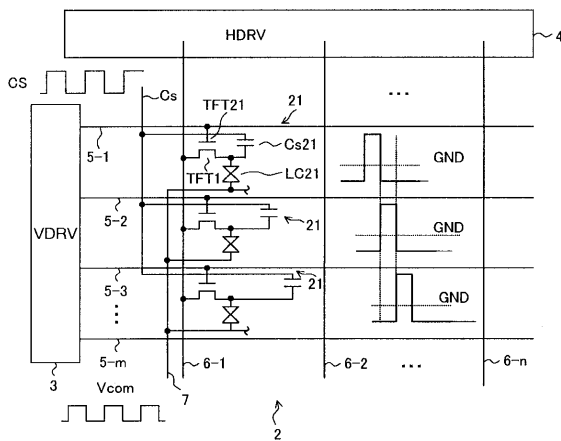
50

【 0 1 4 8 】

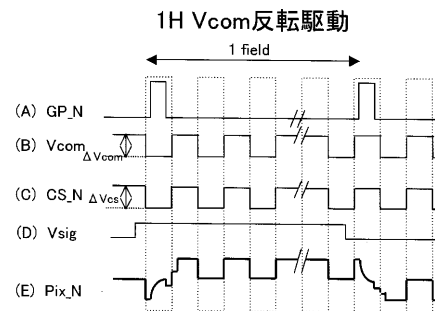
1 0 0 . . . 液晶表示装置、1 0 1 . . . 有効画素部、1 0 2 . . . 垂直駆動回路 (V D R V)、1 0 3 . . . 水平駆動回路 (H D R V)、1 0 4 . . . コモン電圧生成回路、1 0 5 - 1 ~ 1 0 5 - m . . . ゲートライン、1 0 6 - 1 ~ 1 0 6 - m . . . 容量配線 (ストレージライン)、1 0 7 - 1 ~ 1 0 7 - n . . . 信号ライン、1 0 8 . . . 検出エリア、ダミー画素部、1 0 9 . . . 補正回路、P X L C ... 画素回路、2 0 1 . . . T F T (スイッチング素子)、L C 2 0 1 ... 液晶セル、C S 2 0 1 ... 保持容量、3 0 0 , 3 0 0 A ~ 3 0 0 E . . . 補正回路システム、3 0 1 . . . ダミー画素、3 0 2 . . . 補正回路、3 0 3 . . . スイッチ、3 0 4 . . . 外部基板、3 0 5 . . . モニタ画素、3 0 2 1 . . . 比較器、3 0 2 2 . . . 出力電圧制御回路 (ブロック)、3 0 2 3 . . . 出力バッファ 10

【 図 1 】

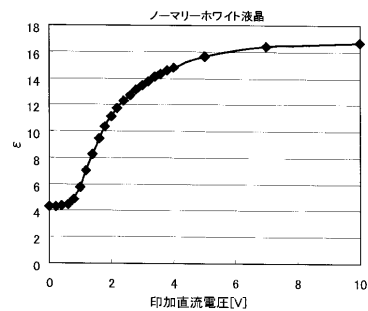
1



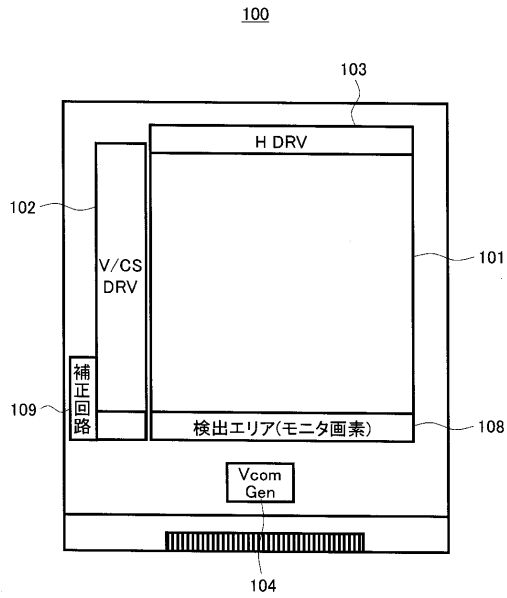
【 図 2 】



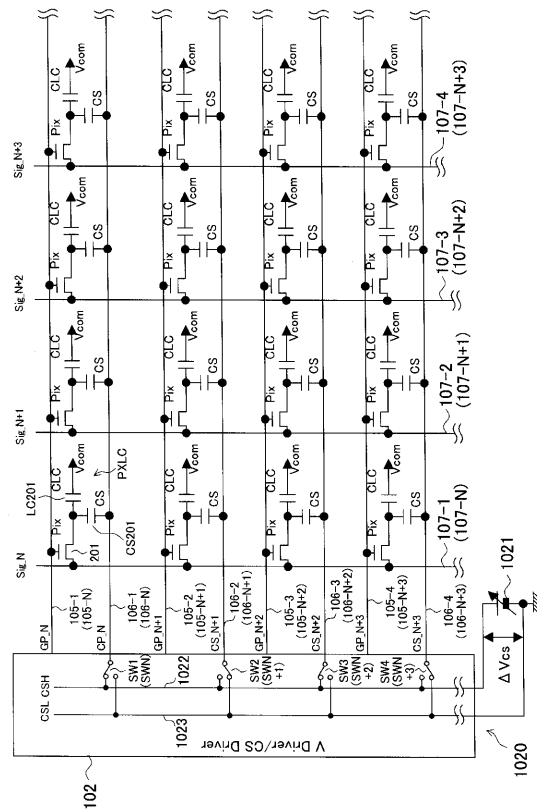
【 図 3 】



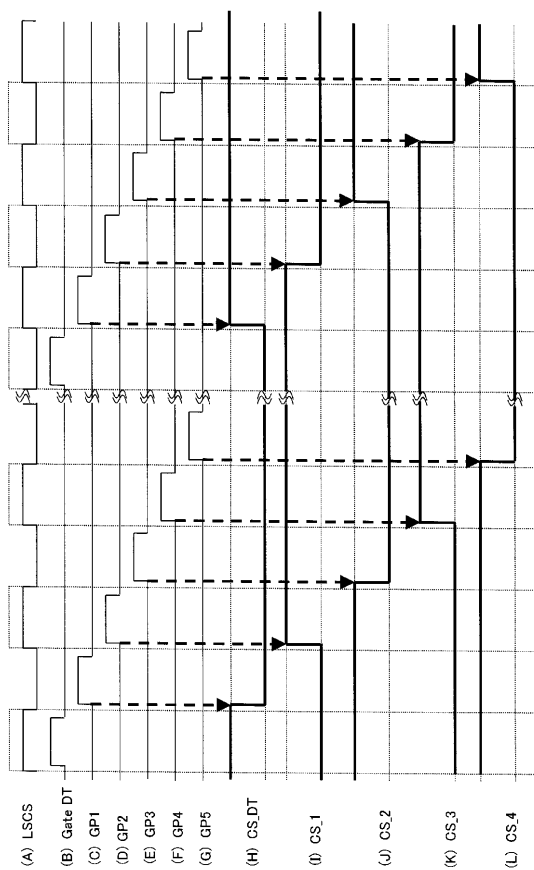
【 図 4 】



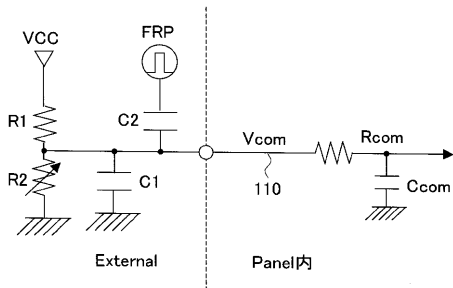
【 図 5 】



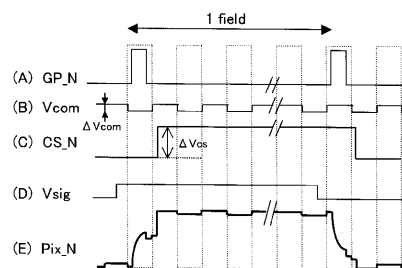
【 図 6 】



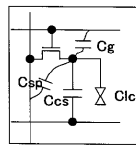
【 図 7 】



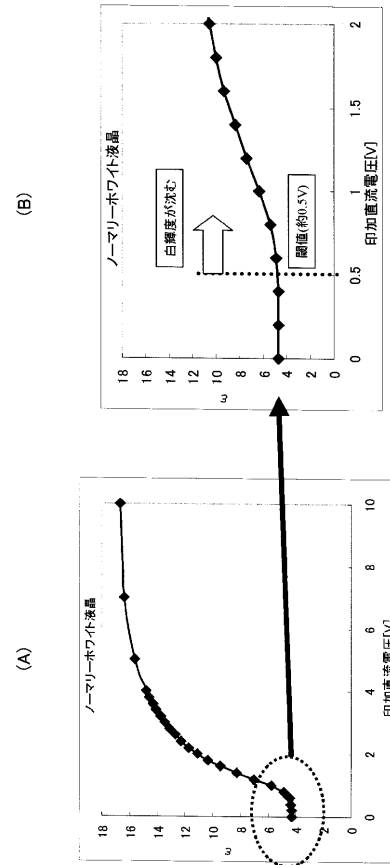
【 図 8 】



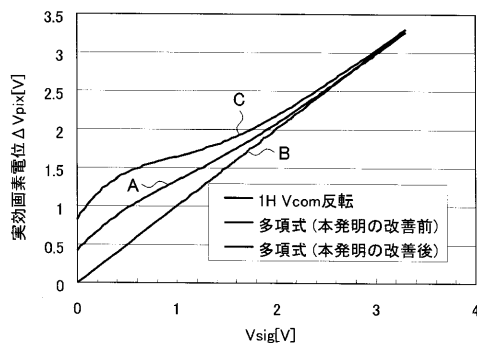
【図 9】



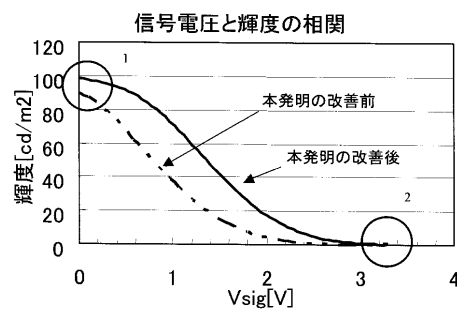
【図 10】



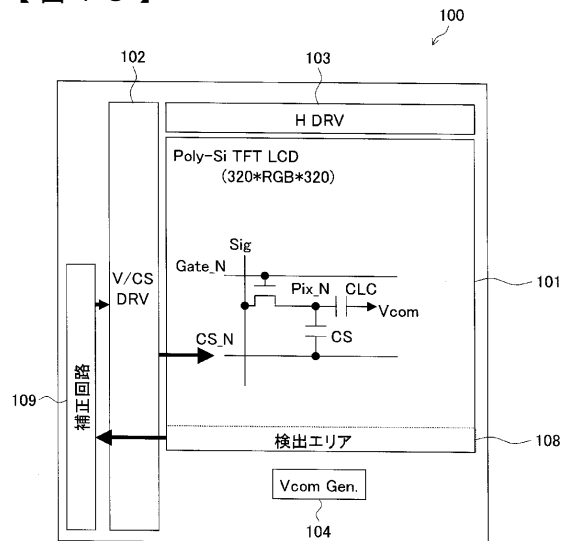
【図 11】



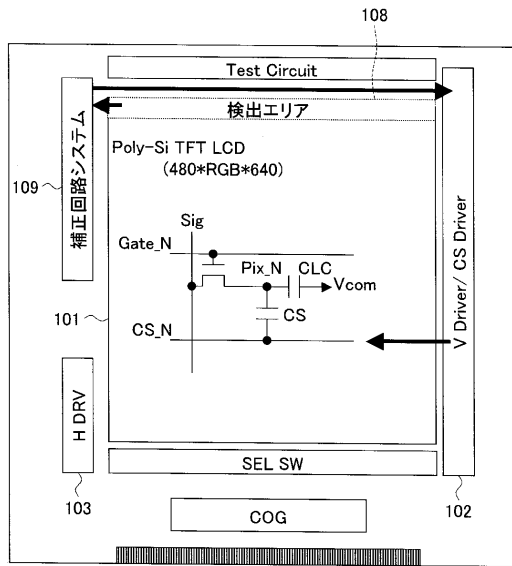
【図 12】



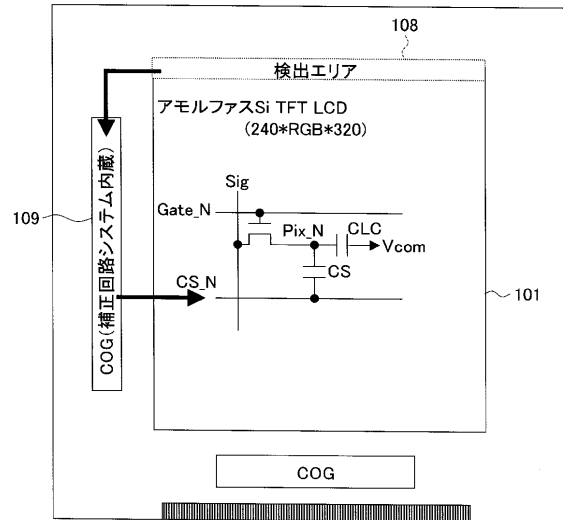
【図 13】



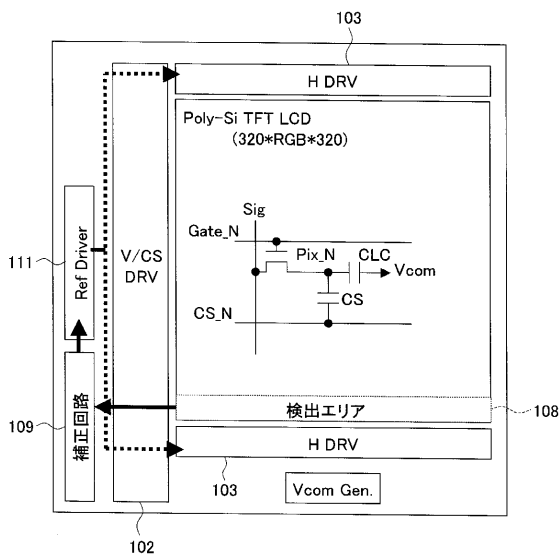
【図 14】



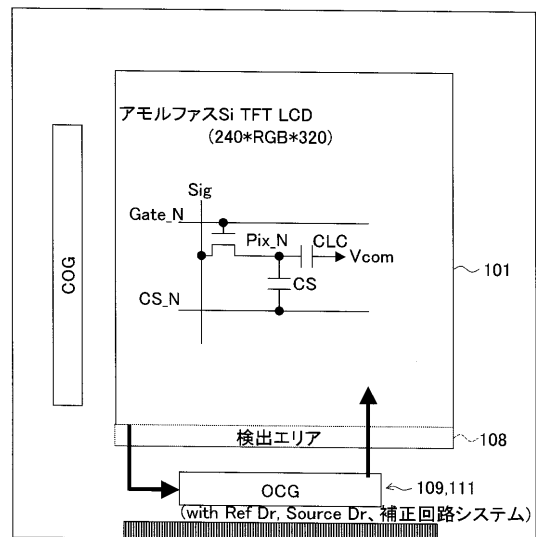
【図 15】



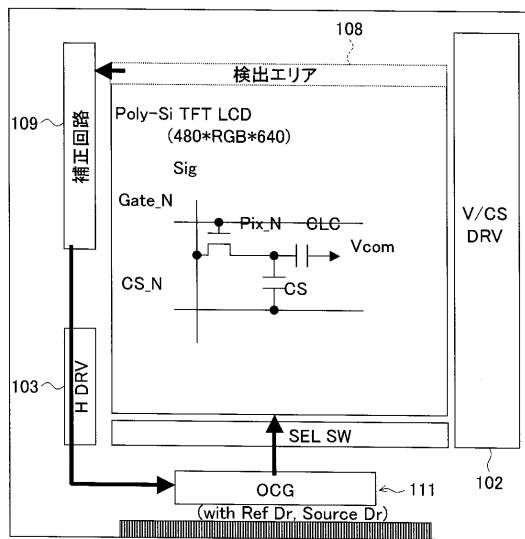
【図 16】



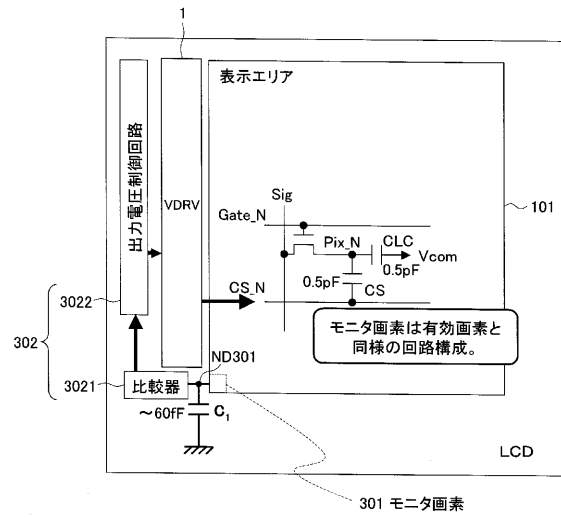
【図 17】



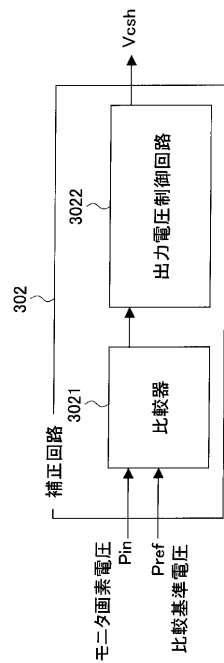
【図 18】



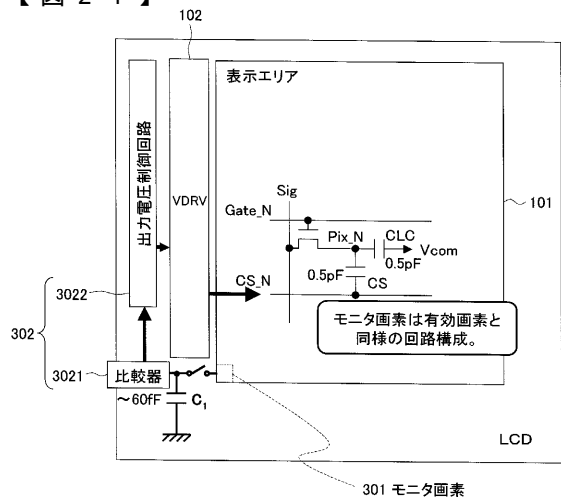
【図 19】



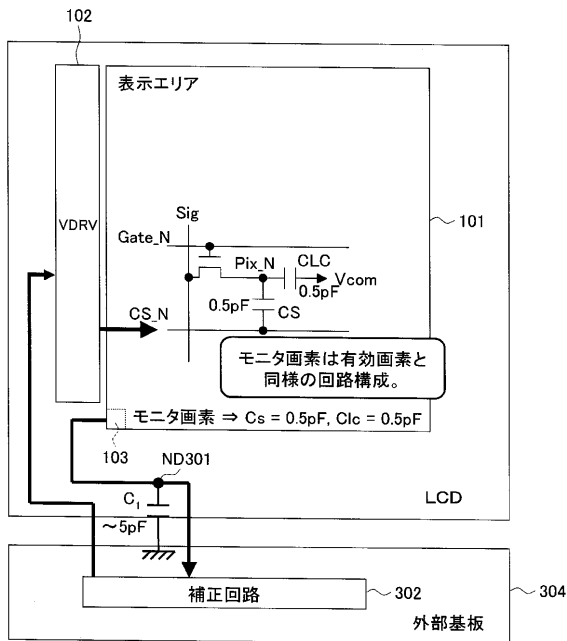
【図 20】



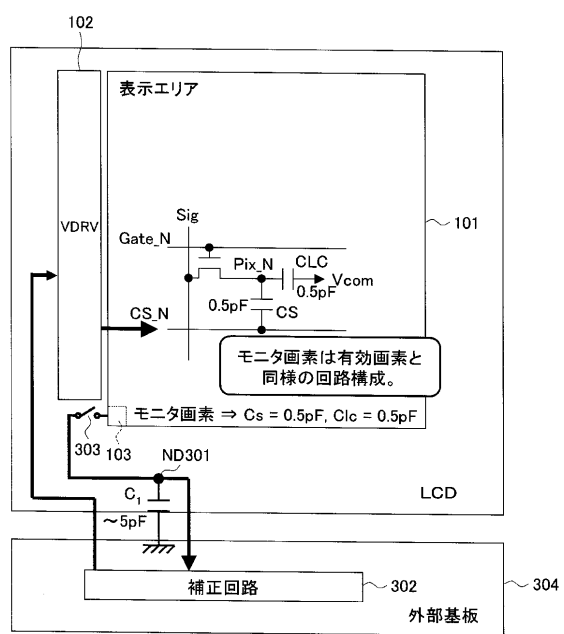
【図 21】



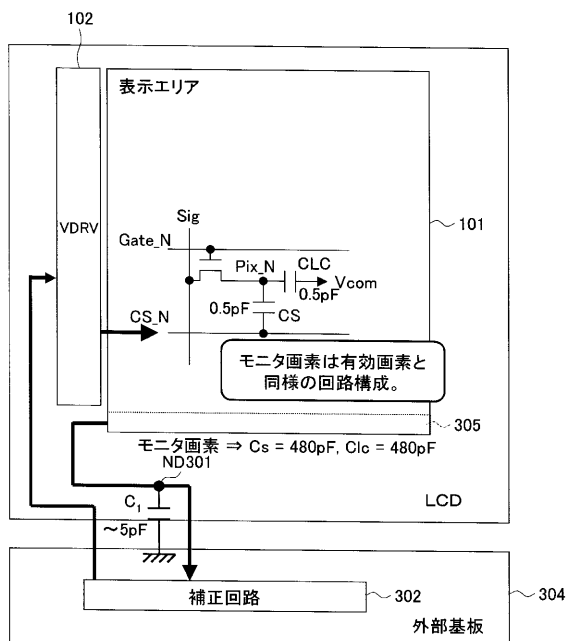
【図 2 2】



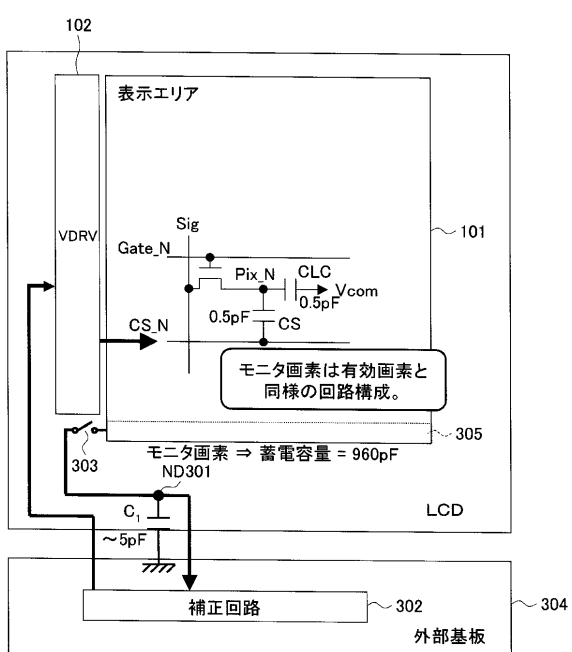
【図 2 3】



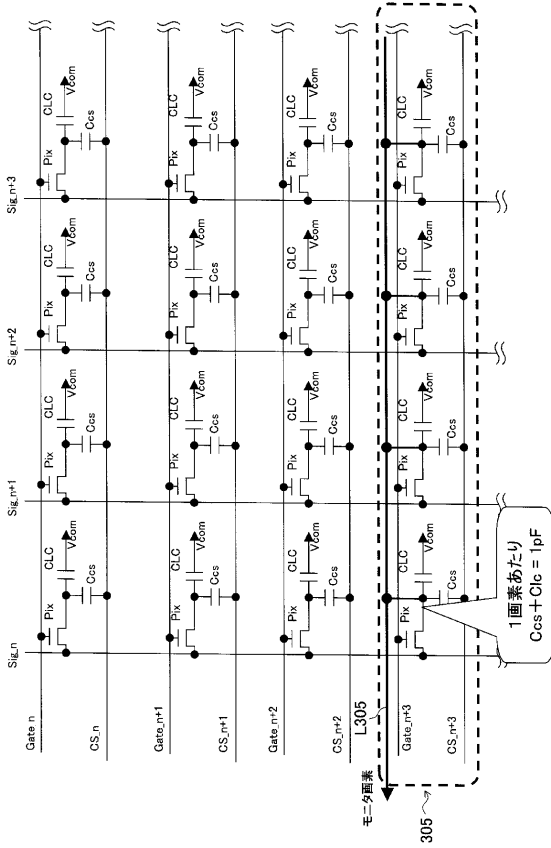
【図 2 4】



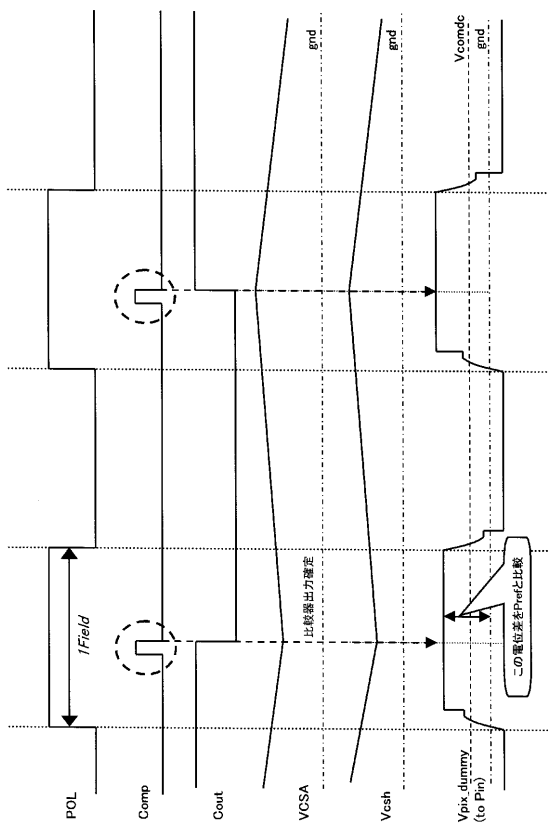
【図 2 5】



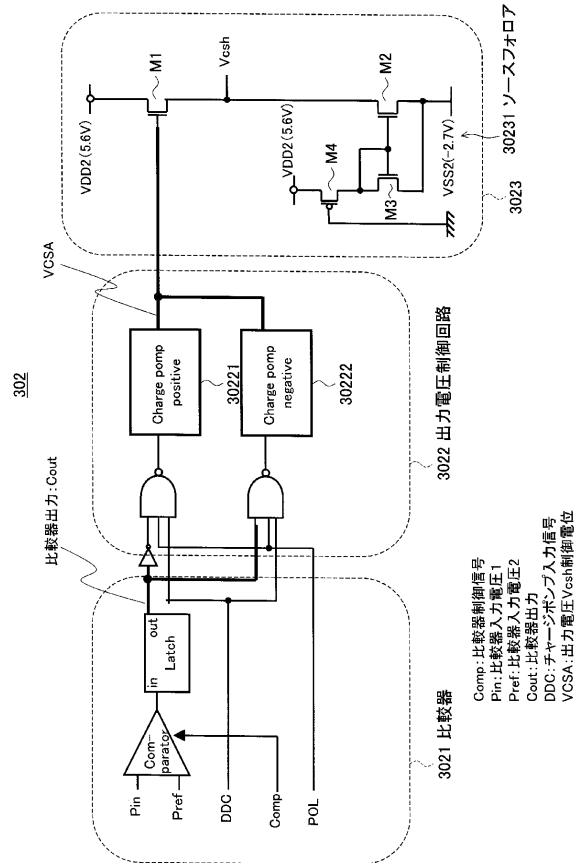
【図 26】



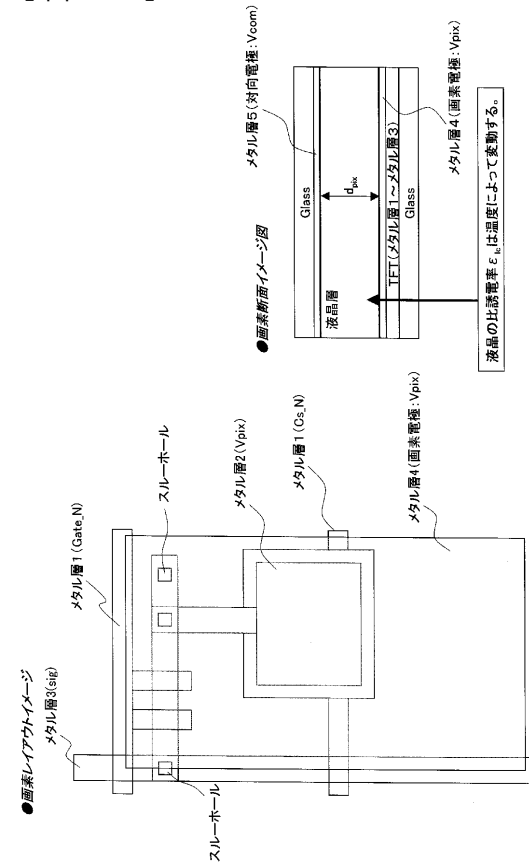
【図 28】



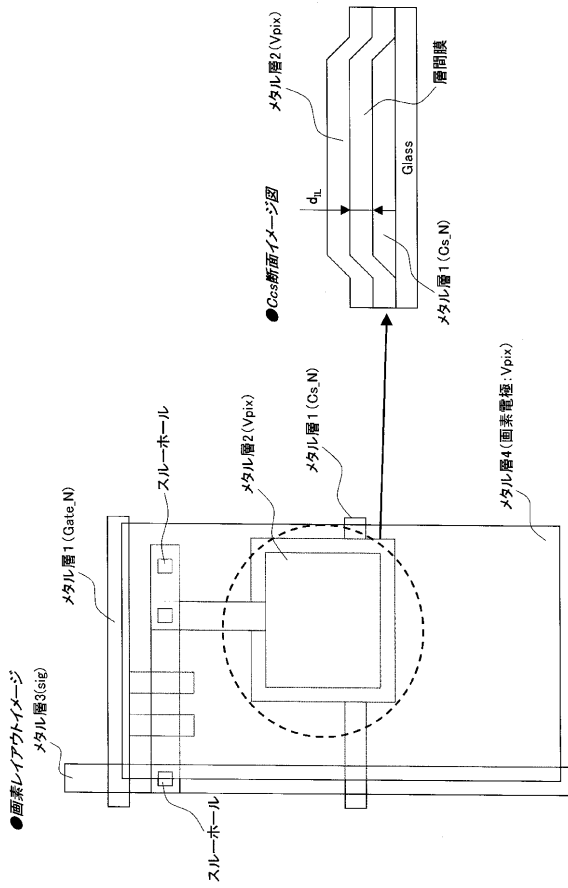
【図 27】



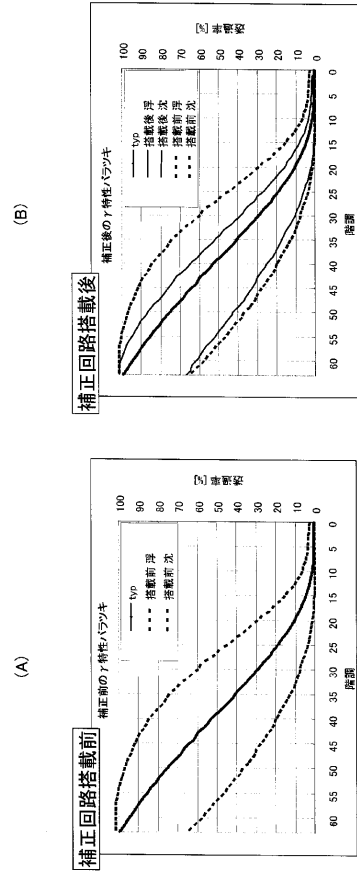
【図 29】



【 図 3 0 】



【 図 3 1 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 4 2 C
G 0 9 G	3/20	6 4 2 P
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 8 0 H

(72)発明者 佐藤 友彦

東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

(72)発明者 竹内 剛也

東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

F ターム(参考) 2H092 GA59 JA24 JB13 JB69 NA01 PA06
 2H093 NA16 NA43 NA53 NB30 NC09 NC11 NC18 NC34 NC35 NC58
 NC63 ND02 NE07
 5C006 AA16 AA22 AC09 AC22 AC25 AC27 AC28 AF22 AF42 AF44
 AF46 AF54 AF59 AF62 AF64 AF71 BB16 BB27 BC03 BC13
 BF04 BF11 BF14 BF24 BF25 BF26 BF33 BF34 BF37 BF38
 BF42 EC11 FA14 FA19 FA20 FA26 FA31 FA54
 5C080 AA10 BB05 CC03 DD05 DD08 DD12 DD20 EE29 FF11 JJ02
 JJ04 JJ05

专利名称(译)	表示装置		
公开(公告)号	JP2007065076A	公开(公告)日	2007-03-15
申请号	JP2005248104	申请日	2005-08-29
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	板倉直之 深野智之 仲島義晴 佐藤友彦 竹内剛也		
发明人	板倉 直之 深野 智之 仲島 義晴 佐藤 友彦 竹内 剛也		
IPC分类号	G09G3/36 G02F1/133 G02F1/1345 G02F1/1368 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.580 G02F1/1345 G02F1/1368 G09G3/20.622.D G09G3/20.622.G G09G3/20.624.C G09G3/20.624.D G09G3/20.624.E G09G3/20.642.C G09G3/20.642.P G09G3/20.680.G G09G3/20.680.H		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/JB13 2H092/JB69 2H092/NA01 2H092/PA06 2H093/NA16 2H093/NA43 2H093/NA53 2H093/NB30 2H093/NC09 2H093/NC11 2H093/NC18 2H093/NC34 2H093/NC35 2H093/NC58 2H093/NC63 2H093/ND02 2H093/NE07 5C006/AA16 5C006/AA22 5C006/AC09 5C006/AC22 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF22 5C006/AF42 5C006/AF44 5C006/AF46 5C006/AF54 5C006/AF59 5C006/AF62 5C006/AF64 5C006/AF71 5C006/BB16 5C006/BB27 5C006/BC03 5C006/BC13 5C006/BF04 5C006/BF11 5C006/BF14 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF33 5C006/BF34 5C006/BF37 5C006/BF38 5C006/BF42 5C006/EC11 5C006/FA14 5C006/FA19 5C006/FA20 5C006/FA26 5C006/FA31 5C006/FA54 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD08 5C080/DD12 5C080/DD20 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ05 2H192/AA24 2H192/CB13 2H192/DA12 2H192/FA02 2H192/FA73 2H192/FB13 2H192/FB23 2H192/GD61 2H192/HB04 2H192/HB73 2H192/JB02 2H193/ZA04 2H193/ZA07 2H193/ZB08 2H193/ZB14 2H193/ZD23 2H193/ZF59 2H193/ZH21 2H193/ZH33		
代理人(译)	佐藤隆久		
其他公开文献	JP4492491B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够优化（校正）亮度的显示装置。ŽSOLUTION：显示装置具有：栅极线105-1至105-m;多个电容布线106-1至106-m，对应于像素电路的线阵列排列;垂直驱动电路102，选择性地驱动栅极线和电容布线;产生电路104，产生具有小幅度的公共电压信号。每个像素电路包括：具有第一像素电极和第二像素电极的液晶单元LC201，以及具有第一电极和第二电极的保持电容CS201;液晶单元的第一像素电极，保持电容的第一电极和TFT的一端连接。液晶单元的第二电极连接到排列在相应行中的电容布线，并且公共电压施加到液晶单元的第二像素电极。此外，校正电路系统具有监视像素部分的像素电位的监视器部分108和校正电路109，校正电路109基于监视电路的监视结果校正驱动电容布线的信号或参考驱动器。Ž

