

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-58211

(P2007-58211A)

(43) 公開日 平成19年3月8日(2007.3.8)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
	G09G 3/20 622M	
	G09G 3/20 622C	
審査請求 未請求 請求項の数 30 O L (全 17 頁) 最終頁に続く		

(21) 出願番号	特願2006-223516 (P2006-223516)	(71) 出願人	390019839
(22) 出願日	平成18年8月18日 (2006.8.18)		三星電子株式会社
(31) 優先権主張番号	10-2005-0076614		Samsung Electronics
(32) 優先日	平成17年8月22日 (2005.8.22)		Co., Ltd.
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞416
		(74) 代理人	100072349
			弁理士 八田 幹雄
		(74) 代理人	100110995
			弁理士 奈良 泰男
		(74) 代理人	100114649
			弁理士 宇谷 勝幸
		(72) 発明者	李 弦 洙
			大韓民国京畿道安養市東安区虎溪2洞 ハンマウムイムガンアパート205棟2404号
		最終頁に続く	

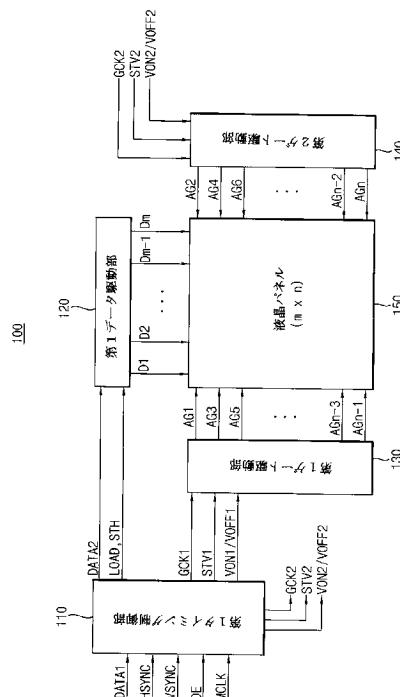
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】表示特性の向上のための液晶表示装置及びその駆動方法を提供する。

【解決手段】互いに隣接するゲートラインと互いに隣接するデータラインによって画定される各領域に第1時点に充電される第1画素部及び前記第1時点より遅い第2の時点に充電される第2画素部を有する液晶パネル150と、データ信号を液晶パネル150に送信するデータ駆動部120と、前記第1の時点に充電される第1画素部に第1ゲート信号を印加し、第2の時点に充電される第2画素部に前記第1ゲート信号とは特性の異なる第2ゲート信号を印加するゲート駆動部140と、を含む。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

互いに隣接するゲートラインと互いに隣接するデータラインによって画定される各領域に第 1 時点に充電される第 1 画素部及び前記第 1 時点より遅い第 2 の時点に充電される第 2 画素部を有する液晶パネルと、

データ信号を前記液晶パネルに送信するデータ駆動部と、

前記第 1 の時点に充電される第 1 画素部に第 1 ゲート信号を印加し、第 2 の時点に充電される第 2 画素部に前記第 1 ゲート信号とは特性の異なる第 2 ゲート信号を印加するゲート駆動部と、

を含むことを特徴とする液晶表示装置。

10

【請求項 2】

前記データ駆動部は、前記第 1 画素部に第 1 データ信号を印加し、前記第 2 画素部に前記第 1 データ信号と反対の極性を有する第 2 データ信号を印加することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 ゲート信号の振幅は、前記第 2 ゲート信号の振幅よりも大きいことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 ゲート信号のパルス幅は、前記第 2 ゲート信号のパルス幅よりも大きいことを特徴とする請求項 2 に記載の液晶表示装置。

20

【請求項 5】

前記データ駆動部は、前記第 1 画素部に第 1 データ信号を印加し、前記第 2 画素部に前記第 1 データ信号と同一の極性を有する第 2 データ信号を印加することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記第 1 ゲート信号の振幅は、前記第 2 ゲート信号の振幅よりも小さいことを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記第 1 ゲート信号のパルス幅は、前記第 2 ゲート信号のパルス幅よりも小さいことを特徴とする請求項 5 に記載の液晶表示装置。

30

【請求項 8】

前記第 1 画素部は第 1 スイッチング素子と前記第 1 スイッチング素子に電氣的に連結された第 1 液晶キャパシタと、を含み、

前記第 2 画素部は第 2 スイッチング素子と前記第 2 スイッチング素子に電氣的に連結された第 2 液晶キャパシタと、を含み、

前記第 1 液晶キャパシタ及び第 2 液晶キャパシタは、ストレージキャパシタに共通して連結されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】

前記ゲート駆動部は、

第 1 ゲートオン電圧に応答して前記第 1 画素部に電氣的に連結されたゲートラインに第 1 レベルの第 1 ゲート信号を出力する第 1 ゲート駆動部と、

第 2 ゲートオン電圧に応答して前記第 2 画素部に第 2 レベルの第 2 ゲート信号を出力する第 2 ゲート駆動部と、

を含むことを特徴とする請求項 1 に記載の液晶表示装置。

40

【請求項 10】

前記第 1 ゲートオン電圧及び前記第 2 ゲートオン電圧を前記第 1 ゲート駆動部及び第 2 ゲート駆動部にそれぞれ出力するタイミング制御部をさらに含むことを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記第 1 レベルは、前記第 2 レベルより大きいことを特徴とする請求項 9 に記載の液晶

50

表示装置。

【請求項 1 2】

前記第 1 ゲート駆動部と第 2 ゲート駆動部は、互いに異なる垂直開始信号によって起動されることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 1 3】

前記互いに異なる垂直開始信号は、1 フレーム区間分だけ離隔されることを特徴とする請求項 1 2 に記載の液晶表示装置。

【請求項 1 4】

前記ゲート駆動部は、

第 1 出力イネーブル信号に応答して前記第 1 画素部に電氣的に連結されたゲートライン 10 に第 1 パルス幅の第 1 ゲート信号を出力する第 1 ゲート駆動部と、

第 2 出力イネーブル信号に応答して前記第 2 画素部に電氣的に連結されたゲートラインに第 2 パルス幅の第 2 ゲート信号を出力する第 2 ゲート駆動部と、

を含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 5】

前記第 1 パルス幅は、前記第 2 パルス幅よりも大きいことを特徴とする請求項 1 4 に記載の液晶表示装置。

【請求項 1 6】

第 1 ゲート駆動部と前記第 2 ゲート駆動部とは、互いに異なる垂直開始信号によって起動されることを特徴とする請求項 1 4 に記載の液晶表示装置。 20

【請求項 1 7】

前記互いに異なる垂直開始信号は、1 フレーム区間分だけ離隔されることを特徴とする請求項 1 6 に記載の液晶表示装置。

【請求項 1 8】

前記第 1 出力イネーブル信号と前記第 2 出力イネーブル信号とを、前記第 1 ゲート駆動部及び前記第 2 ゲート駆動部にそれぞれ出力するタイミング制御部をさらに含むことを特徴とする請求項 1 4 に記載の液晶表示装置。

【請求項 1 9】

前記第 1 画素部の第 1 充電量と前記第 2 画素部の第 2 充電量とは、実質的に同一であることを特徴とする請求項 1 に記載の液晶表示装置。 30

【請求項 2 0】

互いに隣接するゲートラインと互いに隣接するデータラインによって画定される各領域に形成された第 1 画素部及び第 2 画素部を有する液晶パネルを含む液晶表示装置の駆動方法において、

前記データラインにデータ電圧を供給する段階と、

前記第 2 画素部よりも先に充電される前記第 1 画素部に電氣的に連結されたゲートラインに第 1 ゲート信号を出力する段階と、

前記第 1 ゲート信号を出力した後、前記第 2 画素部に電氣的に連結されたゲートラインに、前記第 1 ゲート信号とは特性の異なる第 2 ゲート信号を出力する段階と、

を含むことを特徴とする液晶表示装置の駆動方法。 40

【請求項 2 1】

前記データラインにデータ電圧を印加する段階は、

前記第 1 画素部に第 1 データ信号を印加する段階と、

前記第 2 画素部に前記第 1 データ信号と反対の極性を有する第 2 データ信号を印加する段階と、

を含むことを特徴とする請求項 2 0 に記載の液晶表示装置の駆動方法。

【請求項 2 2】

前記第 1 ゲート信号の振幅は、前記第 2 ゲート信号の振幅よりも大きいことを特徴とする請求項 2 1 に記載の液晶表示装置の駆動方法。

【請求項 2 3】

前記第 1 ゲート信号のパルス幅は、前記第 2 ゲート信号のパルス幅よりも大きいことを特徴とする請求項 2 1 に記載の液晶表示装置の駆動方法。

【請求項 2 4】

前記データラインにデータ電圧を印加する段階は、
前記第 1 画素部に第 1 データ信号を印加する段階と、
前記第 2 画素部に前記第 1 データ信号と同一極性の第 2 データ信号を印加する段階と、
を含むことを特徴とする請求項 2 0 に記載の液晶表示装置の駆動方法。

【請求項 2 5】

前記第 1 ゲート信号の振幅は、前記第 2 ゲート信号の振幅よりも小さいことを特徴とする請求項 2 4 に記載の液晶表示装置の駆動方法。

【請求項 2 6】

第 1 ゲート信号のパルス幅は、前記第 2 ゲート信号のパルス幅よりも小さいことを特徴とする請求項 2 4 に記載の液晶表示装置の駆動方法。

【請求項 2 7】

前記第 1 ゲート信号のレベルは、前記第 2 ゲート信号のレベルよりも大きいことを特徴とする請求項 2 0 に記載の液晶表示装置の駆動方法。

【請求項 2 8】

前記第 1 ゲート信号及び前記第 2 ゲート信号は、互いに異なるゲートオフ電圧と互いに異なるゲートオン電圧によって画定されることを特徴とする請求項 2 7 に記載の液晶表示装置の駆動方法。

【請求項 2 9】

前記第 1 ゲート信号及び前記第 2 ゲート信号は、同一のゲートオフ電圧と互いに異なるゲートオン電圧によって画定されることを特徴とする請求項 2 7 に記載の液晶表示装置の駆動方法。

【請求項 3 0】

前記第 1 ゲート信号のパルス幅は、前記第 2 ゲート信号のパルス幅よりも大きいことを特徴とする請求項 2 0 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、液晶表示装置及びその駆動方法に関し、より詳細には表示特性を向上させるための液晶表示装置及びその駆動方法に関する。

【背景技術】

【0 0 0 2】

一般的に、液晶表示装置は 2 つの基板間に注入された異方性誘電率を有する液晶物質に強度の調節された電界を印加して前記液晶物質を透過する光量を調節することによって、所望する画像を得る表示装置である。

【0 0 0 3】

前記液晶表示装置は、ゲート電極に印加されるゲート電圧によってデータラインを通じて液晶に伝達される信号電圧の大きさが制御され、このような可変的なデータ電圧は液晶の分極状態を段階的に変えるので液晶表示装置で多様な階調レベルを表現することができる。

【0 0 0 4】

前記液晶表示装置は、ソース駆動 IC とそれを駆動するソース PCB (Printed Circuit Board)、そして、ゲート駆動 IC とそれを駆動するゲート PCB で構成される。前記液晶表示装置の使用が普遍化されることにより、製造業側では原価節減及び効率的な駆動のために、ソース駆動 IC の数を減少しようとする開発研究が進んでいる。

【0 0 0 5】

このような開発研究の一つとしては、データラインの半減構造を有する液晶表示装置を

10

20

30

40

50

採用することである。前記データラインの半減構造は互いに隣接するデータラインと互いに隣接するゲートラインによって画定される領域に形成された一番目の画素部と二番目の画素部とを含む。前記一番目の画素部と二番目の画素部とは互いに異なる時点で充電が開始される。

【0006】

しかし、前記データラインの半減構造で、前記一番目の画素部を充電させた後、前記二番目の画素部を充電させると、前記一番目の画素部と前記二番目の画素部が備えるキャパシタンスによって、先に充電された一番目の画素部による影響で二番目の画素部に充電される充電量が変化する。

【0007】

10

前記した一番目の画素部と二番目の画素部との充電量の差異は画面全体的に見たとき、フリッカー現象が発生するという問題点がある。

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の技術的課題は、このような従来の問題点を解決するためのもので、本発明の目的はデータラインの半減構造において充電量の変化を減少させることでフリッカー現象を防止して表示特性を向上するための液晶表示装置を提供することにある。

【0009】

本発明の他の目的は、前記した液晶表示装置の駆動方法を提供することにある。

20

【課題を解決するための手段】

【0010】

前記した本発明の目的を実現するために一実施形態による液晶表示装置は、液晶パネル、データ駆動部及びゲート駆動部を含む。液晶パネルは互いに隣接するゲートラインと互いに隣接するデータラインによって画定される各領域に第1の時点で充電される第1画素部、及び前記第1の時点より遅い第2の時点で充電される第2画素部を有する。データ駆動部は、データ信号を液晶パネルに送信する。ゲート駆動部は、前記第1画素部及び前記第2画素部で先に充電される第1画素部に第1ゲート信号を印加し、後に充電される第2画素部に前記第1ゲート信号と特性（性質）の異なる第2ゲート信号を印加する。例えば、前記データ駆動部は前記第1画素部に第1データ信号を印加し、前記第2画素部に前記第1データ信号と反対の極性の第2データ信号を印加することができる。この場合、前記第1ゲート信号の振幅は前記第2ゲート信号の振幅よりも大きい。または、前記第1ゲート信号のパルス幅は前記第2ゲート信号のパルス幅よりも大きい。

30

【0011】

例えば、前記データ駆動部は前記第1画素部に第1データ信号を印加し、前記第2画素部に前記第1データ信号と同一の極性の第2データ信号を印加することができる。この場合、前記第1ゲート信号の振幅は前記第2ゲート信号の振幅よりも小さい。または、前記第1ゲート信号のパルス幅は前記第2ゲート信号のパルス幅よりも小さい。

【0012】

前記した本発明の他の目的を実現するために、一実施形態による液晶表示装置の駆動方法は互いに隣接するゲートラインと互いに隣接するデータラインによって画定される各領域に形成された第1画素部及び第2画素部を有する液晶パネルを含む液晶表示装置の駆動方法において、前記データラインにデータ電圧を供給する段階と、先に充電される前記第1画素部に電氣的に連結されたゲートラインに第1ゲート信号を出力する段階と、前記第1ゲート信号を出力した後、前記第2画素部に電氣的に連結されたゲートラインに前記第1ゲート信号と特性（性質）の異なる第2ゲート信号を出力する段階を含む。

40

【0013】

前記データラインにデータ電圧を印加する段階は、前記第1画素部に第1データ信号を印加する段階、及び前記第2画素部に前記第1データ信号と反対の極性の第2データ信号を印加する段階を含むことができる。この場合、前記第1ゲート信号の振幅は前記第2ゲ

50

ート信号の振幅よりも大きい。または、前記第 1 ゲート信号の振幅は前記第 2 ゲート信号の振幅よりも大きい。または、前記第 1 ゲート信号のパルス幅は前記第 2 ゲート信号のパルス幅よりも大きい。

【 0 0 1 4 】

前記データラインにデータ電圧を印加する段階は、前記第 1 画素部に第 1 データ信号を印加する段階、及び前記第 2 画素部に前記第 1 データ信号と同一の極性の第 2 データ信号を印加する段階を含むことができる。この場合、前記第 1 ゲート信号の振幅は前記第 2 ゲート信号の振幅よりも小さい。または、前記第 1 ゲート信号のパルス幅は前記第 2 ゲート信号のパルス幅よりも小さい。

【 発明の効果 】

10

【 0 0 1 5 】

以上のような本発明に係る液晶表示装置及びその駆動方法によれば、データラインの半減構造において充電量の変化を減少させることができる。この結果、フリッカー現象を除去することができる。

【 0 0 1 6 】

以下、添付図面を参照して、本発明の好ましい実施形態をより詳細に説明する。以下説明される実施形態は、第 1 画素部と第 2 画素部に対して、それぞれ互いに反対の極性を有する電荷が印加される反転構造を基準にして説明する。第 1 画素部と第 2 画素部に同一の極性を有する電荷が印加される構造では、以下に説明される第 1 画素部と第 2 画素部に印加されるゲート信号をいずれかを逆に入力すれば良い。

20

【 0 0 1 7 】

図 1 は、本発明の一実施形態による液晶表示装置を説明するブロック図である。図 2 は図 1 に示された第 1 ゲート駆動部及び第 2 ゲート駆動部で液晶パネルの画素部に出力されるゲート信号を説明する波形図である。

【 0 0 1 8 】

図 1 及び図 2 に示すように、液晶表示装置 1 0 0 は、第 1 タイミング制御部 1 1 0、第 1 データ駆動部 1 2 0、第 1 ゲート駆動部 1 3 0、第 2 ゲート駆動部 1 4 0、及び液晶パネル 1 5 0 を含む。

【 0 0 1 9 】

第 1 タイミング制御部 1 1 0 は、外部から第 1 データ信号 DATA 1、各種同期信号 H s y n c、V s y n c、データイネーブル信号 DE 及びメインクロック M C L K の入力を受ける。第 1 タイミング制御部 1 1 0 は、第 2 データ信号 DATA 2 とデータ駆動信号 L O A D、S T H とを第 1 データ駆動部 1 2 0 に出力する。

30

【 0 0 2 0 】

第 1 タイミング制御部 1 1 0 は、第 1 ゲート駆動信号 G C K 1、S T V 1 及び第 1 ゲートオン/オフ電圧 V O N 1 / V O F F 1 を第 1 ゲート駆動部 1 3 0 に出力し、第 2 ゲート駆動信号 G C K 2、S T V 2 及び第 2 ゲートオン/オフ V O N 2 / V O F F 2 を第 2 ゲート駆動部 1 4 0 に出力する。ここで、第 1 垂直開始信号 S T V 1 は、第 2 垂直開始信号 S T V 2 よりも先行する。それにより、第 1 ゲート駆動部 1 3 0 が駆動された後、第 2 ゲート駆動部 1 4 0 が駆動される。第 1 垂直開始信号 S T V 1 の立ち上がり (r i s i n g e d g e) と第 2 垂直開始信号 S T V 2 の立ち上がりは 1 フレーム (H) 区間分だけ離隔される。または、第 1 垂直開始信号 S T V 1 の立下り (f a l l i n g e d g e) と第 2 垂直開始信号 S T V 2 の立下りは 1 H 区間分だけ離隔される。

40

【 0 0 2 1 】

第 2 ゲートオン/オフ電圧 V O N 2 / V O F F 2 は、液晶パネル 1 5 0 に形成されたスイッチング素子を正常的にターンオン/オフさせるレベルである。本実施形態において前記スイッチング素子は薄膜トランジスタである。

【 0 0 2 2 】

一例では、第 1 ゲートオフ電圧 V O F F 1 と第 2 ゲートオフ電圧 V O F F 2) は同一で、第 1 ゲートオン電圧 V O N 1 は、前記第 2 ゲートオン電圧 V O N 2 よりも大きい。この

50

ような例において、前記ゲートオン電圧は前記液晶パネル 150 の薄膜トランジスタをターンオンするに要求されるレベルより高い。

【0023】

また、他の例では、第 1 ゲートオン電圧 V_{ON1} は第 2 ゲートオン電圧 V_{ON2} よりも大きく、第 1 ゲートオフ電圧 V_{OFF1} は第 2 ゲートオフ電圧 V_{OFF2} よりも小さい。例えば、第 2 ゲートオフ電圧 V_{ON2} が $-6V$ であると、第 1 ゲートオフ電圧 V_{ON1} は $-7V$ であり、第 2 ゲートオン電圧 V_{ON2} が $20V$ であると、第 1 ゲートオン電圧 V_{ON1} は $25V$ である。

【0024】

前記第 1 データ駆動部 120 が前記第 1 タイミング制御部 110 から第 2 データ信号を受信したとき、前記第 2 データ信号をデータ電圧（階調電圧）に変更し、変更されたデータ電圧 $D1$ 、 $D2$ 、 \dots Dm （ここで、 m は整数）を液晶パネル 150 に印加する。 10

【0025】

第 1 ゲート駆動部 130 は前記第 1 ゲート駆動信号 $GCK1$ 、 $STV1$ に応答して、液晶パネル 150 の奇数番目のゲートラインを起動する奇数番目のゲート信号 $AG1$ 、 $AG3$ 、 \dots 、 $AGn-3$ 、 $AGn-1$ （ここで、 n は偶数）を液晶パネル 150 に順次に印加する。

【0026】

第 2 ゲート駆動部 140 は前記第 2 ゲート駆動信号 $GCK2$ 、 $STV2$ に応答して液晶パネル 150 の偶数番目のゲートラインを起動する偶数番目のゲート信号 $AG2$ 、 $AG4$ 、 \dots 、 $AGn-2$ 、 AGn を順次に液晶パネル 150 に印加する。前記奇数番目のゲート信号 $AG1$ 、 $AG3$ 、 \dots 、 $AGn-3$ 、 $AGn-1$ と前記偶数番目のゲート信号 $AG2$ 、 $AG4$ 、 \dots 、 $AGn-2$ 、 AGn は交互に出力される。 20

【0027】

本実施形態において、奇数番目のゲート信号 $AG1$ 、 $AG3$ 、 \dots 、 $AGn-3$ 、 $AGn-1$ のレベルは、前記偶数番目のゲート信号 $AG2$ 、 $AG4$ 、 \dots 、 $AGn-2$ 、 AGn のレベルよりも相対的に大きい。後に充電される偶数番目のゲート信号 $AG2$ 、 $AG4$ 、 \dots 、 $AGn-2$ 、 AGn 対応する画素部には、先に充電される奇数番目のゲート信号 $AG1$ 、 $AG3$ 、 \dots 、 $AGn-3$ 、 $AGn-1$ に対応する画素部と反対の極性の電荷が印加される。従って、先に充電される奇数番目のゲート信号 $AG1$ 、 $AG3$ 、 \dots 、 $AGn-3$ 、 $AGn-1$ に対応する画素部に充電された電荷によって、偶数番目のゲート信号 $AG2$ 、 $AG4$ 、 \dots 、 $AGn-2$ 、 AGn に対応する画素部には反対の極性の電荷がより容易に充電される。従って、偶数番目のゲート信号 $AG2$ 、 $AG4$ 、 \dots 、 $AGn-2$ 、 AGn のレベルが奇数番目のゲート信号 $AG1$ 、 $AG3$ 、 \dots 、 $AGn-3$ 、 $AGn-1$ のレベルよりも低くならなければならない。 30

【0028】

これとは反対に、後に充電される偶数番目のゲート信号 $AG2$ 、 $AG4$ 、 \dots 、 $AGn-2$ 、 AGn に対応する画素部に、先に充電される奇数番目のゲート信号 $AG1$ 、 $AG3$ 、 \dots 、 $AGn-3$ 、 $AGn-1$ に対応する画素部と同一の極性の電荷が印加される場合、先に充電される奇数番目のゲート信号 $AG1$ 、 $AG3$ 、 \dots 、 $AGn-3$ 、 $AGn-1$ に対応する画素部に充電された電荷によって、偶数番目のゲート信号 $AG2$ 、 $AG4$ 、 \dots 、 $AGn-2$ 、 AGn に対応する画素部に同一の極性の電荷は容易に充電されない。従って、偶数番目のゲート信号 $AG2$ 、 $AG4$ 、 \dots 、 $AGn-2$ 、 AGn のレベルが奇数番目のゲート信号 $AG1$ 、 $AG3$ 、 \dots 、 $AGn-3$ 、 $AGn-1$ のレベルより高くなる必要がある。 40

【0029】

液晶パネル 150 は、ゲート信号スキャン信号または走査信号： $AG1$ 、 $AG2$ 、 \dots 、 $AGn-1$ 、 AGn を伝達する複数のゲートライン（走査ラインまたはスキャンライン）と、データ電圧 $D1$ 、 $D2$ 、 \dots 、 Dm を伝達する複数のデータライン（ソースライン）を含む。液晶パネル 150 は、ゲートラインの数が増加され、データラインの数が減 50

少されたデータライン半減構造を有する。

【0030】

前記データライン半減構造の液晶パネルは、互いに隣接するゲートラインと互いに隣接するデータラインによって画定される領域に第1画素部及び第2画素部を有する。

【0031】

一例で、前記第1画素部は、第1薄膜トランジスタTFT、第1薄膜トランジスタ(TFT)のドレインに電氣的に連結された第1液晶キャパシタC1cを含む。一例で、前記第2画素部は第2薄膜トランジスタTFT、及び前記第2薄膜トランジスタTFTのドレイン電極に電氣的に連結された第2液晶キャパシタC1cを含む。ストレージキャパシタCstは、前記第1液晶キャパシタ及び第2液晶キャパシタに連結され、前記第1画素部と前記第2画素部が共有する。

10

【0032】

図3は、図2に示された液晶パネルに形成された画素部を詳細に示した概略構成図である。

【0033】

図3に示すように、第1画素部P1は第1ゲートラインGL1に電氣的に連結され、第2画素部P2は第2ゲートラインGL2に電氣的に連結される。第1画素部P1は第1データラインDL1に電氣的に連結され、第2画素部P2は第2データラインDL2に電氣的に連結される。

【0034】

第1画素部P1には第1ゲートラインGL1から分岐されたゲート電極、第1データラインDL1から分岐されたソース電極とドレイン電極で構成された第1トランジスタTR1、及び第1画素電極210が形成される。第1トランジスタTR1のドレイン電極は、第1コントロール515を介して第1画素電極210と電氣的に連結される。

20

【0035】

第2画素部P2には前記第2ゲートラインGL2から分岐されたゲート電極、第2データラインDL2から分岐されたソース電極とドレイン電極で構成された第2トランジスタTR2、及び第2画素電極220が形成される。第2トランジスタTR2のドレイン電極は、第2コントロール225を介して第2画素電極220と電氣的に連結される。

【0036】

一方、前記第1ゲートラインGL1に隣接し、前記第1ゲートラインGL1と並行するように延長され前記第1画素部P1及び第2画素部P2にかけて第1ストレージライン240aが形成され、第2ゲートラインGL2に隣接し、第2ゲートラインGL2と並行するように延長され第1画素部P1及び第2画素部P2にかけて第2ストレージライン240bが形成される。

30

【0037】

第1画素部P1には第1ストレージライン240aの一端と第2ストレージライン240bの一端とを連結させ、第1データラインDL1と並行した第3ストレージライン240cが形成される。例えば、第3ストレージライン240cは第1画素電極210と部分的に重畳されるように形成される。

40

【0038】

また、第2画素部P1には第1ストレージライン240aの他端と第2ストレージライン240bの他端とを連結させ、第3ストレージライン240c及び第2データラインDL2と並行な第4ストレージライン240dが形成される。例えば、第4ストレージライン240dは第2画素電極220と部分的に重畳されるように形成される。

【0039】

前記第1画素部P1及び第2画素部P2が隣接する領域で第1ストレージライン240aと第2ストレージライン240bの中央を互いに連結し、第1データラインDL1及び第2データラインDL2に並行して延長されるように、第5ストレージライン240eが形成される。例えば、第5ストレージライン240eは第1画素電極210と部分的に重

50

畳され、第2画素電極220と部分的に重畳されるように形成される。従って、第1画素部P1と第2画素部P2と第5ストレージライン240eを共有する。

【0040】

ここで、第1ストレージライン240a及び第2ストレージライン240bの一部、第3ストレージライン240c及び第5ストレージライン240eの一部によってストレージキャパシタの下部電極が形成される。また、第1ストレージライン240a及び第2ストレージライン240bの一部、第4ストレージライン240d及び第5ストレージライン240eの一部によってストレージキャパシタの下部電極が形成される。

【0041】

前記第1～第5ストレージライン240a～240eは、第1トランジスタTR1及び第2トランジスタTR2のソース電極及びドレイン電極を形成する同一の金属物質で同一の工程で形成される。 10

【0042】

従って、第1～第5ストレージライン240a～240eは、ゲート絶縁膜上に形成されストレージキャパシタの下部電極を画定し、第1～第5ストレージライン240a～240e上部には絶縁膜(図示せず)が形成されストレージキャパシタの誘電体を画定し、前記絶縁膜(図示せず)上に形成された第1画素電極210及び第2画素電極220はストレージキャパシタCstの上部電極を画定する。

【0043】

図4は、図1に示された液晶パネルの画素部を説明する等価回路図である。 20

【0044】

図4に示すように、画素部は第1データラインDL1及び第2データラインDL2と第1ゲートラインGL1及び第2ゲートラインGL2によって取り囲まれた領域に形成される。前記画素部は第1薄膜トランジスタTFT1、前記第1薄膜トランジスタTFT1に電氣的に連結された第1画素部P1、第2薄膜トランジスタTFT2、第2薄膜トランジスタTFT2に電氣的に連結された第2画素部P2を含む。

【0045】

第1薄膜トランジスタTFT1のゲート、ソース、及びドレインは、第1ゲートラインGL1、第1データラインDL1及び第1画素部P1にそれぞれ連結され、第2薄膜トランジスタTFT2のゲート電極、ソース電極及びドレイン電極は、第2ゲートラインGL2、第2データラインDL2、及び第2ピクセルP2にそれぞれ連結される。 30

【0046】

図4に示された画素部の構造は第1画素部P1と第2画素部P2が互いに隣接する第1データラインDL1及び第2データラインDL2によって取り囲まれるデータライン半減構造である。前記データライン半減構造において、第1データラインDL1と第1画素部P1の間には第1カップリングキャパシタCdp1が存在し、第1ピクセルP1と第2画素部P2との間には第2カップリングキャパシタCdp2が存在し、第2ピクセルP2と第2データラインDL2との間には第3カップリングキャパシタCdp3が存在する。

【0047】

一般的な駆動方式によると、第1ゲートラインGL1が駆動され第1画素部P1が充電された後、第2ゲートラインGL2が駆動され第2ピクセルP2が充電される。 40

【0048】

従って、前記第2画素部P2は、まず充電された第1画素部P1の影響で非正常的に充電される。結果的に、画面全体的に奇数番目のデータラインに電氣的に連結された画素部と偶数番目のデータラインに電氣的に連結された画素部との間の充電量の差異は縦線のフリッカー現象を発生させる。

【0049】

しかし、本発明の第1実施形態によると、相対的に先に充電される第1画素部(P1)に対しては相対的に大きいレベルの第1ゲート信号を用いて充電動作を実施し、相対的に後に充電される第2画素部P2に対して正常的なレベルの第2ゲート信号を用いて充電動 50

作を実施するので、前記フリッカー現象を除去することができる。

【0050】

図5は図1に示された液晶表示装置の画素部を説明する回路図である。図6は図5に示されたゲート電極とデータ電圧を説明する波形図である。

【0051】

図5及び図6に示すように、第1データラインDL1に印加される第1データ電圧VD1は、ゲート信号AG1に基づいて充電される。第1画素部PX1は第1薄膜トランジスタTFT1、第1液晶キャパシタC1c1、及び第1ストレージキャパシタCst1を含む。

【0052】

第1データ電圧VD1は共通電圧VCOM対比正極性を有する。第1ゲート信号AG1は第1ゲートラインGL1に供給され第1ゲートラインGL1に電氣的に連結された第1薄膜トランジスタTFT1をアクティブさせる。第1データ電圧VD1は、第1薄膜トランジスタTFT1を経由して、共通して連結された第1液晶キャパシタC1c1及び第1ストレージキャパシタCst1に充電される。第1ストレージキャパシタCst1の一端は第1薄膜トランジスタTFT1のドレイン電極に電氣的に連結され、他端はストレージ電圧VSTに電氣的に連結される。

【0053】

第2データラインDL2に印加される第2データ電圧VD2は第2ゲート信号AG2に基づいて第2ピクセル部PX2に充電される。第2画素部PX2は第2薄膜トランジスタTFT2、第2液晶キャパシタC1c2及び第2ストレージキャパシタCst2を含む。第2ストレージキャパシタCst2の一端は第2薄膜トランジスタTFT2のドレイン電極に電氣的に連結され、他端は第1ストレージキャパシタCst1の一端に共通して連結される。

【0054】

第2データ電圧VD2は、共通電圧VCOM対して負の極性を有する。第2ゲート信号AG2は第2ゲートラインGL2に供給され第2ゲートラインGL2に電氣的に連結された第2薄膜トランジスタTFT2をアクティブさせる。第2データ電圧VD2は第2薄膜トランジスタTFT2を経由して、共通して連結された第2液晶キャパシタC1c1及び第2ストレージキャパシタCst2に充電される。

【0055】

第2ゲート信号AG2のハイレベルは、通常的に第2薄膜トランジスタTFT2をターンオンさせる程度である。一方、第1ゲート信号AG1のハイレベルは、第2ゲート信号AG2のハイレベルより相対的に高い。一例で、第2ゲート信号AG2はローレベル及びハイレベルが-6V及び20Vによってそれぞれ定義されると、第1ゲート信号AG1のローレベル及びハイレベルは-7Vと25Vによってそれぞれ定義される。

【0056】

図5及び図6では互いに隣接するデータラインに共通電圧に対して反対の極性のデータ電圧が印加される例を示したが、互いに隣接するデータラインに共通電圧に対して同一の極性のデータ電圧が印加されても良い。この場合、まず、充電された第1画素電極の電荷が第2画素電極の同一極性電荷の充電を妨害するので反対に第2ゲート信号AG2のパルスの大きさを大きくする必要がある。例えば、第2ゲート信号AG2のローレベル及びハイレベルがそれぞれ-7Vと25Vに定義され、第1ゲート信号AG1のローレベル及びハイレベルがそれぞれ-6Vと20Vに定義される。

【0057】

図7を参照しつつ、第1画素部PX1及び第2ピクセルPX2に充電されるデータ電圧の充電量特性を説明する。

【0058】

図7は、図5に示されたデータ電圧の充電量特性を説明する波形図である。

【0059】

10

20

30

40

50

図 7 を参照すると、相対的に大きい電位差を有する第 1 ゲート信号 A G 1 が駆動されることにより、第 1 データ電圧 V D 1 が第 1 画素部 P X 1 に充電される。

【 0 0 6 0 】

続いて、第 1 ゲート信号の振幅より小さい第 2 ゲート信号 A G 2 が駆動されることにより、第 1 データ電圧と反対極性の第 2 データ電圧 V D 2 が第 2 ピクセル P X 2 に充電される。後充電される第 2 画素部 P X 2 には第 1 ピクセル部 P X 1 の電荷の引力のためより容易に充電される。従って、第 1 ゲート信号 A G 1 より振幅の小さい第 2 ゲート信号 A G 2 によって、先充電される第 1 画素部 P X 1 の第 1 充電量 Q C 1 と実質的に同一の第 2 充電量 Q C 2 が第 2 ピクセル部 P X 1 に充電される。

【 0 0 6 1 】

この結果、縦線で現れるフリッカー現象が除去される。

【 0 0 6 2 】

示されていないが、第 1 データ電圧 V D 1 及び第 2 データ電圧 V D 2 が同一の極性を有し、第 2 ゲート信号 A G 2 が第 1 ゲート信号 A G 1 より相対的に高い電圧差を有する場合、第 1 及び第 2 充電量 Q C 1、Q C 2 は実質的に同一であることは同業者であれば自明なことである。

【 0 0 6 3 】

図 8 は、本発明の他の実施形態による液晶表示装置を説明するブロック図である。図 9 は図 8 に示された第 1 ゲート駆動部及び第 2 ゲート駆動部から出力されるゲート信号を説明する波形図である。

【 0 0 6 4 】

図 8 及び図 9 を参照すると、液晶表示装置 3 0 0 は、第 1 タイミング制御部 3 1 0、第 1 データ駆動部 3 2 0、第 1 ゲート駆動部 3 3 0、第 2 ゲート駆動部 3 4 0、及び液晶パネル 3 5 0 を含む。

【 0 0 6 5 】

第 1 タイミング制御部 3 1 0 は、外部から第 1 データ信号 D A T A 1、各種同期信号 H s y n c、V s y n c、データイネーブル信号 D E 及びメインクロック M C L K の提供を受け、第 2 データ信号 D A T A 2、第 2 データ信号 D A T A 2 の出力のためのデータ駆動信号 L O A D、S T H を第 1 データ駆動部 3 2 0 に出力する。第 1 タイミング制御部 3 1 0 は第 1 ゲート駆動信号 G C K 1、S T V 1、O E 1 を第 1 ゲート駆動部 3 3 0 に出力し、第 2 ゲート駆動信号 G C K、S T V 2、O E 2 を第 2 ゲート駆動部 3 4 0 に出力する。

【 0 0 6 6 】

ここで、第 1 垂直開始信号 S T V 1 の立ち上がりと第 2 垂直開始信号 S T V 2 の上昇エッジは 1 H 区間分だけ離隔される。または、第 1 垂直開始信号 S T V 1 の立ち下りと第 2 垂直開始信号 S T V 2 の立ち下りには 1 H 区間分だけ離隔される。それにより、第 1 ゲート駆動部 3 3 0 に駆動された後第 2 ゲート駆動部 3 4 0 が駆動される。

【 0 0 6 7 】

第 1 出力イネーブル (e n a b l e s i g n a l) 信号 O E 1 と第 2 出力イネーブル信号 O E 2 は互いに異なるパルス幅を有する。第 1 出力イネーブル信号 O E 1 は奇数番目のゲート信号 B G 1、B G 3、・・・、B G n - 1 ここで、n は偶数が相対的に広いパルス幅を有するように制御する。本実施形態において、第 1 出力イネーブル信号 O E 1 は奇数番目のゲート信号 B G 1、B G 3、・・・、B G n - 1 それぞれが相対的に広いパルス幅を有するように制御する。第 2 出力イネーブル信号 O E 2 は偶数番目のゲート信号 B G 2、B G 4、・・・、B G n が相対的に狭いパルス幅を有するように制御する。

【 0 0 6 8 】

第 1 データ駆動部 3 2 0 は、第 1 タイミング制御部 3 1 0 から第 2 データ信号 D A T A 2 が受信し、第 2 データ信号 D A T A 2 をデータ電圧諧調電圧に変更し、変更されたデータ電圧 D 1、D 2、・・・、D m を液晶パネル 3 5 0 に印加する。

【 0 0 6 9 】

第 1 ゲート駆動部 3 3 0 は第 1 ゲート駆動信号 G C K 1、S T V 1 に応答して液晶パネ

10

20

30

40

50

ル 3 5 0 の奇数番目のゲートラインを起動する奇数番目のゲート信号 B G 1、B G 3、
 ・ ・ ・、B G n - 3、B G n - 1 を液晶パネル 3 5 0 に順次に印加する。

【 0 0 7 0 】

第 2 ゲート駆動部 3 4 0 は、第 2 ゲート駆動信号 G C K 2、S T V 2 に応答して液晶パネル 3 5 0 の偶数番目のゲートラインを起動する偶数番目のゲート信号 B G 2、B G 4、
 ・ ・ ・、B G n - 2、B G n を順次に液晶パネル 3 5 0 に印加する。奇数番目のゲート信号 B G 1、B G 3、
 ・ ・ ・、B G n - 3、B G n - 1 と偶数番目のゲート信号 B G 2、B G 4、
 ・ ・ ・、B G n - 2、B G n は交互に出力される。

【 0 0 7 1 】

本実施形態において、図 9 に示されたように、奇数番目のゲート信号 B G 1、B G 3、
 ・ ・ ・、B G n - 3、B G n - 1 のパルス幅は偶数番目のゲート信号 B G 2、B G 4、
 ・ ・ ・、B G n - 2、B G n のパルス幅より相対的に大きい。後に充電される偶数番目のゲート信号 B G 2、B G 4、
 ・ ・ ・、B G n - 2、B G n に対応する画素部には、先に充電される奇数番目のゲート信号 B G 1、B G 3、
 ・ ・ ・、B G n - 3、B G n - 1 に対応する画素部と反対の極性の電荷が印加される。従って、先に充電される奇数番目のゲート信号 B G 1、B G 3、
 ・ ・ ・、B G n - 3、B G n - 1 に対応する画素部に充電された電荷によって、偶数番目のゲート信号 B G 2、B G 4、
 ・ ・ ・、B G n - 2、B G n に対応する画素部には反対極性の電荷がより容易に充電される。従って、偶数番目のゲート信号 B G 2、
 B G 4、
 ・ ・ ・、B G n - 2、B G n のパルス幅が奇数番目のゲート信号 B G 1、B G 3、
 ・ ・ ・、B G n - 3、B G n - 1 のパルス幅より小さくしなければならない。

【 0 0 7 2 】

それとは反対に、後に充電される偶数番目のゲート信号 B G 2、B 4、
 ・ ・ ・、B G n - 2、B G n に対応する画素部に、先に充電される奇数番目のゲート信号 B G 1、B G 3、
 ・ ・ ・、B G n - 3、B G n - 1 に対応する画素部と同一の極性の電荷が印加される場合、先に充電される奇数番目のゲート信号 B G 1、B G 3、
 ・ ・ ・、B G n - 3、B G n - 1 に対応する画素部に充電された電荷によって、偶数番目のゲート信号 B G 2、B G 4、
 ・ ・ ・、B G n - 2、B G n に対応する画素部には同一の極性の電荷は容易に充電されない。従って、偶数番目のゲート信号 B G 2、B G 4、
 ・ ・ ・、B G n - 2、B G n のパルスの幅が奇数番目のゲート信号 B G 1、B G 3、
 ・ ・ ・、B G n - 3、B G n - 1 のパルス幅より大きくななければならない。

【 0 0 7 3 】

液晶パネル 3 5 0 はゲート信号スキャン信号または走査信号 B G 1、B G 2、
 ・ ・ ・、B G n - 1、B G n を伝達する複数のゲートライン走査ラインまたはスキャンラインと、データ電圧 D 1、D 2、
 ・ ・ ・、D m を伝達する複数のデータラインソースラインを含む。液晶パネル 3 5 0 はゲートラインの数が増加され、データラインの数が減少されたデータ半減構造を有する。データライン半減構造は図 3 及び図 4 に説明されたところである。

【 0 0 7 4 】

図 1 0 は、図 8 に示された液晶表示装置の画素部を説明する回路図である。図 1 1 は、図 1 0 に示されたゲート電圧及びデータ電圧を説明する波形図である。図 1 0 は、図 5 と比較し同一の構成要素については同一の参照符号を付与している。

【 0 0 7 5 】

図 1 0 及び図 1 1 を参照すると、第 1 データライン D L 1 に印加される第 1 データ電圧 V D 1 は第 1 ゲート信号 B G 1 に基づいて第 1 画素部 P X 1 に充電される。

【 0 0 7 6 】

第 1 データ電圧 V D 1 は、共通電圧 V C O M に対して正極性を有する。第 1 ゲート信号 B G 1 は第 1 ゲートライン G L 1 に供給され第 1 ゲートライン G L 1 に電氣的に連結された第 1 薄膜トランジスタ T F T 1 を駆動させる。第 1 データ電圧 V D 1 は第 1 薄膜トランジスタ T F T 1 を経由して、共通して連結された第 1 液晶キャパシタ C l c 1 及び第 1 ストレージキャパシタ C s t 1 に充電される。

【 0 0 7 7 】

10

20

30

40

50

第2データラインDL2に印加される第2データ電圧VD2は第2ゲート信号BG2に基づいて第2ピクセル部PX2に充電される。第2データ電圧VD2は共通電圧VCOM対比負極性を有する。第2ゲート信号BG2は第2ゲートラインGL2に供給され第2ゲートラインGL2に電氣的に連結された第2薄膜トランジスタTFT2を駆動させる。第2データ電圧VD2は第2薄膜トランジスタTFT2を経由して、共通して連結された第2液晶表示装置C1c1及び第2ストレージキャパシタCst2に充電される。

【0078】

第2ゲート信号BG2のパルス幅は通常的に第2薄膜トランジスタTFT2をターンオンさせる程度である。反面、第1ゲート信号BG1のパルス幅は第2ゲート信号BG2のパルス幅より相対的に大きい。第1及び第2ゲート信号BG1、BG2のパルス幅は互いに異なる第1及び第2出力イネーブル信号OE1、OE2によって調節される。

10

【0079】

図10及び図11では、互いに隣接するデータラインに共通電圧対比反対極性のデータ電圧が印加されることを示したが、互いに隣接するデータラインに共通電圧対比互いに同一極性のデータ電圧が印加されることもできる。この場合、まず、充電された第1画素電極の電荷が第2画素電極の同一の極性の電荷の充電を妨害するので反対に第2ゲート信号BG2のパルス幅の大きさを大きくする必要がある。

【0080】

図12を参照しつつ、第1及び第2画素部PX1、PX2に充電されるデータ電圧の充電量特性を説明する。

20

【0081】

図12は、図10に示されたデータ電圧の充電量特性を説明する波形図である。

【0082】

図12を参照すると、相対的に広いパルス幅を有する第1ゲート信号BG1が駆動されることにより、第1ピクセル部PX1が充電される。

【0083】

続いて、第1ゲート信号のパルス幅より小さいパルス幅を有する第2ゲート信号BG2が駆動されることにより、第1データ電圧と反対極性の第2データ電圧VD2が第2画素部PX2に充電される。後充電される第2ピクセル部PX2には第1画素部PX1の電荷の引力のため容易に充電される。

30

【0084】

従って、第1ゲート信号BG1よりパルス幅の小さい第2ゲート信号BG2によって、先充電される第1ピクセル部PX1の第1充電量QC1と実質的に同一の第2充電量QC2が第2画素部に充電される。

【0085】

それにより、縦線で現れるフリッカー現象が除去される。示されてはいないが、第1及び第2データ電圧VD1、VD2が同一の極性を有し、第2ゲート信号BG2が第1ゲート信号BG1より相対的に高い電圧差を有する実施形態において、第1及び第2充電量QC1、QC2は実質的に同一であることは当業者であれば自明なことである。

40

【産業上の利用可能性】

【0086】

本発明により一番目の画素部に対して相対的に大きいレベルまたは相対的に大きいパルス幅がゲート信号を用いて充電動作を実施し、二番目の画素部に対しては正常的なレベルまたは正常的なパルス幅のゲート信号を用いて充電動作を実施するので、縦性のフリッカー現象を除去することができる。

【0087】

以上、本発明の実施形態によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離脱することなく、本発明を修正または変更できる。

50

【図面の簡単な説明】

【0088】

【図1】本発明の一実施形態による液晶表示装置を説明するブロック図である。

【図2】図1に示された第1及び第2ゲート駆動部から出力されるゲート信号を説明する波形図である。

【図3】図1に示された液晶パネルに形成された画素部を詳細に示したレイアウトである。

【図4】図1に示された液晶パネルの画素部を説明する等価回路図である。

【図5】図1に示された液晶表示装置の画素部を説明する回路図である。

【図6】図5に示されたゲート電圧とデータ電圧を説明する波形図である。

10

【図7】図5に示されたデータ電圧の充電量特性を説明する波形図である。

【図8】本発明の他の実施形態による液晶表示装置を説明するブロック図である。

【図9】図8に示された第1及び第2ゲート駆動部から出力されるゲート信号を説明する波形図である。

【図10】図8に示された液晶表示装置の画素部を説明する回路図である。

【図11】図10に示されたゲート電圧とデータ電圧を説明する波形図である。

【図12】図10に示されたデータ電圧の充電量特性を説明する波形図である。

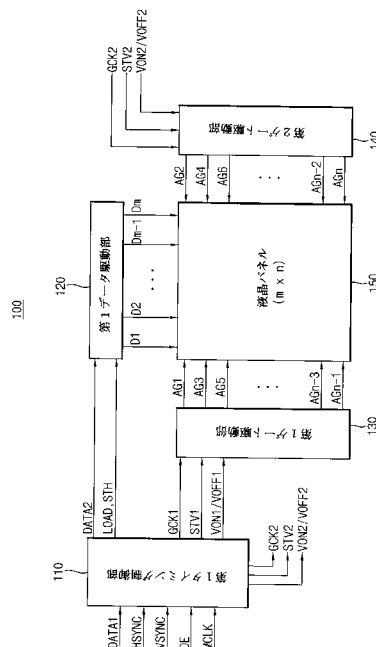
【符号の説明】

【0089】

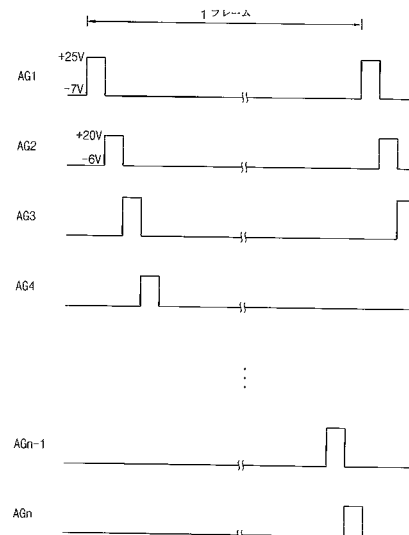
110、310	タイミング制御部、	
120、320	データ駆動部、	
130、140、330、340	ゲート駆動部、	
150、350	液晶パネル。	

20

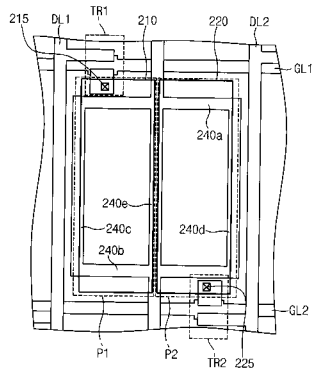
【図1】



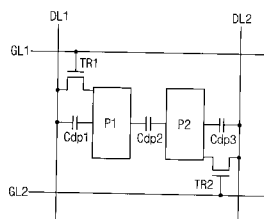
【図2】



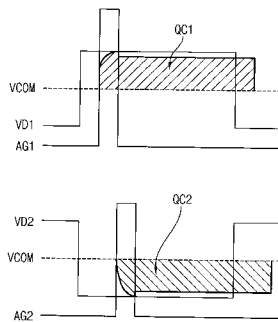
【図 3】



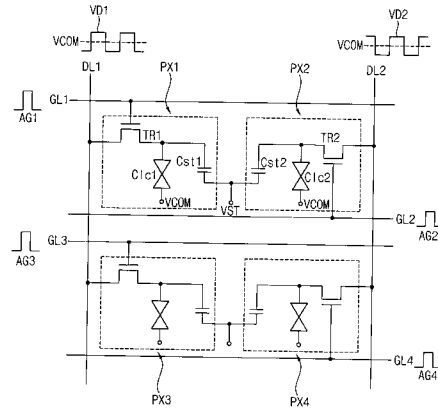
【図 4】



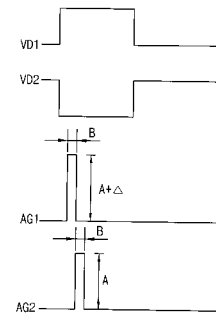
【図 7】



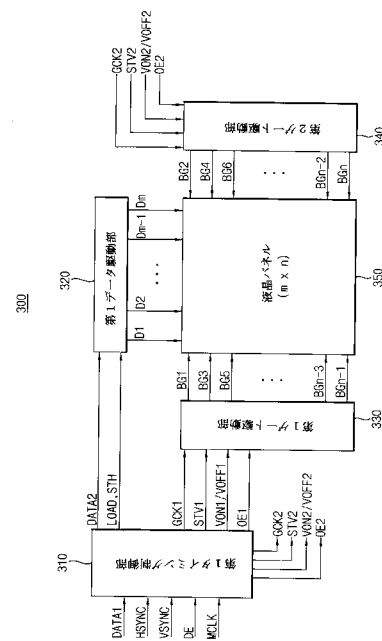
【図 5】



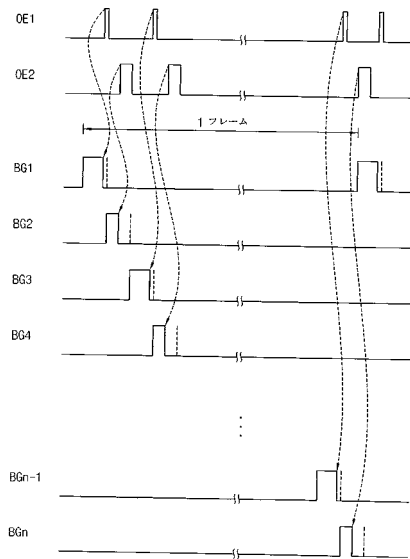
【図 6】



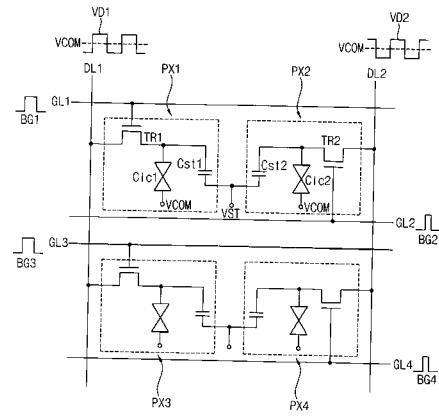
【図 8】



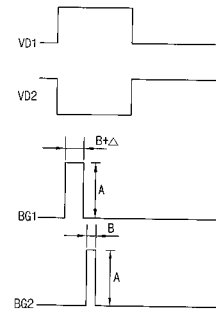
【図 9】



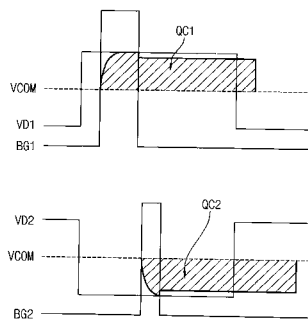
【図 10】



【図 11】



【図 12】



 フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 2 3 U
	G 0 9 G 3/20	6 1 1 E

(72)発明者 河 在 びん

大韓民国京畿道龍仁市豊徳川洞 三星5次アパート526棟1604号

F ターム(参考) 2H093 NA16 NA43 NA53 NC10 NC12 NC16 NC18 NC34 NC35 NC49
 ND10 ND60
 5C006 AC11 AC24 AC26 AF42 AF43 BB16 BC03 BC06 FA23 FA42
 FA43 FA51
 5C080 AA10 BB05 DD06 DD22 DD23 DD27 EE29 FF07 FF11 JJ02
 JJ03 JJ04 JJ06

专利名称(译)	液晶显示器		
公开(公告)号	JP2007058211A5	公开(公告)日	2009-09-17
申请号	JP2006223516	申请日	2006-08-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李弦洙 河在びん		
发明人	李 弦 洙 河 在 ▲びん▼		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3648 G09G3/3607 G09G3/3677 G09G2300/0426 G09G2300/0852 G09G2320/0247		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.624.B G09G3/20.622.M G09G3/20.622.C G09G3/20.621.B G09G3/20.623.U G09G3/20.611.E		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC10 2H093/NC12 2H093/NC16 2H093/NC18 2H093/NC34 2H093/NC35 2H093/NC49 2H093/ND10 2H093/ND60 5C006/AC11 5C006/AC24 5C006/AC26 5C006/AF42 5C006/AF43 5C006/BB16 5C006/BC03 5C006/BC06 5C006/FA23 5C006/FA42 5C006/FA43 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD22 5C080/DD23 5C080/DD27 5C080/EE29 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZA08 2H193/ZA19 2H193/ZD23 2H193/ZF22 2H193/ZF24 2H193/ZF36 2H193/ZF59		
代理人(译)	宇谷 胜幸		
优先权	1020050076614 2005-08-22 KR		
其他公开文献	JP2007058211A JP5749417B2		

摘要(译)

提供一种用于改善显示特性的液晶显示装置及其驱动方法。 第二像素部分在由彼此相邻的数据线限定的每个区域中的第一时间点充电，第二像素部分在比第一时间点晚的第二时间点充电，具有像素部分的液晶面板150，用于将数据信号传输到液晶面板150的数据驱动器120，第一栅极信号被施加到在第一时间点充电的第一像素部分，并且栅极驱动器140用于将具有与第一栅极信号的特性不同的特性的第二栅极信号施加到充有第一栅极信号的第二像素部分。 点域1