

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-515622

(P2005-515622A)

(43) 公表日 平成17年5月26日(2005.5.26)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 29/786	H O 1 L 29/78 6 1 7 K	2 H O 9 2
G O 2 F 1/1368	G O 2 F 1/1368	5 F O 5 2
H O 1 L 21/20	H O 1 L 21/20	5 F 1 1 0
H O 1 L 21/336	H O 1 L 29/78 6 2 7 G	
	H O 1 L 29/78 6 1 2 B	
審査請求 未請求 予備審査請求 有 (全 12 頁)		

(21) 出願番号 特願2003-560639 (P2003-560639)
 (86) (22) 出願日 平成15年1月3日(2003.1.3)
 (85) 翻訳文提出日 平成16年7月5日(2004.7.5)
 (86) 国際出願番号 PCT/KR2003/000008
 (87) 国際公開番号 W02003/060602
 (87) 国際公開日 平成15年7月24日(2003.7.24)
 (31) 優先権主張番号 10-2002-0000179
 (32) 優先日 平成14年1月3日(2002.1.3)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591028452
 サムスン エレクトロニクス カンパニー
 リミテッド
 SAMSUNG ELECTRONICS
 COMPANY, LIMITED
 大韓民国, 442-373 キョンキード
 , スウォン-シ, ヨントン-グ, マエタン
 -ドン, 416
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子

最終頁に続く

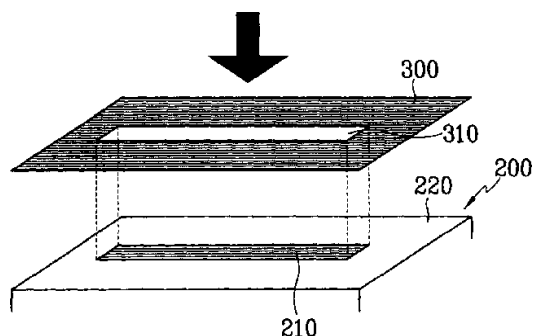
(54) 【発明の名称】 薄膜トランジスタ及び液晶表示装置

(57) 【要約】

【課題】 本発明は薄膜トランジスタ及び液晶表示装置に関し、駆動回路部の大きさを増大させることなく各薄膜トランジスタの電荷移動度を均一にするために、少なくとも一部分が結晶粒の成長方向と交差する方向を有するゲート電極を形成する。

【解決手段】

本発明による薄膜トランジスタは、絶縁基板上に結晶粒が成長して形成された多結晶シリコン薄膜からなる半導体パターンが形成されており、この半導体パターンはチャンネル領域とチャンネル領域の両側に位置するソース領域及びドレーン領域とを含んでいる。このような半導体パターンをゲート絶縁膜が覆っている。ゲート絶縁膜上には少なくとも一部が結晶粒の成長方向と交差する方向を有するゲート電極がチャンネル領域に重畳する。また、本発明による液晶表示装置は、データ駆動回路部またはゲート駆動回路部を構成する複数の薄膜トランジスタは順次の側面固形状結晶化法によって形成された多結晶シリコン薄膜で形成され、ゲート電極の少なくとも一部が結晶粒の成長方向と交差する方向を有しており、



【特許請求の範囲】

【請求項 1】

絶縁基板と、

前記絶縁基板上に結晶粒が成長して形成された多結晶シリコン薄膜からなり、チャンネル領域と前記チャンネル領域の両側に位置するソース領域及びドレイン領域とを含む半導体パターンと、

前記半導体パターンを覆うゲート絶縁膜と、

前記ゲート絶縁膜上に前記チャンネル領域に重畳して形成され、少なくとも一部が前記結晶粒の成長方向と交差する方向を有するゲート電極と、
を含む薄膜トランジスタ。

10

【請求項 2】

前記ゲート電極の一部は前記結晶粒の成長方向と垂直に交差する、請求項 1 に記載の薄膜トランジスタ。

【請求項 3】

前記ゲート電極は前記結晶粒の成長方向と平行な方向を有する第 1 領域、前記第 1 領域の両側に連結されて前記結晶粒の成長方向と垂直な方向を有する第 2 及び第 3 領域を含む、請求項 2 に記載の薄膜トランジスタ。

【請求項 4】

前記ゲート電極は前記結晶粒の成長方向と垂直な方向を有する第 1 領域、前記第 1 領域の両側に連結されて前記結晶粒の成長方向と平行な方向を有する第 2 及び第 3 領域を含む、請求項 2 に記載の薄膜トランジスタ。

20

【請求項 5】

絶縁基板と、

前記絶縁基板上に定義されていて、画面を表示する表示領域と、

前記絶縁基板上に定義されていて、前記表示領域にデータ信号を伝送するデータ駆動回路部と、

前記絶縁基板上に定義されていて、前記表示領域にゲート信号を伝送するゲート駆動回路部と、
を含み、

前記データ駆動回路部を構成する複数の薄膜トランジスタは順次的側面固形状結晶化法によって形成された多結晶シリコン薄膜から形成され、ゲート電極の少なくとも一部が前記結晶粒の成長方向と交差する方向を有しており、前記複数の薄膜トランジスタのうちの少なくとも 1 つは他の薄膜トランジスタとゲート電極のパターンが異なる液晶表示装置。

30

【請求項 6】

前記ゲート駆動回路部を構成する複数の薄膜トランジスタは、順次的側面固形状結晶化法によって形成された多結晶シリコン薄膜で形成され、ゲート電極の少なくとも一部が前記結晶粒の成長方向と交差する方向を有しており、前記複数の薄膜トランジスタのうちの少なくとも 1 つは他の薄膜トランジスタとゲート電極のパターンが異なる、請求項 5 に記載の液晶表示装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は薄膜トランジスタ及び液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、電極が形成されている上部及び下部基板とその間に注入されている液晶物質から構成されている。このような液晶表示装置は 2 つの基板の間に注入されている液晶物質に電極を利用して電界を印加し、この電界の強さを調節して基板に透過する光の量を調節することによって画像を表示する。

【0003】

50

液晶表示装置の中でも現在主に用いられているのは、2つの基板に共通電極と画素電極が各々形成されており、画素電極が形成されている基板に画素電極に印加される電圧をスイッチングする薄膜トランジスタが形成されている形態のものである。

【0004】

液晶表示装置に用いられる最も一般的な薄膜トランジスタは、非晶質シリコンを半導体パターンとして使用する非晶質シリコン薄膜トランジスタである。

【0005】

このような非晶質シリコン薄膜トランジスタは概ね $0.5 \sim 1.0 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度の電荷移動度を有していて、液晶表示装置のスイッチング素子としては使用できるが、電荷移動度が小さくて液晶パネルの上部に形成される直接駆動回路として不適合であるという短所がある。 10

このような問題を克服するために、電荷移動度が概ね $20 \sim 150 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度になる多結晶シリコンを半導体パターンとして使用する多結晶シリコン薄膜トランジスタが開発された。多結晶シリコン薄膜トランジスタは前述のように比較的の高い電荷移動度を有しているので、駆動回路を液晶パネルに内蔵するチップインガラス (Chip in Glass) を実現することができる。

【0006】

多結晶シリコン薄膜を形成する技術としては、基板の上部に直接多結晶シリコンを高温で蒸着する方法、非晶質シリコンを積層して高温で結晶化する固形状結晶化方法、非晶質シリコンを積層してレーザーなどを利用して結晶化する方法などが開発された。しかしながら、このような方法は高温工程が要求されるため、液晶パネル用ガラス基板に適用するには困難性があり、不均一な結晶粒境界によって薄膜トランジスタ間の電氣的な特性に対する均一度を低下させる短所を有している。 20

このような問題点を解決するために、結晶粒境界の分布を人為的に調節することができる順次的側面結晶化 (sequential lateral solidification) 技術が開発された。この技術は、多結晶シリコンの結晶粒がレーザーの照射された液状領域とレーザーの照射されていない固形状領域の境界において、その境界面に対して垂直方向に成長するという事実を利用する。

【0007】

順次的側面結晶化技術において、レーザービームはスリット形状を有するマスクの透過領域を通過して、非晶質シリコンを完全に溶かし非晶質シリコン層にスリット形状の液状領域を形成する。次いで、液状の非晶質シリコンを冷却しながら結晶化を行うが、結晶はレーザーの照射されていない固形状領域の境界からその境界面に対して垂直方向に成長し、液状領域の中央で互いに交わった時点で結晶粒の成長が止まるようになる。このような順次的側面結晶化は、マスクでスリットパターンを結晶粒の成長方向に移動させながら進行すれば、薄膜全体を結晶化することができる。 30

【0008】

しかしながら、このように結晶粒の成長方向だけにマスクのスリットパターンを移動させながら順次的側面結晶工程を実施すれば、結晶粒の成長方向には数 μm 程度成長するが、結晶粒の成長方向に対して垂直方向には数千程度だけ成長した結晶粒が形成される。 40

【0009】

このように結晶粒の大きさが異方性を有するようになれば、基板上部に形成される薄膜トランジスタのチャンネル方向によって薄膜トランジスタの電氣的特性も異方性を示すようになる。つまり、結晶粒の成長方向とこれに垂直な方向での電荷移動度は大きい差を示すようになり、これは液晶パネルの上部に薄膜トランジスタを形成する際に、薄膜トランジスタを一方向だけに配列しなければならないという設計上の困難性を招く。

【0010】

通常、液晶パネルに内蔵するデータ駆動回路部とゲート駆動回路部は、その方向が互いに垂直をなすように配置され、同じデータ駆動回路部であっても回路が複雑になるほど垂直方向と水平方向両方を要するようになる。この場合、上述した順次側面固形状結晶化法 50

の特徴は大きな短所になる。

【0011】

したがって、非晶質シリコン薄膜を順次側面固形状結晶化法によって結晶化した後に、結晶化特性の異方性が引起される方式を適用する場合、配線を複雑に形成しなければならないため、駆動回路部の構成が難しくなり、また、駆動回路部の大きさが増大する。

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明の目的は、液晶表示装置の薄膜トランジスタを形成する際に、駆動回路部の大きさを増大させることなく、各薄膜トランジスタの電荷移動度を均一にすることにある。

10

【課題を解決するための手段】

【0013】

本発明はこのような技術的課題を解決するために、少なくとも一部分が結晶粒の成長方向と交差する方向を有するゲート電極を形成する。

【0014】

具体的に、本発明による薄膜トランジスタは、絶縁基板上に結晶粒が成長して形成された多結晶シリコン薄膜からなる半導体パターンが形成されており、この半導体パターンはチャンネル領域とチャンネル領域を介して互いに対向して位置するソース領域及びドレイン領域とを含んでいる。このような半導体パターンをゲート絶縁膜が覆っている。ゲート絶縁膜上には、少なくとも一部が結晶粒の成長方向と交差する方向を有するゲート電極がチャンネル領域に重畳する。

20

【0015】

ここで、ゲート電極の一部は結晶粒の成長方向と垂直に交差することができる。この時、ゲート電極は結晶粒の成長方向と平行な方向を有する第1領域、第1領域の両側に連結されて結晶粒の成長方向と垂直な方向を有する第2及び第3領域を含むパターンを有することができる。また、ゲート電極は結晶粒の成長方向と垂直な方向を有する第1領域、第1領域の両側に連結されて結晶粒の成長方向と平行な方向を有する第2及び第3領域を含むパターンを有することができる。

また、本発明による液晶表示装置は、絶縁基板上に画面を表示する表示領域が定義されており、表示領域にデータ信号を伝送するデータ駆動回路部及び表示領域にゲート信号を伝送するゲート駆動回路部を含んでいる。ここで、データ駆動回路部を構成する複数の薄膜トランジスタは順次的側面固形状結晶化法によって形成された多結晶シリコン薄膜から形成され、ゲート電極の少なくとも一部が結晶粒の成長方向と交差する方向を有しており、複数の薄膜トランジスタのうちの少なくとも1つは他の薄膜トランジスタとゲート電極のパターンが異なる。ここで、ゲート駆動回路部を構成する複数の薄膜トランジスタは順次的側面固形状結晶化法によって形成された多結晶シリコン薄膜から形成され、ゲート電極の少なくとも一部が結晶粒の成長方向と交差する方向を有しており、複数の薄膜トランジスタのうちの少なくとも1つは他の薄膜トランジスタとゲート電極のパターンが異なるようにするのが好ましい。

30

【発明の効果】

40

【0016】

本発明によれば、駆動回路部の大きさを増大させることなく、電荷移動度の高い薄膜トランジスタを形成することができ、薄膜トランジスタ間の電荷移動度の均一性を確保することができる。

【発明を実施するための最良の形態】

【0017】

以下、添付した図面を参照して、本発明について詳細に説明する。

【0018】

まず、順次的側面結晶化方法を利用して非晶質シリコン薄膜を結晶化する技術について説明する。

50

【 0 0 1 9 】

図 1 は順次的側面結晶化工程の概略図であり、図 2 は順次的側面結晶化工程によって非晶質シリコンが多結晶シリコンに結晶化される過程における多結晶シリコン薄膜の微細構造を概略的に示したものである。

【 0 0 2 0 】

図 1 に示すように、順次的側面結晶化工程はスリットパターンに形成されている透過領域 3 1 0 を有するマスク 3 0 0 を利用して、レーザービームを照射して絶縁基板の上部に形成されている非晶質シリコン層 2 0 0 を局部的に完全に溶かし透過領域 3 1 0 に対応する非晶質シリコン層 2 0 0 に液状領域を形成する。

この時、多結晶シリコン結晶粒はレーザーが照射された液状領域 2 1 0 とレーザーが照射されていない固形状領域 2 2 0 の境界で、その境界面に対して垂直方向に成長する。結晶粒の成長は液状領域の中央で互いに合流すれば止まるようになり、マスクのスリットパターンを結晶粒の成長方向に移動させながらレーザービームを照射すれば、結晶粒の側面成長は進行し続けて所望の程度に成長させることができる。したがって、結晶粒の大きさを調節することができる。

【 0 0 2 1 】

図 2 はスリットパターンが水平方向に形成されているマスクを利用して順次的側面結晶化工程を進行した場合の多結晶シリコンの結晶粒構造を示した図面である。

【 0 0 2 2 】

結晶粒はスリットパターンに対して垂直方向に成長したことが分かる。図 2 に示した多結晶シリコン薄膜は 2 つのスリットパターンを利用した順次的側面結晶化によって形成されたことが分かる。

【 0 0 2 3 】

“ L ” 部分は、それぞれのスリットパターンを利用して順次的側面結晶化を進行して多結晶シリコンの領域を形成する時、隣接する 2 つの多結晶シリコンの領域が会って境界をなす部分である。

【 0 0 2 4 】

しかしながら、このように結晶粒の成長方向にだけマスクのスリットパターンを移動しながら順次的固形状結晶工程を実施すれば、結晶粒の成長方向には数 μm 程度の結晶粒子を得ることができるが、結晶粒の成長方向に対して垂直方向には数千程度の小さい結晶粒子が形成される。

【 0 0 2 5 】

この時、薄膜トランジスタの半導体層をすぎるゲート電極が結晶粒の成長方向に対して垂直である場合には、薄膜トランジスタの半導体層に形成されるチャンネル方向は結晶粒の成長方向と平行になって、チャンネルを通過する電荷移動度が高く現れる。しかし、ゲート電極が結晶粒の成長方向と平行になれば、チャンネル方向は結晶粒の成長方向に対して垂直になってチャンネルを通過する電荷移動度が低く現れる。このような電荷移動度の差はチャンネルで電荷が移動する時、電荷は結晶粒境界を直接通過せず、結晶粒に沿って移動するために発生する。

【 0 0 2 6 】

このように薄膜トランジスタの電荷移動度は半導体層と重複するゲート電極の方向によって偏差が大きく発生し、これによって液晶パネルの上部に形成された薄膜トランジスタはその位置によって特性が非常に不均一に現れる。このような問題点を解決するために、本発明の実施例による薄膜トランジスタのゲート電極で少なくとも一部は結晶粒の成長方向と交差してのびている。

【 0 0 2 7 】

以下に、このように順次的側面結晶化工程によって形成された多結晶シリコン薄膜を利用した、本発明による薄膜トランジスタについて説明する。

【 0 0 2 8 】

図 3 a は、本発明の第 1 実施例による薄膜トランジスタにおける半導体パターンとゲート

10

20

30

40

50

ト電極の設計位置を概略的に示した配置図である。

【 0 0 2 9 】

この実施例による薄膜トランジスタで、半導体パターン 10 は、その長さ方向が結晶粒の成長方向と平行であるような長方形状を有している。

【 0 0 3 0 】

このような半導体パターン 10 にゲート電極 G を形成する場合、ゲート電極 G の一部を結晶粒の成長方向と垂直になるように設計することによって、この部分に対応する半導体パターン 10 のチャンネルを通過する電荷が結晶粒境界にぶつからずに、結晶粒境界に沿って移動することができるようにする。

【 0 0 3 1 】

この実施例で、ゲート電極 G は結晶粒の成長方向に平行してのびた第 1 領域 G 1、第 1 領域 G 1 の両側に連結されており、結晶粒の成長方向と垂直にのびた第 2 及び第 3 領域 G 2、G 3 を含んでいる。このようなゲート電極 G の両側半導体パターン 10 には導電型不純物がドーピングされているソース領域 S とドレイン領域 D が形成されている。

【 0 0 3 2 】

このようなゲート電極 G にゲートオン電圧が印加されると、ゲート電極 G の下部にある半導体パターン 10 の部分に電荷が移動できるチャンネルが形成され、この状態でソース領域 S にデータ電圧が印加されると、ソース領域 S にある電荷がチャンネルを通じてドレイン領域 D に移動する。この時、電荷は結晶粒境界のないゲート電極 G の第 2 及び第 3 領域 G 2、G 3 によって形成されたチャンネルを直進して通過するので、移動度が高くなる。図面で矢印は電荷の移動を表示したものである。

【 0 0 3 3 】

図 3 b は、本発明の第 2 実施例による薄膜トランジスタにおける半導体パターンとゲート電極の構造を概略的に示した配置図である。

【 0 0 3 4 】

この実施例による薄膜トランジスタで、半導体パターン 10 は、その長さ方向が結晶粒の成長方向と垂直となるような長方形状を有している。

【 0 0 3 5 】

このような半導体パターン 10 にゲート電極 G を形成する場合には、ゲート電極 G の一部を結晶粒の成長方向と垂直になるように配置することによって、この部分の下部で形成された半導体パターンのチャンネルを通過する電荷が結晶粒境界にぶつからずに移動することができるようにする。

【 0 0 3 6 】

この実施例で、ゲート電極 G は結晶粒の成長方向に垂直にのびた第 1 領域 G 1、第 1 領域 G 1 の両側に連結されており、結晶粒の成長方向に平行してのびた第 2 及び第 3 領域 G 2、G 3 を含んでいる。このようなゲート電極 G の両側半導体パターン 10 には導電型不純物がドーピングされているソース領域 S とドレイン領域 D とが形成されている。

【 0 0 3 7 】

このようなゲート電極 G にゲートオン電圧が印加されると、ゲート電極 G の下部に位置する半導体パターン 10 では電荷が移動できるチャンネルが形成され、この状態でソース領域 S にデータ電圧が印加されると、ソース領域 S にある電荷がチャンネルを通じてドレイン領域 D に移動する。この時、ゲート電極 G の第 1 領域 G 1 に重複して位置し、半導体パターン 10 のチャンネルでは結晶粒境界がないために電荷が直進して通過するので、電流移動度が高くなる。図面で矢印は電荷の移動を表示したものである。

【 0 0 3 8 】

詳述した本発明の第 1 及び第 2 実施例による薄膜トランジスタでは、ゲート電極 G の一部を結晶粒の成長方向と垂直になるように設定したことを例として挙げたが、チャンネルに電荷の移動を妨害する結晶粒境界がなければ、電荷移動度を高めることができる。したがって、本発明による薄膜トランジスタは、ゲート電極 G の一部を結晶粒の成長方向と交差する方向を有するように設定することによって、この部分によって形成されたチャネル

10

20

30

40

50

ルに結晶粒境界が位置しないようにゲート電極 G を形成することができる。

【 0 0 3 9 】

前述のように、ゲート電極のうちの少なくとも一部が結晶粒の成長方向と交差する方向を有するようにゲート電極の構造を改善することによって、この部分の下部で形成された半導体パターンのチャンネルを通じて電荷が急速に移動することができるようにする。

【 0 0 4 0 】

一般に、薄膜トランジスタの電気的特性は、電荷の移動速度が最も速いものによって決定されるので、本発明でのように、ゲート電極の少なくとも一部が結晶粒の成長方向と交差する方向を有するように形成する薄膜トランジスタについては、ゲート電極あるいは半導体パターンの形状に無関係に、比較的均一な電荷移動度を有するようにすることができる。また、本発明はこのような薄膜トランジスタの電気的特性をゲート電極の幅及び長さの変更を通じて調節することができるため、所望の電気的特性を有する薄膜トランジスタを製造することができる。

10

【 0 0 4 1 】

実験例で、P型薄膜トランジスタを本発明の実施例と同様に設計して、薄膜トランジスタの電流特性を測定した。

ゲート電極は結晶粒の成長方向に対して平行に配置し、本発明の第1または第2実施例のように、少なくともゲート電極の一部を結晶粒の成長方向に垂直に交差するように設計して薄膜トランジスタを配置した後に、電流移動度を測定した結果、ゲート電極を単純に結晶粒の成長方向に対して平行に配置した薄膜トランジスタと比較して電流移動度が30%以上向上することが測定された。

20

【 0 0 4 2 】

図4は本発明の実施例による液晶表示装置の概略的な構成図であって、ゲート駆動回路部及びデータ駆動回路部での薄膜トランジスタの配列状態を示したものである。

【 0 0 4 3 】

液晶表示装置は、絶縁基板100上に複数個の画素セルがマトリックス状に配列されて画像を表示する表示領域101と、このような表示領域101にデータ及びゲート信号を印加するデータ駆動回路部102及びゲート駆動回路部103を含んでいる。ここで、表示領域101、データ駆動回路部102及びゲート駆動回路部103に形成される薄膜トランジスタの半導体パターンI、II、IIIは、絶縁基板100上に順次的側面結晶化技術によって形成された多結晶シリコン薄膜を含む。

30

【 0 0 4 4 】

この時、各駆動回路部102、103における薄膜トランジスタの半導体パターンI、II、IIIは、駆動回路部102、103が許容する面積あるいは配線デザインによって、様々なパターンに形成することができる。

【 0 0 4 5 】

図面に示したように、データ駆動回路部102における第1及び第2薄膜トランジスタの半導体パターンI、IIは、本発明の第1及び第2実施例でのように長方形であり、結晶粒の成長方向に対して垂直または水平にのびている。第3薄膜トランジスタの半導体パターンIIIは結晶粒の成長方向に対して斜めに形成されているが、電荷移動度を高めるために、ゲート電極Gは少なくとも一部、つまり“A”と表示された部分が結晶粒の成長方向と交差する方向、例えば、垂直になるようにパターンニングされている。データ駆動回路部102で提示された第1、第2及び第3薄膜トランジスタの半導体パターンI、II、IIIは例に過ぎず、互いに異なるパターンを有して様々な形状に形成されることができる。ここで、データ駆動回路部102を構成する複数の薄膜トランジスタのうちの少なくとも一つは、他の薄膜トランジスタとゲート電極のパターンを異にして形成することができる。

40

【 0 0 4 6 】

また、ゲート駆動回路部103に形成される複数の薄膜トランジスタ（図示せず）も、データ駆動回路部102を通じて説明したように、様々な形状に形成することができる。

50

【 0 0 4 7 】

表示領域 1 0 1 に形成される薄膜トランジスタは高い電荷移動度を要しないので、半導体パターンとして利用するシリコン薄膜は非晶質状態、あるいは通常の結晶化技術、つまり、高温で結晶化する方法またはレーザーで結晶化する方法により形成された多結晶状態、あるいは順次的側面結晶化法により形成された多結晶状態等から選択することができる。この時、表示領域 1 0 1 での電気的特性の均一性を確保するために、表示領域 1 0 1 に形成される複数の薄膜トランジスタは同一な条件を有するのが好ましい。

【 0 0 4 8 】

このような本発明の実施例による薄膜トランジスタを製造する方法は、通常の薄膜トランジスタ形成技術と同一であり、半導体パターンを形成するための多結晶シリコン薄膜も順次側面結晶化法を通じて同一に形成することができる。

10

【 0 0 4 9 】

本発明で、ゲート電極の形状は提示された実施例に限定されず、一部が結晶粒の成長方向と交差する方向を有するように形成されるかぎり、半導体パターンの形状に関係なく様々な形状を有することができる。

このような薄膜トランジスタを利用して液晶表示装置でのゲート駆動回路部またはデータ駆動回路部の素子を形成する場合には、それぞれの位置に適切な形状を有する半導体パターンを形成することができ、この場合、チャンネル方向もまた調節することができるので、配線を複雑に形成する必要がない。

【 図面の簡単な説明 】

20

【 0 0 5 0 】

【 図 1 】 順次的側面結晶化工程の概略図である。

【 図 2 】 順次的側面結晶化工程によって形成された多結晶シリコン薄膜における結晶粒の微細構造を概略的に図示化した図面である。

【 図 3 a 】 本発明の第 1 実施例による薄膜トランジスタの概略的な構成図である。

【 図 3 b 】 本発明の第 2 実施例による薄膜トランジスタの概略的な構成図である。

【 図 4 】 本発明の実施例による液晶表示装置の概略的な構成図である。

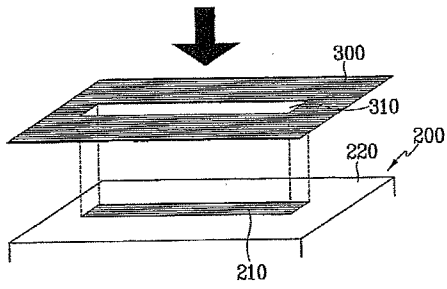
【 符号の説明 】

【 0 0 5 1 】

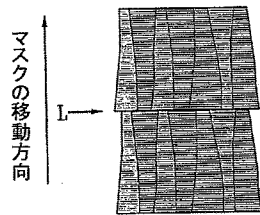
30

- 1 0 0 絶縁基板
- 1 0 1 表示領域
- 1 0 2 データ駆動回路部
- 1 0 3 ゲート駆動回路部
- 2 0 0 非晶質シリコン層
- 2 1 0 液状領域
- 2 2 0 固形状領域
- 3 0 0 マスク
- 3 1 0 透過領域

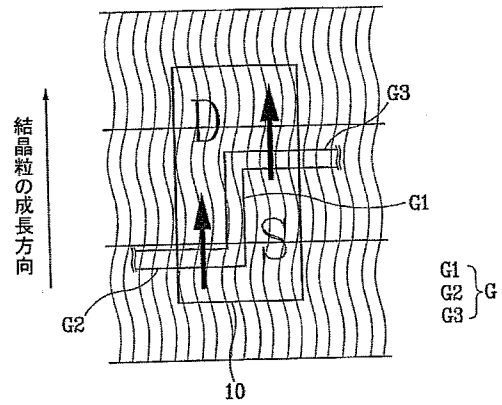
【図 1】



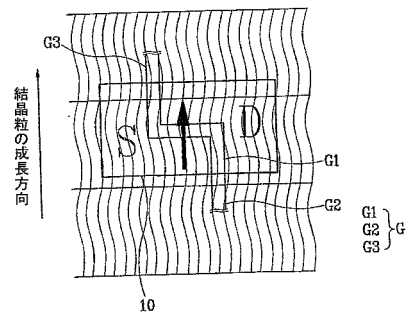
【図 2】



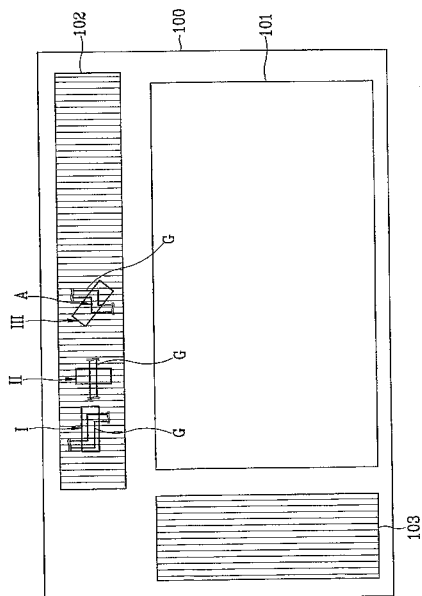
【図 3 a】



【図 3 b】



【図 4】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/KR03/00008												
A. CLASSIFICATION OF SUBJECT MATTER IPC7 G02F 1/136 According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC7 G02F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched KR, JP: as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) PAJ " gate " " insulator " " polysilicon " " grain " " size " " grain growth " " TFT "														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>EP 5,633,738 (Hitachi LTD) 27, May, 1997 Specification and Drawings</td> <td>1 - 6</td> </tr> <tr> <td>A</td> <td>JP 01-124824 (Casio Computer Co., LTD) 17, May, 1989 see whole documents</td> <td>1 - 6</td> </tr> <tr> <td>A</td> <td>JP 07-321328 (Hitachi LTD) 08, December, 1995 see whole documents</td> <td>1 - 6</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	EP 5,633,738 (Hitachi LTD) 27, May, 1997 Specification and Drawings	1 - 6	A	JP 01-124824 (Casio Computer Co., LTD) 17, May, 1989 see whole documents	1 - 6	A	JP 07-321328 (Hitachi LTD) 08, December, 1995 see whole documents	1 - 6
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
Y	EP 5,633,738 (Hitachi LTD) 27, May, 1997 Specification and Drawings	1 - 6												
A	JP 01-124824 (Casio Computer Co., LTD) 17, May, 1989 see whole documents	1 - 6												
A	JP 07-321328 (Hitachi LTD) 08, December, 1995 see whole documents	1 - 6												
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.														
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family														
Date of the actual completion of the international search 25 FEBRUARY 2003 (25.02.2003)		Date of mailing of the international search report 25 FEBRUARY 2003 (25.02.2003)												
Name and mailing address of the ISA/KR  Korean Intellectual Property Office 920 Dunsan-dong, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer CHO, Kyoung Hwa Telephone No. 82-42-481-5767 												

INTERNATIONAL SEARCH REPORT

International application No. PCT/KR03/00008

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 5,633,738	27 - 05 - 1997	US 5,633,738 JP 07-321328	27 - 05 - 1995 08 - 12 - 1995
JP 01-124824	17 - 05 - 1989	None	
JP 07-321328	08 - 12 - 1995	None	

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN, GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC, EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,M Z,NO,NZ,OM,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 カン, ミュン - コ

大韓民国, 1 3 8 - 2 4 0 ソウル, ソンパ - グ, シンチョン - ドン, ミソン アパート 3 - 2
0 5

(72)発明者 キム, ヒュン - ジェ

大韓民国, キョンギ - ド, 4 6 3 - 8 3 0 ソンナム - シティ, ブンダン - グ, イメ - ドン, 1 2
3 - ボンジ, チョング アパート 6 0 1 - 9 0 3

(72)発明者 カン, ソク - ヨウン

大韓民国, 1 3 7 - 7 7 3 ソウル, ソチョ - グ, ソチョ 2 - ドン, ウスン アパート 5 0 1
- 1 7 1 3

(72)発明者 チュン, ウ - スク

大韓民国, キョンギ - ド, 4 3 1 - 0 5 0 アンヤン - シティ, ドンガン - グ, 3 2 8 - 2, ピサ
ン - ドン, パーク アパート A - 2 0 4

F ターム(参考) 2H092 JA24 JA28 JA38 KA04 KA05 MA29 MA30 NA24 PA09

5F052 AA02 AA11 AA17 BA01 BA04 BA12 BA18 DA02 JA01

5F110 AA01 AA04 AA30 BB02 CC02 EE24 GG02 GG13 GG15 GG16

GG23 HM04 HM12 NN78 PP01 PP03 PP06 PP24

【要約の続き】

複数の薄膜トランジスタのうちの少なくとも1つは他の薄膜トランジスタとゲート電極のパターンが異なる。

专利名称(译)	薄膜晶体管和液晶显示器件		
公开(公告)号	JP2005515622A	公开(公告)日	2005-05-26
申请号	JP2003560639	申请日	2003-01-03
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
[标]发明人	カンミユンコ キムヒュンジェ カンソクヨウン チュンウスク		
发明人	カン,ミユン-コ キム,ヒュン-ジェ カン,ソク-ヨウン チュン,ウ-スク		
IPC分类号	G02F1/1368 G02F1/136 G02F1/1362 H01L21/20 H01L21/336 H01L29/423 H01L29/786		
CPC分类号	H01L29/42384 G02F1/13454 G02F2202/104 H01L21/02675 H01L21/2026 H01L29/78675		
FI分类号	H01L29/78.617.K G02F1/1368 H01L21/20 H01L29/78.627.G H01L29/78.612.B		
F-TERM分类号	2H092/JA24 2H092/JA28 2H092/JA38 2H092/KA04 2H092/KA05 2H092/MA29 2H092/MA30 2H092/NA24 2H092/PA09 5F052/AA02 5F052/AA11 5F052/AA17 5F052/BA01 5F052/BA04 5F052/BA12 5F052/BA18 5F052/DA02 5F052/JA01 5F110/AA01 5F110/AA04 5F110/AA30 5F110/BB02 5F110/CC02 5F110/EE24 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG16 5F110/GG23 5F110/HM04 5F110/HM12 5F110/NN78 5F110/PP01 5F110/PP03 5F110/PP06 5F110/PP24		
优先权	1020020000179 2002-01-03 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了在不增加驱动电路部分的尺寸的情况下使每个薄膜晶体管的电荷迁移率均匀，本发明涉及薄膜晶体管和液晶显示装置，形成栅电极。[解决方案] 根据本发明的薄膜晶体管具有由通过在绝缘基板上生长晶粒而形成的多晶硅薄膜制成的半导体图案，并且半导体图案包括位于沟道区两侧的沟道区和源区。和漏区。栅极绝缘膜覆盖这种半导体图案。在栅极绝缘膜上，具有至少一部分与晶粒的生长方向相交的方向的栅电极与沟道区重叠。此外，在根据本发明的液晶显示装置中，构成数据驱动电路部分或栅极驱动电路部分的多个薄膜晶体管由通过顺序侧固态结晶方法形成的多晶硅薄膜形成。薄膜晶体管的一部分具有与晶粒的生长方向交叉的方向，并且多个薄膜晶体管中的至少一个具有与其他薄膜晶体管的栅电极不同的栅电极的图案。

