

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-182034

(P2005-182034A)

(43) 公開日 平成17年7月7日(2005.7.7)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G09G 3/20 623R	5C080
	G09G 3/20 623Y	
	G09G 3/20 670K	
審査請求 有 請求項の数 24 O L (全 16 頁)		

(21) 出願番号 特願2004-365429 (P2004-365429)
 (22) 出願日 平成16年12月17日 (2004.12.17)
 (31) 優先権主張番号 2003-092693
 (32) 優先日 平成15年12月17日 (2003.12.17)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー・フィリップス エルシーデー
 カンパニー, リミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100106703
 弁理士 産形 和央
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100096943
 弁理士 臼井 伸一

最終頁に続く

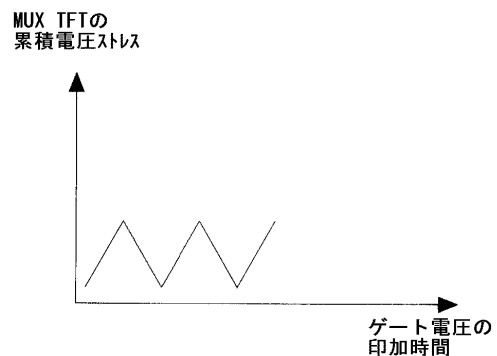
(54) 【発明の名称】 液晶表示装置とその駆動方法

(57) 【要約】

【課題】本発明の目的はスイッチ素子の特性変動と劣化を最小化するようにした液晶表示装置のデマルチプレクサーとその駆動方法を提供する。

【解決手段】本発明に係る液晶表示装置は、多数のデータラインと多数のゲートラインが交差する液晶表示パネルと、データ電圧を発生するデータ駆動回路と、多数のスイッチ素子を利用して前記データ電圧を前記データラインに供給するデマルチプレクサーと、前記スイッチ素子をターン-オンさせるための第1極性電圧を持つ制御信号を発生して前記制御信号に第2極性電圧を付加する制御信号発生部とを具備する。

【選択図】 図10



【特許請求の範囲】

【請求項 1】

多数のデータラインと多数のゲートラインが交差する液晶表示パネルと、データ電圧を発生するデータ駆動回路と、多数のスイッチ素子を利用して前記データ電圧を前記データラインに供給するデマルチプレクサと、前記スイッチ素子をターン-オンさせるための第 1 極性電圧を有する制御信号を発生して前記制御信号に第 2 極性電圧を付加する制御信号発生部とを具備することを特徴とする液晶表示装置。

【請求項 2】

前記多数のスイッチ素子は非晶質シリコントランジスタからなることを特徴とする請求項 1 記載の液晶表示装置。

10

【請求項 3】

前記多数のスイッチ素子は n-タイプトランジスタからなることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】

前記第 1 極性電圧は正極性電圧である一方、前記第 2 極性電圧は負極性電圧であることを特徴とする請求項 3 記載の液晶表示装置。

【請求項 5】

前記第 2 極性電圧によるネガティブストレス量は前記第 1 極性電圧によるポジティブストレス量の k 倍 (ただし、 k は $0 < k < 10$) 位に大きいことを特徴とする請求項 4 記載の液晶表示装置。

20

【請求項 6】

前記多数のスイッチ素子は p-タイプトランジスタからなることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 7】

前記第 1 極性電圧は負極性電圧である一方、前記第 2 極性電圧は正極性電圧であることを特徴とする請求項 6 記載の液晶表示装置。

【請求項 8】

前記第 2 極性電圧によるポジティブストレス量は前記第 1 極性電圧によるネガティブストレス量の k 倍 (ただし、 k は $0 < k < 10$) 位に大きいことを特徴とする請求項 7 記載の液晶表示装置。

30

【請求項 9】

前記第 1 極性電圧の電圧印加時間と電圧レベルの少なくともいずれかが前記第 2 極性電圧とは異なることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 10】

前記多数のデータラインは第 1 データライン、第 2 データライン、及び第 3 データラインを具備し、前記多数のスイッチ素子は、前記データ駆動回路と前記第 1 データラインとの間に接続されて前記第 1 極性電圧に応答して前記データ駆動回路からの電圧を前記第 1 データラインに供給する第 1 スwitch素子、前記データ駆動回路と前記第 2 データラインとの間に接続されて前記第 1 極性電圧に応答して前記データ駆動回路からの電圧を前記第 2 データラインに供給する第 2 スwitch素子、及び前記データ駆動回路と前記第 3 データラインとの間に接続されて前記第 1 極性電圧に応答して前記データ駆動回路からの電圧を前記第 3 データラインに供給する第 3 スwitch素子を具備することを特徴とする請求項 2 記載の液晶表示装置。

40

【請求項 11】

前記制御信号は前記第 1 スwitch素子を制御する第 1 制御信号と、前記第 2 スwitch素子を制御する第 2 制御信号と、前記第 3 スwitch素子を制御する第 3 制御信号を含み、前記第 1 乃至第 3 制御信号の互いの位相が異なることを特徴とする請求項 10 記載の液晶表示装置。

【請求項 12】

前記第 1 制御信号の第 2 極性電圧は前記第 2 制御信号の第 1 極性電圧と少なくとも一部

50

が重畳されて、前記第 2 制御信号の第 2 極性電圧は前記第 3 制御信号の第 1 極性電圧と少なくとも一部が重畳されることを特徴とする請求項 1 1 記載の液晶表示装置。

【請求項 1 3】

前記第 1 極性電圧に引き継いで前記第 2 極性電圧が発生することを特徴とする請求項 2 記載の液晶表示装置。

【請求項 1 4】

データ電圧が発生するデータ駆動回路と液晶表示パネルのデータラインとの間に接続されたデマルチプレクサーを制御する制御信号が発生する段階と、前記制御信号の第 1 極性電圧で前記デマルチプレクサー内のスイッチ素子をターン-オンさせる段階と、前記制御信号の第 2 極性電圧で前記スイッチ素子のストレスを回復させる段階とを含むことを特徴とする液晶表示装置の駆動方法。

10

【請求項 1 5】

前記第 1 極性電圧の電圧印加時間と電圧レベル少なくともいずれかが前記第 2 極性電圧とは異なることを特徴とする請求項 1 4 記載の液晶表示装置の駆動方法。

【請求項 1 6】

前記制御信号が発生する段階は、前記データ駆動回路と第 1 データラインとの間に接続された第 1 スwitch素子を制御する第 1 制御信号が発生する段階と、前記データ駆動回路と第 2 データラインとの間に接続された第 2 スwitch素子を制御する第 2 制御信号が発生する段階と、前記データ駆動回路と第 3 データラインとの間に接続された第 3 スwitch素子を制御する第 3 制御信号が発生する段階とを含むことを特徴とする請求項 1 4 記載の液晶表示装置の駆動方法。

20

【請求項 1 7】

前記第 1 制御信号の第 2 極性電圧は前記第 2 制御信号の第 1 極性電圧と少なくとも一部が重畳され、前記第 2 制御信号の第 2 極性電圧は前記第 3 制御信号の第 1 極性電圧と少なくとも一部が重畳されることを特徴とする請求項 1 6 記載の液晶表示装置の駆動方法。

【請求項 1 8】

前記第 1 極性電圧に引き継いで前記第 2 極性電圧が発生することを特徴とする請求項 1 4 記載の液晶表示装置の駆動方法。

【請求項 1 9】

前記多数のスイッチ素子はn-タイプトランジスタからなることを特徴とする請求項 1 4 記載の液晶表示装置の駆動方法。

30

【請求項 2 0】

前記第 1 極性電圧は正極性電圧である一方、前記第 2 極性電圧は負極性電圧であることを特徴とする請求項 1 9 記載の液晶表示装置の駆動方法。

【請求項 2 1】

前記第 2 極性電圧によるネガティブストレス量は前記第 1 極性電圧によるポジティブストレス量のk倍(ただし、kは $0 < k < 10$)位に大きいことを特徴とする請求項 2 0 記載の液晶表示装置の駆動方法。

【請求項 2 2】

前記多数のスイッチ素子はp-タイプトランジスタからなることを特徴とする請求項 1 4 記載の液晶表示装置の駆動方法。

40

【請求項 2 3】

前記第 1 極性電圧は負極性電圧である一方、前記第 2 極性電圧は正極性電圧であることを特徴とする請求項 2 2 記載の液晶表示装置の駆動方法。

【請求項 2 4】

前記第 2 極性電圧によるポジティブストレス量は前記第 1 極性電圧によるネガティブストレス量のk倍(ただし、kは $0 < k < 10$)位に大きいことを特徴とする請求項 2 3 記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は液晶表示装置に関するもので特に、スイッチ素子の特性変動と劣化を最小化するようにした液晶表示装置とその駆動方法に関するものである。

【背景技術】

【0002】

液晶表示装置は、ビデオ信号に沿って液晶の光透過率を調節することによってビデオ信号に対応する画像を表示する。このような液晶表示装置には、液晶セルがアクティブマトリックス形態に配列された液晶表示パネルとこの液晶表示パネルを駆動するための駆動回路が含まれる。アクティブマトリックスタイプの液晶表示パネル上には、多数のデータラインと多数のゲートラインが交差し、その交差部に画素駆動用薄膜トランジスタ(Thin Film Transistor: 以下、「TFT」という)が形成される。液晶表示装置の駆動回路には、データを液晶表示パネルのデータラインに供給するためのデータ駆動回路と、スキャンパルス(Scan Pulse)を液晶表示パネルに供給するためのゲート駆動回路が含まれる。また、駆動回路には、データ駆動回路とデータラインとの間に設置され、データ駆動回路の出力をいくつかのデータラインに分配するためのデマルチプレクサーが含まれる。このデマルチプレクサーによりデータ駆動回路の出力数が少なくなることから、データ駆動回路の簡素化が可能であり、液晶表示パネルのデータ入力端子数が少なくなる。

10

【0003】

図1はアクティブマトリックスタイプの液晶表示装置を示す図面である。

図1を参照すると、アクティブマトリックスタイプの液晶表示装置はm個のデータライン(DL1乃至DLm)とn個のゲートライン(GL1乃至GLn)が交差し、その交差部に画素駆動用TFT16が形成された液晶表示パネル13と、データ駆動回路11と液晶表示パネル13のデータライン(DL1乃至DLm)との間に形成されたデマルチプレクサー14と、液晶表示パネル13のゲートライン(GL1乃至GLn)にスキャンパルスを順次的に供給するためのゲート駆動回路12とを具備する。

20

【0004】

画素駆動用TFTは、ゲートライン(GL1乃至GLn)からのスキャン信号にตอบสนองしてデータライン(DL1乃至DLm)からのデータを液晶セルの画素電極15に供給する。このために、画素駆動用TFTのゲート電極は該当のゲートライン(GL1乃至GLn)に接続され、ソース電極は該当のデータライン(DL1乃至DLm)に接続される。さらに、画素駆動用TFTのドレイン電極は液晶セルの画素電極に接続される。

30

【0005】

データ駆動回路11は、デジタルビデオデータをアナログガンマ補償電圧に変換して1ライン分のデータをm/3個のソースライン(SL1乃至SLm/3)に時分割して供給する。

【0006】

デマルチプレクサー14は、データ駆動回路11とデータライン(DL1乃至DLm)との間でm/3個が並んで配置される。このデマルチプレクサー14のそれぞれは一つのソースラインから供給されるデータ電圧を3個のデータラインで分配するための第1乃至第3TFT(以下、「MUX TFT」という)(MT1, MT2, MT3)を含む。第1乃至第3MUX TFT(MT1, MT2, MT3)は互いに異なる制御信号(1, 2, 3)にตอบสนองして一つのソースラインを通じて入力されるデータを時分割して3個のデータラインに供給する。

40

【0007】

ゲート駆動回路12は、シフトレジスターとレベルスイフトを利用してスキャンパルスを順次的にゲートライン(GL1乃至GLn)に供給する。

【0008】

図2は、デマルチプレクサーの制御信号(1, 2, 3)とスキャンパルス(SP)を示す。

図2を参照すると、スキャンパルス(SP)は、おおよそ1水平期間(1H)の間にゲートハイ電圧(Vgh)で発生し、それ以外の期間の間にゲートロー電圧(Vgl)を維持する。このスキャンパルス(SP)のデューティ比は、1フレーム期間が数百個の水平期間(H)を含んだ時

50

間であるから、おおよそ数百分の1程度である。

【0009】

デマルチプレクサー14の制御信号(1, 2, 3)のそれぞれは、毎水平期間ごとにおおよそ1/3水平期間の間にゲートハイ電圧(Vgh)で発生する。このデマルチプレクサー14の制御信号(1, 2, 3)のそれぞれのデューティ比は、毎水平期間ごとに発生するからおおよそ1/2程度である。ここで、デマルチプレクサー14の制御信号デューティ比が1/2の場合には、一つのデマルチプレクサーに二つのMUX TFTだけが含まれる。

【0010】

このようなデマルチプレクサー14のMUX TFT(MT1, MT2, MT3)と画素駆動用TFTとは、同時に液晶表示パネル13の硝子基板上に直接形成され、スイング幅がゲートハイ電圧(Vgh)とゲートロー電圧(Vgl)の間で同一である。

10

【0011】

ところで、デマルチプレクサー14のMUX TFT(MT1, MT2, MT3)は同一の極性のゲート電圧が長期間印加される、すなわち、ポジティブゲート-バイアスストレス(Positive gate-bias stress)やネガティブゲート-バイアスストレス(Negative gate-bias stress)を受けると、画素駆動用TFT16に比べて動作特性の変動や劣化がより生じやすいという問題点がある。これは、図2のように画素駆動用TFT16に比べてMUX TFT(MT1, MT2, MT3)はゲート電圧印加時間がもっと長いからである。特に、デマルチプレクサー14のMUX TFT(MT1, MT2, MT3)が非晶質シリコンTFTに製造されると非晶質シリコンTFT(amorphous Silicon TFT)の半導体層構造が多結晶シリコンTFT(Polysilicon TFT)の半導体層構造に比べて欠陥が多いから、ゲート-バイアスストレスやネガティブゲート-バイアスストレスに対して動作特性が変化しやすく、劣化がより生じやすくなる。このようなMUX TFT(MT1, MT2, MT3)の動作特性変化は図3及び図4の実験結果でも分かる。

20

【0012】

図3及び図4は、チャンネル幅/チャンネル長さ(W/L)が120 μ m/6 μ mである試料用水素化された非晶質シリコンTFT(a-Si:H TFT)にポジティブゲート-バイアスストレス(Positive gate-bias stress)とネガティブゲート-バイアスストレス(Negative gate-bias stress)を印加したときに、その試料用a-Si:H TFTの特性変化をもたらすということを示す実験結果である。

30

【0013】

図3及び図4において、横軸は試料用a-Si:H TFTのゲート電圧[V]であり、縦軸は試料用a-Si:H TFTのソース端子とドレイン端子の間の電流[A]を示す。ボックス内のインデックスはグラフ色別にゲート電圧印加時間[sec]を示す。

図3は、試料用a-Si:H TFTのゲート端子に+30Vの電圧を印加したときに、電圧印加時間に係るTFTのしきい電圧と伝達特性曲線の移動を示している。図3で理解できるように、a-Si:H TFTのゲート端子に正極性の高い電圧を印加する時間が長くなるほど、TFTの伝達特性曲線が右側に移動(31)し、そのa-Si:H TFTのしきい電圧が上昇する。

【0014】

図4は、試料用a-Si:H TFTのゲート端子に-30Vの電圧を印加する時、電圧印加時間に係るTFTのしきい電圧と伝達特性曲線の移動を示している。図4で理解できるように、a-Si:H TFTのゲート端子に負極性の高い電圧が印加される時間が長くなるほどTFTの伝達特性曲線が左側に移動(41)してそのa-Si:H TFTのしきい電圧が低くなる。

40

【0015】

図5は、MUX TFT(MT1, MT2, MT3)のそれぞれで受けるゲート電圧ストレスの累積を示している。図5のように、MUX TFT(MT1, MT2, MT3)は制御信号(1, 2, 3)が同一の極性に印加される度にゲート電圧ストレスが累積することから、しきい電圧が徐々に上昇または下降する。このようにMUX TFTのしきい電圧が上昇し下降するようになると、デマルチプレクサーの動作が不安定になるから、液晶表示装置が正常的に駆動しにくくなる。

50

【発明の開示】

【発明が解決しようとする課題】

【0016】

したがって、本発明の目的はスイッチ素子の特性変動と劣化を最小化するようにした液晶表示装置のデマルチプレクサーとその駆動方法を提供することにある。

【課題を解決するための手段】

【0017】

前記目的を達成するために、本発明に係る液晶表示装置は多数のデータラインと多数のゲートラインが交差する液晶表示パネルと、データ電圧を発生するデータ駆動回路と、多数のスイッチ素子を利用して前記データ電圧を前記データラインに供給するデマルチプレクサーと、前記スイッチ素子をターン-オンさせるための第1極性電圧を有する制御信号を発生して前記制御信号に第2極性電圧を付加する制御信号発生部とを具備する。

10

【0018】

前記多数のスイッチ素子は非晶質シリコントランジスタを具備する。

前記多数のスイッチ素子はn-タイプトランジスタを具備する。

前記第1極性電圧は正極性電圧である一方、前記第2極性電圧は負極性電圧である。

前記第2極性電圧によるネガティブストレス量は前記第1極性電圧によるポジティブストレス量のk倍(ただし、 $0 < k < 10$)位に大きい。

前記多数のスイッチ素子はp-タイプトランジスタを具備する。

前記第1極性電圧は負極性電圧である反面、前記第2極性電圧は正極性電圧である。

20

前記第1極性電圧は電圧印加時間と電圧レベルの中から少なくともいずれかが前記第2極性電圧と異なる。

【0019】

前記多数のデータラインは第1データライン、第2データライン、及び第3データラインを具備し、前記多数のスイッチ素子は、前記データ駆動回路と前記第1データラインの間に接続されて前記第1極性電圧にตอบสนองして前記データ駆動回路からの電圧を前記第1データラインに供給する第1スイッチ素子、前記データ駆動回路と前記第2データラインの間に接続されて前記第1極性電圧にตอบสนองして前記データ駆動回路からの電圧を前記第2データラインに供給する第2スイッチ素子、及び前記データ駆動回路と前記第3データラインの間に接続されて前記第1極性電圧にตอบสนองして前記データ駆動回路からの電圧を前記第3データラインに供給する第3スイッチ素子を具備する。

30

【0020】

前記制御信号は、前記第1スイッチ素子を制御する第1制御信号と、前記第2スイッチ素子を制御する第2制御信号と、前記第3スイッチ素子を制御する第3制御信号を含み、前記第1乃至第3制御信号の互いの位相が異なる。

【0021】

前記第1制御信号の第2極性電圧は前記第2制御信号の第1極性電圧と少なくとも一部が重畳されて、前記第2制御信号の第2極性電圧は前記第3制御信号の第1極性電圧と少なくとも一部が重畳される。

前記第1極性電圧に引き継いで前記第2極性電圧が発生する。

40

【0022】

本発明に係る液晶表示装置の駆動方法は、データ電圧を発生するデータ駆動回路と液晶表示パネルのデータラインとの間に接続されたデマルチプレクサーを制御する制御信号を発生する段階と、前記制御信号の第1極性電圧で前記デマルチプレクサー内のスイッチ素子をターン-オンさせる段階と、前記制御信号の第2極性電圧で前記スイッチ素子のストレスを回復させる段階とを含む。

【発明の効果】

【0023】

本発明に係る液晶表示装置とその駆動方法はMUX TFTを制御するための制御信号に逆極性のパルスを付加することによって同一な極性のゲート電圧が長時間または反復的にMUX

50

TFTのゲート端子に印加されるゲート-バイアスストレスに起因して発生するMUX TFTの特性変動と劣化を最小化することができる。

【発明を実施するための最良の形態】

【0024】

上記目的外に本発明の他の目的及び特徴は添付図面を参照した実施例に対する説明を通じて明白に現われる。

【実施例】

【0025】

以下、本発明の望ましい実施例を添付した図6乃至図13を参照して詳しく説明する事にする。

10

【0026】

図6は、本発明の第1実施例に係る液晶表示装置を示す図面である。

図6を参照すると、本発明の第1実施例に係る液晶表示装置はm個のデータライン(DL1乃至DLm)とn個のゲートライン(GL1乃至GLn)が交差してその交差部に画素駆動用TFT66が形成された液晶表示パネル63と、データ駆動回路61と液晶表示パネル63のデータライン(DL1乃至DLm)の間に形成されn-タイプ非晶質シリコンTFTにそれぞれ具現されるMUX TFT(MT1, MT2, MT3)を含むデマルチプレクサー64と、ストレス補償制御信号(C1, C2, C3)を発生する制御信号発生部67と、液晶表示パネル63のゲートライン(GL1乃至GLn)にスキャンパルスを順次的に供給するためのゲート駆動回路62とを具備する。

20

【0027】

データ駆動回路61は、デジタルビデオデータをアナログガンマ補償電圧に変換して1ライン分のデータをm/3個のソースライン(SL1乃至SLm/3)に時分割して供給する。

【0028】

デマルチプレクサー64は、データ駆動回路61とデータライン(DL1乃至DLm)との間でm/3個が並んで配置される。このデマルチプレクサー64のそれぞれは一つのソースラインから供給されるデータ電圧を3個のデータラインで分配するための第1乃至第3MUX TFT(MT1, MT2, MT3)を含む。第1乃至第3MUX TFT(MT1, MT2, MT3)は互いに異なるストレス補償制御信号(C1, C2, C3)の正極性電圧にตอบสนองして一つのソースラインを通じて入力されるデータを時分割して3個のデータラインに供給する。そして、第1乃至第3MUX TFT(MT1, MT2, MT3)はストレス補償制御信号(C1, C2, C3)の負極性電圧で正極性のゲート電圧累積によるストレスを相殺してしきい電圧と動作特性を一定に維持する。

30

【0029】

デマルチプレクサー64内のMUX TFTとデマルチプレクサー64の出力チャンネル数は3に例示したが、これに限定されるのではなく、MUX TFTと出力チャンネル数を選択的に調整することができる。デマルチプレクサー64内のMUX TFTとデマルチプレクサー64の出力チャンネル数が「i」個(ただし、iは自然数)であればソースラインはm/i個に減る。

【0030】

制御信号発生部67は、デマルチプレクサー64内のMUX TFTを制御するためのストレス補償制御信号(C1, C2, C3)を発生する。ストレス補償制御信号(C1, C2, C3)は、図7のようにMUX TFT(MT1, MT2, MT3)をターン-オンさせるための正極性のゲートハイ電圧(Vgh)で発生した後、正極性ストレスを償うための負極性電圧(Vneg)で発生する。負極性電圧(Vneg)はゲートロー電圧(Vgl)より低い電圧である。

40

【0031】

ゲート駆動回路62はシフトレジスターとレベルシフトを利用して図7のようにゲートハイ電圧(Vgh)とゲートロー電圧(Vgl)の間でスイングされるスキャンパルス(SP)を順次的にゲートライン(GL1乃至GLn)に供給する。

【0032】

50

図7は、一番目ゲートライン(GL1)に供給されるスキャンパルス(SP1)と第1乃至第3 MUX TFT(MT1, MT2, MT3)のゲート端子に供給されるストレス補償制御信号(C1, C2, C3)を示す。

【0033】

図7を参照すると、スキャンパルス(SP)はおおよそ1水平期間(1H)の間にゲートハイ電圧(Vgh)で発生して、それ以外の期間の間はゲートロー電圧(Vgl)を維持する。

【0034】

ストレス補償制御信号(C1, C2, C3)のそれぞれは正極性のゲートハイ電圧(Vgh)に発生される正極性パルス(PP)と、それに引き継いで負極性電圧(Vneg)に発生される負極性パルス(NP)を含む。

10

【0035】

ストレス補償制御信号(C1, C2, C3)の正極性パルス(PP)は第1乃至第3 MUX TFT(MT1, MT2, MT3)をターン-オンさせて、ストレス補償制御信号(C1, C2, C3)の負極性パルス(NP)は第1乃至第3 MUX TFT(MT1, MT2, MT3)のポジティブゲート-バイアスストレスを償う。

【0036】

このようなデマルチプレクサー64の動作を図7を結付して説明する事にする。

第1ストレス補償制御信号(C1)の正極性パルス(PP)はスキャンパルス(SP)のおおよそ1/3幅で、そのスキャンパルス(SP)と同時に発生して第1 MUX TFT(MT1)をターン-オンさせる。それでは第1ソースライン(SL1)のデータ電圧は第1データライン(DL1)に供給される。

20

【0037】

第1ストレス補償制御信号(C1)の負極性パルス(NP)は第1 MUX TFT(MT1)が正極性のゲートハイ電圧(Vgh)に应答してターン-オンされた後、その第1 MUX TFT(MT1)のゲート端子に負極性電圧(Vneg)を供給する。

【0038】

第2ストレス補償制御信号(C2)の正極性パルス(PP)は、スキャンパルス(SP)のおおよそ1/3幅で第1ストレス補償制御信号(C1)の正極性パルス(PP)の直後に発生して第2 MUX TFT(MT2)をターン-オンさせる。その後、第1ソースライン(SL1)のデータ電圧は第2データライン(DL2)に供給される。

30

【0039】

第2ストレス補償制御信号(C2)の負極性パルス(NP)は、第2 MUX TFT(MT2)が正極性のゲートハイ電圧(Vgh)に应答してターン-オンした後、その第2 MUX TFT(MT2)のゲート端子に負極性電圧(Vneg)を供給する。

【0040】

第3ストレス補償制御信号(C3)の正極性パルス(PP)は、スキャンパルス(SP)のおおよそ1/3幅で第2ストレス補償制御信号(C2)の正極性パルス(PP)の直後に発生して第3 MUX TFT(MT3)をターン-オンさせる。その後、第1ソースライン(SL1)のデータ電圧は第3データライン(DL3)に供給される。

【0041】

第3ストレス補償制御信号(C3)の負極性パルス(NP)は、第3 MUX TFT(MT3)が正極性のゲートハイ電圧(Vgh)に应答してターン-オンした後、その第3 MUX TFT(MT3)のゲート端子に負極性電圧(Vneg)を供給する。

40

【0042】

第1ストレス補償制御信号(C1)の負極性パルス(NP)と第2ストレス補償制御信号(C2)の正極性パルス(PP)は一部期間が重畳されて、第2ストレス補償制御信号(C2)の負極性パルス(NP)と第3ストレス補償制御信号(C3)の正極性パルス(PP)は一部期間が重畳される。

【0043】

図8はストレス補償制御信号(C1, C2, C3)によりデマルチプレクサー64のM

50

UX TFT(MT1, MT2, MT3)に加えられるポジティブストレス量とネガティブストレス量を面積で示したものである。

図8を参照すると、ストレス補償制御信号(C1, C2, C3)の正極性パルス(PP)はデマルチプレクサー64のMUX TFT(MT1, MT2, MT3)にポジティブゲート-バイアスストレスを加え、ストレス補償制御信号(C1, C2, C3)の負極性パルス(NP)はデマルチプレクサー64のMUX TFT(MT1, MT2, MT3)にネガティブゲート-バイアスストレスを加える。

【0044】

本発明に係る液晶表示装置のデマルチプレクサーとその駆動方法によると、ストレス補償制御信号(C1, C2, C3)の負極性パルス(PP)によるネガティブストレス量(S(negative))は「 $k \times$ ストレス補償制御信号(C1, C2, C3)の正極性パルス(PP)によるポジティブストレス量(S(positive))」のようである。ネガティブストレス量(S(negative))とポジティブストレス量(S(positive))のそれぞれは電圧 \times 時間の面積のようである。kは陽の値を持つ比例係数である。 10

【0045】

一方、ストレス補償制御信号(C1, C2, C3)の負極性パルス(PP)は球形波パルスだけではなくランプ波やそれと異なるいずれかの形態で発生させることができる。

【0046】

デマルチプレクサー64のMUX TFT(MT1, MT2, MT3)のソース電圧に対応するデータ電圧がゲートロー電圧(Vgl)と近接すると、比例係数kは1より大きくなければならない。ところで一般的に大部分のデータ電圧はゲートロー電圧(Vgl)より高いから比例係数kは $0 < k < 10$ の条件を満足する値を有する。 20

【0047】

これに比べて、図2のような従来の制御信号(C1, C2, C3)はMUX TFT(MT1, MT2, MT3)にポジティブゲート-バイアスストレスのみを加えるだけであり、これを相殺することができるネガティブゲート-バイアスストレスを加えることができない。すなわち、従来の制御信号(C1, C2, C3)にMUX TFT(MT1, MT2, MT3)のネガティブストレス量(S(negative))は「0」である。

【0048】

ストレス補償制御信号(C1, C2, C3)の負極性パルス(PP)はネガティブストレス量(S(negative))が「 $0 < k < 10$ における $k \times$ ストレス補償制御信号(C1, C2, C3)の正極性パルス(PP)によるポジティブストレス量(S(positive))」という条件で電圧(V)や時間(t)を変更することができる。例えば、図9aのように負極性電圧(Vneg)がもっと低い電圧(Vneg1)に変更する一方で負極性電圧(Vneg)の印加時間(t)をもっと短い時間(t1)とすることができる。また、図9bのように負極性電圧(Vneg)がもっと高い電圧(Vneg2)に変更する一方で負極性電圧(Vneg)の印加時間(t)をもっと長い時間(t2)とすることができる。 30

【0049】

図10はMUX TFT(MT1, MT2, MT3)のそれぞれで受けるゲート電圧ストレスの累積示している。図10のようにMUX TFT(MT1, MT2, MT3)はストレス補償制御信号(C1, C2, C3)の極性が周期的に反転するので、ゲート電圧ストレスが累積しない。したがって、MUX TFT(MT1, MT2, MT3)のしきい電圧と動的特性がほとんど変化しない。 40

【0050】

図11乃至図13は本発明の第2実施例に係る液晶表示装置を示す図面である。

図11を参照すると、本発明の第2実施例に係る液晶表示装置はm個のデータライン(DL1乃至DLm)とn個のゲートライン(GL1乃至GLn)が交差してその交差部に画素駆動用TFT116が形成された液晶表示パネル113と、データ駆動回路111と液晶表示パネル113のデータライン(DL1乃至DLm)との間に形成されたp-タイプ多結晶シリコンTFTにそれぞれ具現されるMUX TFT(PT1, PT2, PT3)を含むデマルチプレクサー114と、ストレス補償制御信号(D1, D2, D3)を発生する制御信号発生部117と、液晶表示パ 50

ネル 1 1 3 のゲートライン (GL 1 乃至 GLn) にスキャンパルスを順次的に供給するためのゲート駆動回路 1 1 2 とを具備する。

【 0 0 5 1 】

データ駆動回路 1 1 1 は、デジタルビデオデータをアナログガンマ補償電圧に変換して 1 ライン分のデータを $m/3$ 個のソースライン (SL 1 乃至 SL $m/3$) に時分割して供給する。

【 0 0 5 2 】

デマルチプレクサー 1 1 4 は、データ駆動回路 1 1 1 とデータライン (DL 1 乃至 DL m) の間で $m/3$ 個が並んで配置される。このデマルチプレクサー 1 1 4 のそれぞれは、一つのソースラインから供給されるデータ電圧を 3 個のデータラインで分配するための第 1 乃至第 3 MUX TFT (PT 1, PT 2, PT 3) を含む。第 1 乃至第 3 MUX TFT (PT 1, PT 2, PT 3) は、互いに異なるストレス補償制御信号 (D 1, D 2, D 3) の負極性電圧に応答して一つのソースラインを通じて入力されるデータを時分割して 3 個のデータラインに供給する。そして第 1 乃至第 3 MUX TFT (PT 1, PT 2, PT 3) は、ストレス補償制御信号 (D 1, D 2, D 3) の正極性電圧で負極性のゲート電圧累積によるストレスを相殺し、しきい電圧と動作特性を一定に維持する。

10

【 0 0 5 3 】

制御信号発生部 1 1 7 は、デマルチプレクサー 1 1 4 内の MUX TFT (PT 1, PT 2, PT 3) を制御するためのストレス補償制御信号 (D 1, D 2, D 3) を発生する。ストレス補償制御信号 (D 1, D 2, D 3) は図 1 2 のように MUX TFT (PT 1, PT 2, PT 3) をターン-オンさせるための負極性の電圧 (-V) で発生した後、負極性ストレスを償うために正極性電圧 (+V) で発生する。

20

【 0 0 5 4 】

ゲート駆動回路 1 1 2 は、シフトレジスタとレベルスイプト (level-swept) を利用して図 1 2 のようにゲートハイ電圧 (Vgh) とゲートロー電圧 (Vgl) との間でスイングされるスキャンパルス (SP) を順次的にゲートライン (GL 1 乃至 GLn) に供給する。

【 0 0 5 5 】

図 1 2 は、一番目のゲートライン (GL 1) に供給されるスキャンパルス (SP 1) と第 1 乃至第 3 MUX TFT (PT 1 乃至 PT 3) のゲート端子に供給されるストレス補償制御信号 (D 1, D 2, D 3) を示す。

【 0 0 5 6 】

図 1 2 を参照すると、MUX TFT (PT 1, PT 2, PT 3) と同じく画素駆動用 TFT が p-タイプトランジスタに具現されるとスキャンパルス (SP) はおおよそ 1 水平期間 (H) の間に負極性のゲートハイ電圧で発生して、それ以外の期間の間はゲートロー電圧を維持する。

30

【 0 0 5 7 】

ストレス補償制御信号 (D 1, D 2, D 3) のそれぞれは、負極性電圧 (-V) で発生する負極性パルスと、それに引き継いで正極性電圧 (+V) で発生する正極性パルスとを含む。

【 0 0 5 8 】

ストレス補償制御信号 (D 1, D 2, D 3) の負極性パルスは第 1 乃至第 3 MUX TFT (PT 1 乃至 PT 3) をターン-オンさせ、ストレス補償制御信号 (D 1, D 2, D 3) の正極性パルスは第 1 乃至第 3 MUX TFT (PT 1, PT 2, PT 3) のポジティブゲート-バイアスストレスを償う。

40

【 0 0 5 9 】

図 1 3 はストレス補償制御信号 (D 1, D 2, D 3) によりデマルチプレクサー 1 1 4 の MUX TFT (PT 1, PT 2, PT 3) に加えられるポジティブストレス量とネガティブストレス量を面積で示したものである。

図 1 3 を参照すると、ストレス補償制御信号 (D 1, D 2, D 3) の負極性パルスはデマルチプレクサー 1 1 4 の MUX TFT (PT 1, PT 2, PT 3) にネガティブゲート-バイアスストレスを加えてストレス補償制御信号 (D 1, D 2, D 3) の正極性パルスはデマルチプレクサー 1 1 4 の MUX TFT (PT 1, PT 2, PT 3) にポジティブゲート-バイアスストレスを加える。

50

【0060】

このようなストレス補償制御信号(D₁, D₂, D₃)の正極性パルスによるポジティブストレス量(S(positive))は「k×負極性パルスによるネガティブストレス量(S(negative))」と同じである。kは量の値を持つ比例係数として $0 < k < 10$ の条件を満足する値を持つ。また、この条件内でストレス補償制御信号(D₁, D₂, D₃)の正極性パルスは電圧(V)や時間(t)が変わることができる。

【0061】

ストレス補償制御信号(D₁, D₂, D₃)の正極性パルスは球形波だけではなくランプ波やそれと異なるいずれかの形態の信号に発生されることができる。

【0062】

一方、本発明に係るデマルチプレクサー(64, 114)のスイッチ素子、すなわちMUX TFT(MT1, MT2, MT3, PT1, PT2, PT3)は非晶質シリコントランジスタに具現されることもできるし、結晶質シリコンでも具現されることもできる。

【0063】

上述したところのように、本発明に係る液晶表示装置とその駆動方法は、データ駆動回路とデータラインとの間にデマルチプレクサーを設置して信号配線数と回路構成を簡素化することができることは勿論で、MUX TFTを制御するための制御信号に逆極性のパルスを付加することによって、同一な極性のゲート電圧が長時間または反復的にMUX TFTのゲート端子に印加されるゲート-バイアスストレスに起因して発生するMUX TFTの特性変動と劣化を最小化することができる。

【0064】

以上説明した内容を通じて当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正ができる。したがって、本発明の技術的範囲は明細書の詳細な説明に記載した内容に限定されるのではなく特許請求の範囲により決められなければならない。

【図面の簡単な説明】

【0065】

【図1】従来の液晶表示装置を概略的に図示する図面。

【図2】図1に図示されたデマルチプレクサーに供給される信号の波形図。

【図3】試料用a-Si:H薄膜トランジスタのゲート端子に正極性電圧を印加する時、電圧印加時間に係る薄膜トランジスタのしきい電圧と伝達特性曲線の移動を示す図面。

【図4】試料用a-Si:H薄膜トランジスタのゲート端子に負極性電圧を印加する時、電圧印加時間に係る薄膜トランジスタのしきい電圧と伝達特性曲線の移動を示す図面。

【図5】同一なゲート電圧が反復的に印加される時、デマルチプレクサー内のトランジスタに加えらるる累積ストレス量を示すグラフ。

【図6】本発明の第1実施例に係る液晶表示装置を示す図面。

【図7】図6に図示されたデマルチプレクサーの制御信号とスキャンパルスを示す波形図。

【図8】図7に図示された制御信号の正極性電圧によるポジティブストレス量とその制御信号の負極性電圧によるネガティブストレス量を面積で示した図面。

【図9a】図7に図示された制御信号で負極性電圧が印加される時間や電圧レベルが変わる他の実施例の制御信号を示す波形図。

【図9b】図7に図示された制御信号で負極性電圧が印加される時間や電圧レベルが変わる他の実施例の制御信号を示す波形図。

【図10】図7乃至図9bの制御信号の負極性電圧によりデマルチプレクサーのトランジスタにストレスが持続的に累積しないことを示すグラフ。

【図11】本発明の第2実施例に係る液晶表示装置を示す図面。

【図12】図11に図示されたデマルチプレクサーの制御信号とスキャンパルスを示す波形図。

【図13】図12に図示された制御信号の負極性電圧によるネガティブストレス量とその制御信号の正極性電圧によるポジティブストレス量を面積で示した図面。

10

20

30

40

50

【符号の説明】

【0066】

11、61、111 データ駆動回路

12、62、112 ゲート駆動回路

13、63、113 液晶表示パネル

14、64、114 デマルチプレクサー

15、65、115 液晶セルの画素電極

67、117 制御信号発生部

16、66、116 画素駆動用薄膜トランジスタ

MT1、MT2、MT3 デマルチプレクサーの n-タイプトランジスタ

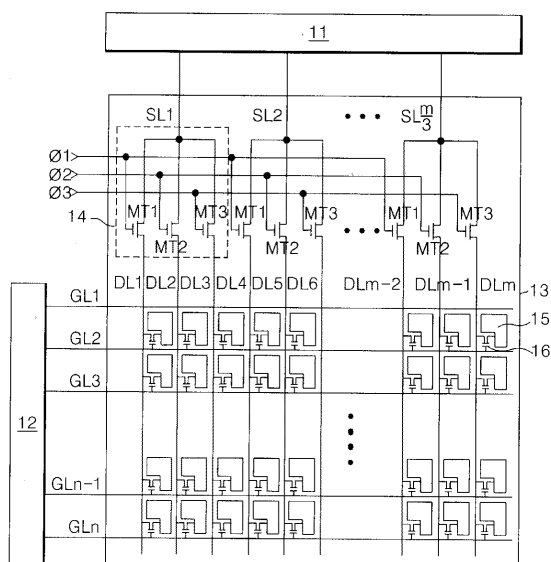
PT1、PT2、PT3 デマルチプレクサーの p-タイプトランジスタ

1、2、3 デマルチプレクサーの制御信号

C 1、C 2、C 3、D 1、D 2、D 3 デマルチプレクサーのストレス補償制御信号

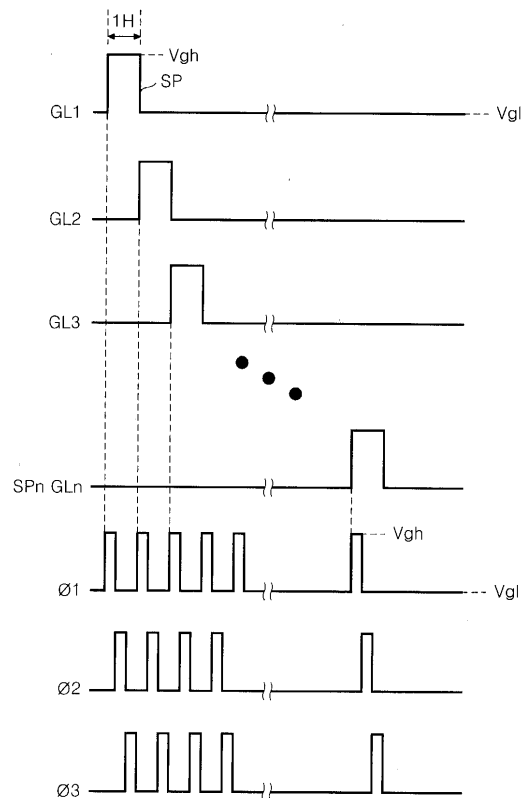
【図1】

従来技術



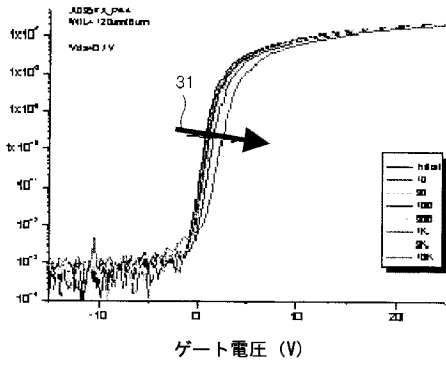
【図2】

従来技術



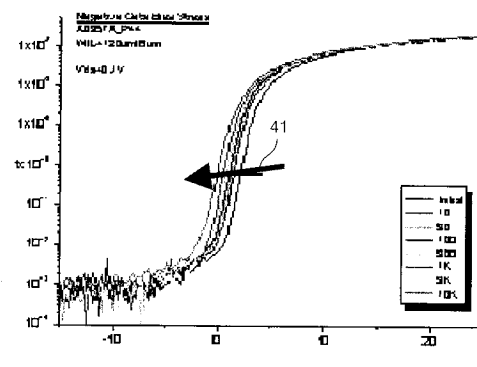
【 図 3 】

従来技術



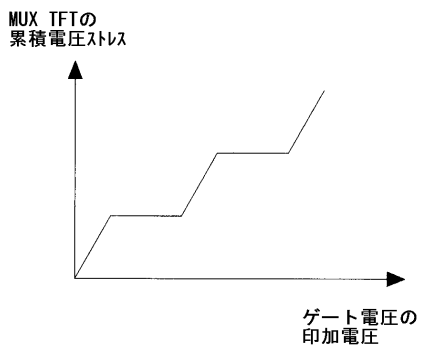
【 図 4 】

従来技術

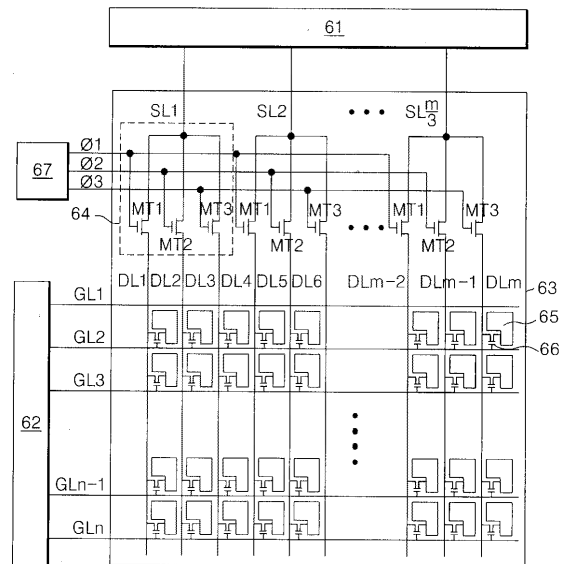


【 図 5 】

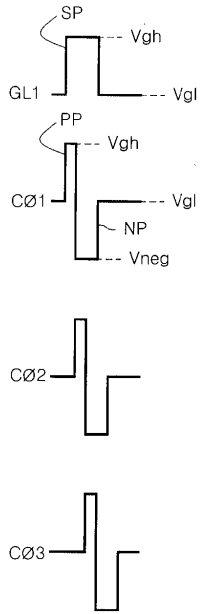
従来技術



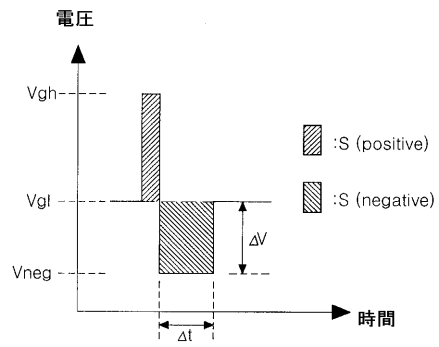
【 図 6 】



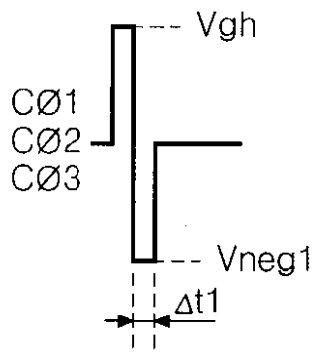
【 図 7 】



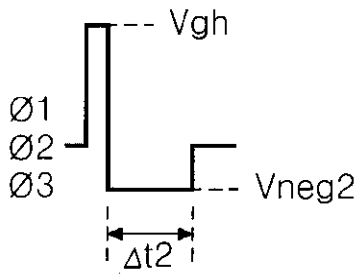
【 図 8 】



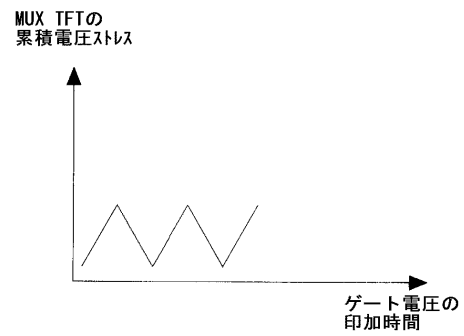
【 図 9 a 】



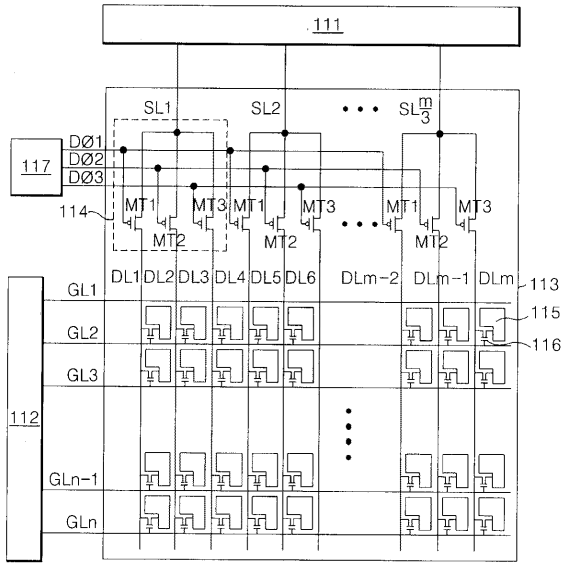
【 図 9 b 】



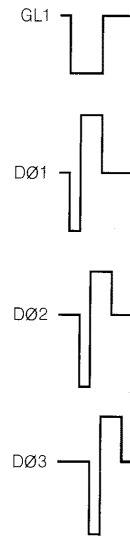
【 図 1 0 】



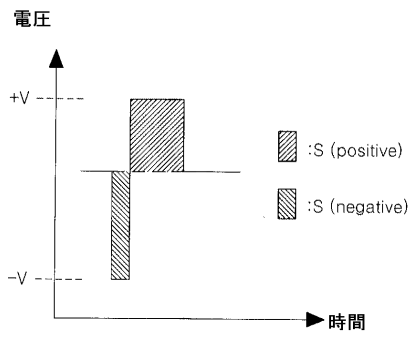
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 張 容 豪

大韓民国 京畿道 果川市 別陽洞 住公 アパート 647-308号

(72)発明者 尹 洙 榮

大韓民国 京畿道 軍浦市 五禁洞 ユルゴク アパート 349-1604号

Fターム(参考) 2H093 NA16 NA43 NA53 NB13 NC10 NC12 NC34 NC49 ND06 ND47

ND48 ND60 NH18

5C006 AF75 BB16 BC20 BC23 BF24 BF34 FA33

5C080 AA10 BB05 DD29 FF01 FF11 JJ02 JJ04 JJ05

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2005182034A	公开(公告)日	2005-07-07
申请号	JP2004365429	申请日	2004-12-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	張容豪 尹洙榮		
发明人	張容豪 尹洙榮		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G3/3688 G09G2310/0297		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.623.R G09G3/20.623.Y G09G3/20.670.K		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NB13 2H093/NC10 2H093/NC12 2H093/NC34 2H093/NC49 2H093/ND06 2H093/ND47 2H093/ND48 2H093/ND60 2H093/NH18 5C006/AF75 5C006/BB16 5C006/BC20 5C006/BC23 5C006/BF24 5C006/BF34 5C006/FA33 5C080/AA10 5C080/BB05 5C080/DD29 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZD23 2H193/ZF22 2H193/ZF36		
代理人(译)	白井伸一 朝日 伸光		
优先权	1020030092693 2003-12-17 KR		
其他公开文献	JP4195441B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置的多路分解器及其驱动方法，以使开关元件的特性变化和劣化最小化。根据本发明的液晶显示装置使用其中大量数据线与大量栅极线相交的液晶显示面板，用于产生数据电压的数据驱动电路以及大量开关元件。将电压提供给数据线的多路分解器，以及控制信号产生器，该控制信号产生器产生具有用于接通开关元件的第一极性电压的控制信号并将第二极性电压添加至控制信号。和。[选择图]图10

