

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-134645

(P2005-134645A)

(43) 公開日 平成17年5月26日(2005.5.26)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G09G 3/20 611F	5C080
	G09G 3/20 611G	
	G09G 3/20 612K	
審査請求 未請求 請求項の数 2 O L (全 9 頁) 最終頁に続く		

(21) 出願番号 特願2003-370648 (P2003-370648)
 (22) 出願日 平成15年10月30日 (2003.10.30)

(71) 出願人 000103747
 オプトレックス株式会社
 東京都荒川区東日暮里五丁目7番18号
 (74) 代理人 100083404
 弁理士 大原 拓也
 (72) 発明者 権藤 賢二
 東京都荒川区東日暮里5丁目7番18号
 オプトレックス株式会社内
 (72) 発明者 野口 俊明
 東京都荒川区東日暮里5丁目7番18号
 オプトレックス株式会社内
 Fターム(参考) 2H093 NA16 NA43 NA53 NC13 NC15
 NC16 NC21 NC26 NC49 ND49
 ND50 ND54

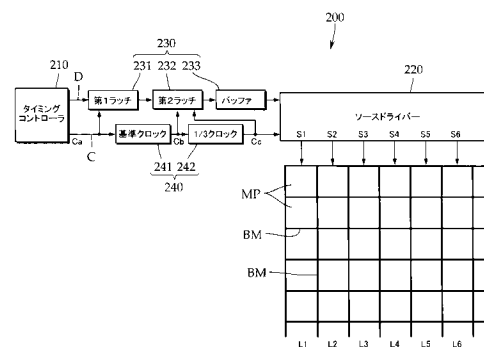
最終頁に続く

(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【課題】 カラーフィルタのないモノクロ表示専用のTFT液晶表示素子をカラー表示駆動用の標準ソースドライバで駆動する際のソースドライバの使用個数を削減する。

【解決手段】 タイミングコントローラ210から各画素に対するモノクロ表示データがクロック信号とともに順次出力されるようにし、タイミングコントローラ210とソースドライバ220との間に、モノクロ表示データのうち、n画素目のモノクロ表示データについては2クロック信号分保持するとともに、n+1画素目のモノクロ表示データについては1クロック信号分保持し、n+2画素目のモノクロ表示データが到来した時点もしくはその所定時間後にn画素目、n+1画素目およびn+2画素目の各モノクロ表示データを同時にソースドライバ220に出力するデータ遅延手段230と（ただし、nは1+3N（Nは0を含む正の整数））、クロック信号の1/3の周波数でデータ遅延手段230のサンプリングタイミングを制御するデータ出力制御手段240とを備えた構成とする。



【特許請求の範囲】

【請求項 1】

各画素ごとに半導体スイッチ素子を有するアクティブマトリクス方式によるアレイ基板と、上記各画素に対する表示データをクロック信号とともに出力するタイミングコントローラと、上記タイミングコントローラから出力される 1 クロック信号ごとに 3 画素分の表示データをラッチして上記アレイ基板の隣接する 3 つの画素に与えるカラー表示駆動用のソースドライバとを含み、上記アレイ基板からカラーフィルタを削除して上記ソースドライバを用いてモノクロ表示のみを行う液晶表示素子において、

上記タイミングコントローラから上記各画素に対するモノクロ表示データが上記クロック信号とともに順次出力されるようにし、上記タイミングコントローラと上記ソースドライバとの間に、上記タイミングコントローラから順次出力されるモノクロ表示データのうち、 n 画素目のモノクロ表示データについては上記クロック信号の 2 クロック信号分保持するとともに、 $n + 1$ 画素目のモノクロ表示データについては上記クロック信号の 1 クロック信号分保持し、 $n + 2$ 画素目のモノクロ表示データが到来した時点もしくはその所定時間後に n 画素目、 $n + 1$ 画素目および $n + 2$ 画素目の各モノクロ表示データを同時に上記ソースドライバに出力するデータ遅延手段（ただし、 n は $1 + 3N$ （ N は 0 を含む正の整数））と、上記クロック信号の $1/3$ の周波数で上記データ遅延手段の上記ソースドライバに対するサンプリングタイミングを制御するデータ出力制御手段とを備えていることを特徴とする液晶表示素子。

【請求項 2】

上記各画素の大きさがサブ画素である R 、 G 、 B もしくはそれに相当するカラートリオを含む大きさであり、その各画素間にブラックマスクが形成されていることを特徴とする請求項 1 に記載の液晶表示素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス方式による液晶表示素子に関し、さらに詳しく言えば、カラー表示駆動用のソースドライバにてモノクロ表示のみを行う液晶表示素子に関するものである。

【背景技術】

【0002】

図 3 (a) にアクティブマトリクス方式による液晶表示素子が備えるアレイ基板 10 とその表示駆動系 20 とを模式的に示す。通常、アレイ基板 10 には R （赤）、 G （緑）、 B （青）の各カラー要素をストライプ状に配列してなるカラーフィルタを備えており、図 3 (b) に示すように 1 画素 MP には R 、 G 、 B の 3 つのサブ画素 SP が含まれている。

【0003】

そして、そのサブ画素 SP ごとに TFT (Thin Film Transistor)、TFD (Thin Film Diode)、MIM (Metal Insulated Metal) などの図示しない半導体スイッチ素子が設けられている。なお、 R 、 G 、 B に代えてシアン、マゼンタ、イエローの組み合わせが用いられる場合もある。

【0004】

表示駆動系 20 には、タイミングコントローラ 21 とカラー表示駆動用のソースドライバ 22 とが含まれている。タイミングコントローラ 21 は各サブ画素 SP に対する表示データをクロック信号とともに出力する。ソースドライバ 22 はカラーフィルタの各列に対応する多数の出力端子 $S1$ 、 $S2$ 、 $S3$ …を有し、タイミングコントローラ 21 からの表示データに基づいて所定の階調電圧を上記半導体スイッチ素子を介してサブ画素電極に印加する。

【0005】

ここで、図 4 のタイミングチャートを参照して、タイミングコントローラ 21 およびソースドライバ 22 の動作を説明する。なお、タイミングコントローラ 21 から出力され

10

20

30

40

50

る各サブ画素 S P に対する表示データは 6 ビット（64 階調）であるとする。また説明の便宜上、各表示データにはそれが割り当てられる出力端子の符号 S 1, S 2, S 3 … を付している。

【0006】

タイミングコントローラ 21 は、1 クロック信号 C L K ごとに 1 画素 M P 単位で表示データを出力する。すなわち、第 1 クロック信号 C L K で、第 1 列目の出力端子 S 1 用として R 0 0 ~ R 0 5 の 6 ビットを含む R 表示用データ S 1, 第 2 列目の出力端子 S 2 用として G 0 0 ~ G 0 5 の 6 ビットを含む G 表示用データ S 2 および第 3 列目の出力端子 S 3 用として B 0 0 ~ B 0 5 の 6 ビットを含む B 表示用データ S 3 を同時にサンプリングする。

【0007】

次の第 2 クロック信号 C L K では、第 4 列目の出力端子 S 4 用として R 0 0 ~ R 0 5 の 6 ビットを含む R 表示用データ S 4, 第 5 列目の出力端子 S 5 用として G 0 0 ~ G 0 5 の 6 ビットを含む G 表示用データ S 5 および第 6 列目の出力端子 S 6 用として B 0 0 ~ B 0 5 の 6 ビットを含む B 表示用データ S 6 を同時にサンプリングする。これを 1 画素 M P 単位で順次繰り返す。

【0008】

ソースドライバ 22 は、タイミングコントローラ 21 から送られてくるクロック信号 C L K に基づいて動作し、その 1 クロック信号 C L K ごとに 3 画素分（この場合、3 サブ画素分）の表示データをラッチしてアレイ基板 10 の隣接する 3 つの画素（この場合、隣接する 3 つのサブ画素）に与える。

【0009】

すなわち、最初のクロック信号 C L K で上記 R 表示用データ S 1, 上記 G 表示用データ S 2 および上記 B 表示用データ S 3（合計 18 ビット）をラッチし、出力端子 S 1, S 2, S 3 から各表示データに相当する階調電圧を出力イネーブル信号により出力する。次のクロック信号 C L K では上記 R 表示用データ S 4, 上記 G 表示用データ S 5 および上記 B 表示用データ S 6 をラッチして、同様にその各表示データに相当する階調電圧を出力イネーブル信号により出力する。以下これを繰り返す。

【0010】

このように、カラー表示駆動用のソースドライバ 22 は、1 クロック信号 C L K ごとに R, G, B の各サブ画素用の 3 つの表示用データをラッチするように動作する。この種の動作形態のものがカラー表示駆動用の標準ソースドライバとして一般的に広く普及している。

【0011】

上記のアクティブマトリクス方式による液晶表示素子（以下、総称として T F T 液晶表示素子ということがある。）は通常カラー表示であり、1 画素 M P に含まれている 3 つのサブ画素 S P に対する表示データを同一とすることにより、モノクロ表示とすることができ、例えばコスト削減を図るため、T F T 液晶表示素子でカラーフィルタを設けることなくモノクロ表示専用とする場合、次のような問題がある。

【0012】

すなわち、T F T 液晶表示素子用の標準ソースドライバは、現在のところほとんどがカラー表示駆動用であるため、モノクロ表示専用とする場合にも入手の容易性および価格的な面から、そのソースドライバとしてカラー表示駆動用の標準ソースドライバを使用することになる。

【0013】

しかしながら、標準ソースドライバは上記したように出力が R, G, B 単位であるため、モノクロ表示であるにもかかわらずその使用個数はカラー表示との場合と同数必要となり所期のコスト削減の目的を達成することができない。

【0014】

なお、カスタム仕様としてモノクロ表示専用のソースドライバを用いれば、その使用個数を削減できるが、カスタム仕様のもは標準仕様のものよりも価格が高くなるため、

10

20

30

40

50

全体的にはコスト削減とはならない。

【発明の開示】

【発明が解決しようとする課題】

【0015】

したがって、本発明の課題は、TFT液晶表示素子でカラーフィルタを設けることなくモノクロ表示専用とする場合、カラー表示駆動用の標準ソースドライバを使用するにしても、その使用個数を削減できるようにすることにある。

【課題を解決するための手段】

【0016】

上記課題を解決するため、本願の請求項1に係る発明は、各画素ごとに半導体スイッチ素子を有するアクティブマトリクス方式によるアレイ基板と、上記各画素に対する表示データをクロック信号とともに出力するタイミングコントローラと、上記タイミングコントローラから出力される1クロック信号ごとに3画素分の表示データをラッチして上記アレイ基板の隣接する3つの画素に与えるカラー表示駆動用のソースドライバとを含み、上記アレイ基板からカラーフィルタを削除して上記ソースドライバを用いてモノクロ表示のみを行う液晶表示素子において、上記タイミングコントローラから上記各画素に対するモノクロ表示データが上記クロック信号とともに順次出力されるようにし、上記タイミングコントローラと上記ソースドライバとの間に、上記タイミングコントローラから順次出力されるモノクロ表示データのうち、 n 画素目のモノクロ表示データについては上記クロック信号の2クロック信号分保持するとともに、 $n+1$ 画素目のモノクロ表示データについては上記クロック信号の1クロック信号分保持し、 $n+2$ 画素目のモノクロ表示データが到来した時点もしくはその所定時間後に n 画素目、 $n+1$ 画素目および $n+2$ 画素目の各モノクロ表示データを同時に上記ソースドライバに出力するデータ遅延手段（ただし、 n は $1+3N$ （ N は0を含む正の整数））と、上記クロック信号の $1/3$ の周波数で上記データ遅延手段の上記ソースドライバに対するサンプリングタイミングを制御するデータ出力制御手段とを備えていることを特徴としている。

【0017】

また、本願の請求項2に係る発明は、上記各画素の大きさがサブ画素であるR、G、Bもしくはそれに相当するカラートリオを含む大きさであり、その各画素間にブラックマスクが形成されることを特徴としている。

【発明の効果】

【0018】

本願の請求項1に係る発明によれば、上記データ遅延手段にて3画素分のモノクロ表示データが揃えられて同時に出力されるため、カラー表示駆動用のソースドライバが1クロック信号ごとに3画素分の表示データをラッチするという機能に合致させることができる。したがって、カラーフィルタを設けることなく、TFT液晶表示素子をモノクロ表示専用とする場合、カラー表示駆動用のソースドライバの使用個数を $1/3$ に減らすことができる。

【0019】

本願の請求項2に係る発明によれば、ブラックマスクが各画素間（メイン画素間）のみに設けられ、サブ画素を有するカラー表示の場合と異なり各画素内にはブラックマスクが存在しないため、その分、明るい表示が得られる。また、ソースドライバの駆動周波数がカラー表示の場合に比べて $1/3$ に落とされるため、不要輻射対策も容易になる。

【発明を実施するための最良の形態】

【0020】

次に、図1および図2により、本発明の実施形態について説明するが、本発明はこれに限定されるものではない。図1は本発明による液晶表示素子の要部のみを示す模式図で、図2は本発明の動作説明用のタイミングチャートである。

【0021】

本発明による液晶表示素子はアクティブマトリクス方式によるもので、図1にそのアレ

イ基板 100 とその表示駆動系 200 とを示す。アレイ基板 100 には多数の画素 MP がマトリクス状に配列されており、各画素 MP には TFT などの半導体スイッチ素子（図示省略）が設けられている。また図示しないが、アレイ基板 100 と対向して共通電極基板が配置されている。

【0022】

本発明の液晶表示素子は TFT 液晶表示素子であるが、モノクロ表示専用であるためアレイ基板 100 にはカラーフィルタが形成されていない。画素 MP のひとつあたりの大きさは先の図 3 (b) に示したように R, G, B の 3 つのサブ画素 SP を含む例えば $180 \times 180 \mu\text{m}$ もしくは $240 \times 240 \mu\text{m}$ 程度であることが好ましい。

【0023】

このように、好ましくは 1 画素 MP はカラー表示の場合と同じ大きさに形成されるが、サブ画素 SP を含まないためブラックマスク（遮光膜）BM は画素 MP 間のみに設けられ、これによりカラー表示でのモノクロに比べて高い輝度が得られる。

【0024】

表示駆動系 200 には、タイミングコントローラ 210 とソースドライバ 220 とが含まれている。タイミングコントローラ 210 は、先に説明した従来例が備えているタイミングコントローラ 21 と同じ機能を有するものであってよいが、本発明において、タイミングコントローラ 210 は 1 クロック信号ごとにアレイ基板 100 の各画素列 L1, L2, L3 … に対するモノクロ表示データを順次サンプリングする。

【0025】

また、ソースドライバ 220 については、先に説明した従来例で用いられているソースドライバ 22、すなわち 1 クロック信号ごとに 3 画素（列）分の表示データをラッチして出力するカラー表示駆動用の標準ソースドライバがそのまま用いられる。

【0026】

なお、ソースドライバ 220 は図示しないデータ信号線を介して各 TFT のソース電極を駆動するドライバであり、上記データ信号線はアレイ基板 100 の列方向（図 1 において上下方向）に沿って配線されている。

【0027】

また、アレイ基板 100 には、各 TFT のゲート電極に接続される図示しないゲート電極線が行方向（図 1 において左右方向）に沿って配線されており、その各ゲート電極線は図示しないゲートドライバに接続されている。なお、ゲートドライバは各ゲート電極線を所定のデューティ比で順次走査するドライバであり、その動作は公知のものであってよいので、ここではその説明を省略する。

【0028】

ソースドライバ 220 の出力端子 S1, S2, S3 … はアレイ基板 100 の各画素列 L1, L2, L3 … に対してそれぞれ 1 : 1 の関係で接続されるが、タイミングコントローラ 210 からサンプリングされるのは 1 クロック信号あたり 1 画素列分のモノクロ表示データであるため、このままでは正常に動作できない。

【0029】

そこで、本発明ではタイミングコントローラ 210 とソースドライバ 220 との間にデータ遅延手段 230 と、同データ遅延手段 230 のデータサンプリングタイミングを制御するデータ出力制御手段 240 とを備えている。

【0030】

この例において、データ遅延手段 230 には、タイミングコントローラ 210 からソースドライバ 220 に至るデータライン D に直列に接続された第 1 ラッチ回路 231, 第 2 ラッチ回路 232 およびバッファ回路 233 が含まれている。

【0031】

データ出力制御手段 240 は、タイミングコントローラ 210 からソースドライバ 220 に至るクロックライン C に直列に接続された基準クロック生成回路 241 と、 $1/3$ クロック生成回路 242 とを備えている。

10

20

30

40

50

【0032】

基準クロック生成回路241はタイミングコントローラ210からのクロック信号Caに基づいてそれと同一周波数の基準クロック信号Cb(=Ca)を生成し、第2ラッチ回路232と1/3クロック生成回路242と与える。1/3クロック生成回路242は周波数が基準クロック信号Cbの周波数の1/3であるクロック信号Ccを生成し、第2ラッチ回路232とソースドライバ220とに与える。

【0033】

ここで、基準クロック生成回路241を設けている理由について説明すると、上記クロック信号Caはタイミングコントローラ210の内部クロックで、一般的に波形が不安定である。したがって、上記クロック信号Caから直接的に1/3クロックを生成するとその波形も不安定なものとなるため、基準クロック生成回路241にて上記クロック信号Caから同一周波数の波形のしっかりした基準クロック信号Cbを得るようにしている。

10

【0034】

第1ラッチ回路231はタイミングコントローラ210から送出されるモノクロ表示データを上記クロック信号Caの1周期ごとに第2ラッチ回路232に出力する。この例において、第2ラッチ回路232はシフトレジスタからなり、上記基準クロック信号Cbの例えば立ち上がりエッジで第1ラッチ回路231からのモノクロ表示データをラッチし、上記クロック信号Ccの1周期をまってデータを出力する。

【0035】

次に、図2のタイミングチャートにより、データ遅延手段230とデータ出力制御手段240の動作について説明する。なお、タイミングコントローラ210から送出されるモノクロ表示データは6ビット(64階調)であるとする。

20

【0036】

まず、タイミングコントローラ210は1クロック信号Caごとに1画素列分のモノクロ表示データ(D0~D5を含む6ビット)を出力する。すなわち、最初の第1番目のクロック信号Caで第1画素列L1用のモノクロ表示データLS1、第2番目のクロック信号Caで第2画素列L2用のモノクロ表示データLS2、第3番目のクロック信号Caで第3画素列L3用のモノクロ表示データLS3…のように順次モノクロ表示データを出力する。

【0037】

すると図2(a)に示すように、第1ラッチ回路231はタイミングコントローラ210からのクロック信号Caに合わせてその1周期ごとにモノクロ表示データLS1、LS2、LS3…を第2ラッチ回路232にサンプリングする。すなわち、この例において第1ラッチ回路231は位相合わせ用のラッチ回路として用いられている。

30

【0038】

第2ラッチ回路232は、第1ラッチ回路231からのモノクロ表示データを図示しない上記基準クロック信号Cbの例えば立ち上がりエッジでラッチするが、そのデータを上記クロック信号Ccの1周期をまって次段のバッファ回路233にサンプリングする。

【0039】

これを第1画素列L1~第3画素列L3のモノクロ表示データLS1~LS3について説明すると、図2(b)に示すように、第2ラッチ回路232は第1番目にラッチした第1画素列L1のモノクロ表示データ(D0~D5)LS1については上記基準クロック信号Cbの2クロック分保持する。第2番目にラッチした第2画素列L2のモノクロ表示データ(D10~D15)LS2については上記基準クロック信号Cbの1クロック分保持する。

40

【0040】

そして、第3番目の第3画素列L3のモノクロ表示データ(D20~D25)LS3をラッチしたのち、上記クロック信号Ccの最初の立ち上がり時点でモノクロ表示データLS1~LS3を同時に次段のバッファ回路233にサンプリングする。以後、これを繰り返して3画素列分のモノクロ表示データLS4~LS6、LS7~LS9…をそれぞれ同

50

時にサンプリングする。

【0041】

これにより、ソースドライバ220は上記クロック信号Ccをトリガとして3画素列分の合計18ビットのモノクロ表示データを同時にラッチすることができ、カラー表示の場合と同様に正常に動作する。すなわち、モノクロ表示データLS1～LS3をそれに対応する各出力端子S1～S3から出力する。

【0042】

したがって、カラー表示の場合において1画素MPに含まれる3つのサブ画素SPに割り当てられていた出力端子S1～S3を本発明のモノクロ表示では各画素MPに割り当てることができるため、ソースドライバ220を1/3に減らせることになる。また、ソースドライバ220の駆動周波数がカラー表示の場合に比べて1/3に落とされるため、不要輻射対策も容易になる。

10

【図面の簡単な説明】

【0043】

【図1】本発明による液晶表示素子の要部のみを示す模式図。

【図2】本発明におけるデータ遅延手段とデータ出力制御手段の動作説明用タイミングチャート。

【図3】従来のアクティブマトリクス方式による液晶表示素子が備えるアレイ基板とその表示駆動系とを示す模式図。

【図4】上記従来の液晶表示素子における表示駆動系の動作説明用タイミングチャート。

20

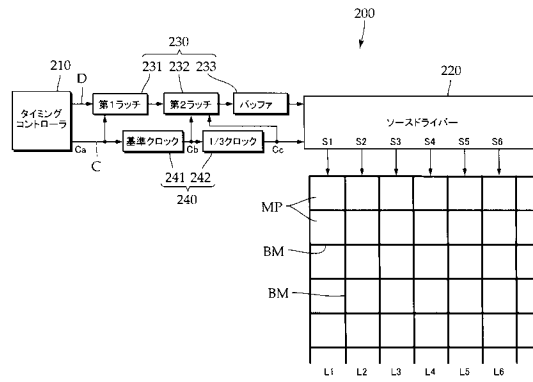
【符号の説明】

【0044】

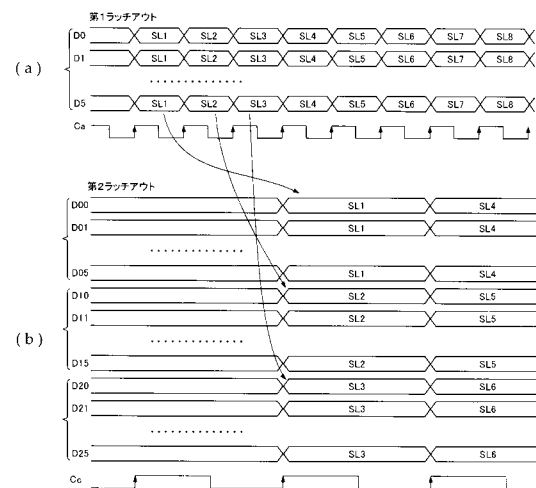
- 100 アレイ基板
- 200 表示駆動系
- 210 タイミングコントローラ
- 220 ソースドライバ
- 230 データ遅延手段
- 231 第1ラッチ回路
- 232 第2ラッチ回路
- 233 バッファ回路
- 240 データ出力制御手段
- 241 基準クロック生成回路
- 242 1/3クロック生成回路
- MP 画素
- BM ブラックマスク

30

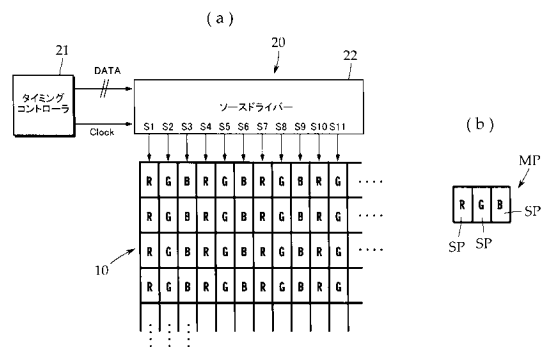
【図 1】



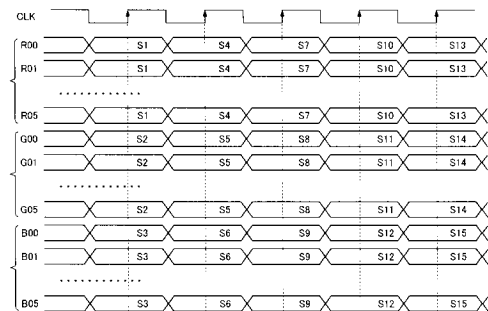
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl. ⁷	F I			テーマコード (参考)
	G 0 9 G	3/20	6 2 1 M	
	G 0 9 G	3/20	6 2 3 B	
	G 0 9 G	3/20	6 2 3 M	

F ターム(参考) 5C006 AC21 AF23 AF72 BB16 BC12 BC16 BF04 BF07 BF11 EB06
FA32 FA48 FA51 FA52
5C080 AA10 BB05 CC10 DD12 DD27 EE29 FF01 FF11 JJ02 JJ04

【要約の続き】
【選択図】 図 1

专利名称(译)	液晶显示元件		
公开(公告)号	JP2005134645A	公开(公告)日	2005-05-26
申请号	JP2003370648	申请日	2003-10-30
申请(专利权)人(译)	光王公司		
[标]发明人	権藤賢二 野口俊明		
发明人	権藤 賢二 野口 俊明		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.F G09G3/20.611.G G09G3/20.612.K G09G3/20.621.M G09G3/20.623.B G09G3/20.623.M		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC13 2H093/NC15 2H093/NC16 2H093/NC21 2H093/NC26 2H093/NC49 2H093/ND49 2H093/ND50 2H093/ND54 5C006/AC21 5C006/AF23 5C006/AF72 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BF04 5C006/BF07 5C006/BF11 5C006/EB06 5C006/FA32 5C006/FA48 5C006/FA51 5C006/FA52 5C080/AA10 5C080/BB05 5C080/CC10 5C080/DD12 5C080/DD27 5C080/EE29 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZD23		
代理人(译)	大原拓也		
其他公开文献	JP4575657B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过驱动彩色显示的标准源驱动器来减少在驱动不带彩色滤光片的单色显示专用的TFT液晶显示元件时使用的源驱动器的数量。从定时控制器210与时钟信号一起顺序地输出每个像素的单色显示数据，并且在定时控制器210和源极驱动器220之间，单色显示数据的第n个像素的单色显示数据。保持2个时钟信号，同时n+1个像素的单色显示数据保持1个时钟信号，当n+2像素的单色显示数据到达或经过预定时间后，n个像素，数据延迟单元230将时钟输出（第n+1个像素和第n+2个像素的单色显示数据）同时输出到源极驱动器220（其中n是1+3N（N是包括0的正整数））提供了用于以信号的1/3的频率控制数据延迟装置230的采样定时的数据输出控制装置240。[选型图]图1

