

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-348144

(P2004-348144A)

(43) 公開日 平成16年12月9日(2004.12.9)

(51) Int.Cl.⁷

G02F 1/1368

G09F 9/30

H01L 29/786

F I

G02F 1/1368

G09F 9/30 338

H01L 29/78 612C

テーマコード(参考)

2H092

5C094

5F110

審査請求 有 請求項の数 6 O L (全 22 頁)

(21) 出願番号 特願2004-179009(P2004-179009)

(22) 出願日 平成16年6月16日(2004.6.16)

(62) 分割の表示 特願平8-202633の分割

原出願日 平成8年7月31日(1996.7.31)

(71) 出願人 599127667

エルジー フィリップス エルシーディー
カンパニー リミテッド大韓民国 ソウル, ヨンドンポーク,
ヨイドードン 20

(74) 代理人 100109726

弁理士 園田 吉隆

(74) 代理人 100101199

弁理士 小林 義教

(72) 発明者 蔡 基成

宮城県仙台市泉区明通三丁目31番地 株
式会社フロンテック内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ型液晶表示装置

(57) 【要約】

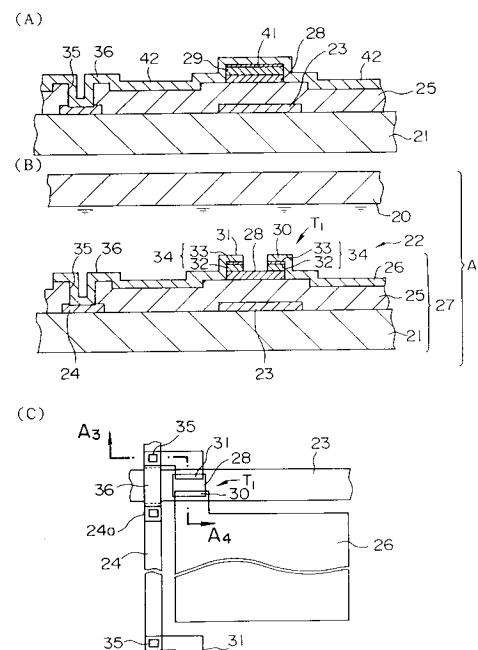
【課題】

本発明は、分断形成したゲート配線あるいはソース配線を接続する橋絡部を画素部と同一材料で構成することで製造工程を簡略化し、絶縁膜に設けた孔を介して橋絡部を形成することで良好にコンタクトすることができるようにした薄膜トランジスタ型の液晶表示装置の提供を目的とする。

【解決手段】

本発明は、分断形成したゲート配線あるいはソース配線を接続する橋絡部を画素部と同一材料で構成することで製造工程を簡略化し、絶縁膜に設けた孔を介して橋絡部を形成することで良好にコンタクトすることができるようにした薄膜トランジスタ型の液晶表示装置の提供を目的とする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

トップゲート型の薄膜トランジスタの製造方法であって、
基板上に半導体予備膜を形成し、パターニングを施してアイランド状の半導体準備膜を形成する段階と、
絶縁膜と基部導電膜と副導電膜を形成し、パターニングを施してゲート配線及びゲート配線と直交する方向に、該ゲート配線と重ならないように分断された不連続のソース配線とを形成する段階と、
絶縁膜を形成し、パターニングを行ってコンタクトホールを形成する段階と、
透明導電層を形成し、パターニングを行ってソース配線と画素電極とコンタクトホールを介して分断されたソース配線を接続する橋絡部を形成する段階を有する製造方法。 10

【請求項 2】

トップゲート型の薄膜トランジスタの製造方法であって、
基板上に半導体薄膜を形成し、パターニングを施してアイランド状の半導体準備膜を形成する段階と、
絶縁膜と基部導電膜と副導電膜を形成し、パターニングを施してゲート配線及びゲート配線と直交する方向に、該ゲート配線と重ならないように分断された不連続のソース配線とを形成する段階と、
絶縁膜を形成し、パターニングを施してコンタクトホールを形成する段階と、
透明導電層を形成し、パターニングを施して線状電極とコンタクトホールを介して分断されたソース配線を接続する橋絡部を形成する段階を有する製造方法。 20

【請求項 3】

基板上に形成する前記半導体予備膜または半導体薄膜はアモルファスシリコンである請求項 1 または 2 に記載の方法。

【請求項 4】

前記基部導電膜は良導電材料からなる請求項 1 ないし 3 に記載の方法。

【請求項 5】

前記副導電膜は配線材料からなる請求項 1 ないし 4 に記載の方法。

【請求項 6】

基板上にゲート電極を備えるゲート配線及びゲート配線と直交する方向に、該ゲート配線と重ならないように分断された不連続のソース配線と、線状の第 1 の画素電極を同時に形成する段階と、
前記基板の前面に絶縁膜を形成する段階と、
前記ゲート電極上部の絶縁膜上に半導体能動層及び n^+ 層を形成する段階と、
前記 n^+ 層上にシリサイド層を形成する段階と、
前記ソース配線の表面の所定部分が露出されるように前記絶縁膜を選択的に除去してコンタクトホールを形成する段階と、
前記基板の前面に透明導電層を形成する段階と、
前記半導体能動膜の表面の所定部分が露出されるように前記透明導電層、シリサイド層、 n^+ 層を選択的に除去してドレイン電極及びソース電極を形成すると共に、前記コンタクトホールを通じて前記分断されたソース配線を連結する橋絡部、ソース電極、及び線状の第 2 の画素電極を形成する段階を含めてなることを特徴とする薄膜トランジスタ型液晶表示装置の製造方法。 30 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタが形成されている液晶表示素子とその製造方法に関わり、更に詳しくは、フォトリソ工程の際に用いるマスクの使用枚数を少なくすることができる技術に関する。

【背景技術】

【0002】

図12と図13は、従来の薄膜トランジスタ型液晶表示装置において、ゲート配線Gとソース配線Sなどの部分構成を基板上に備えた薄膜トランジスタアレイ基板の一構造例を示すものである。図12と図13に示す薄膜トランジスタアレイ基板において、ガラスなどの透明の基板6上に、ゲート配線Gとソース配線Sとがマトリクス状に配線されている。また、ゲート配線Gとソース配線Sとの交差部分の近傍に薄膜トランジスタ3が設けられている。

【0003】

図12と図13に示す薄膜トランジスタ3はエッチストップ型の一般的な構成のものであり、ゲート配線Gとこのゲート配線Gから引き出して設けたゲート電極8上に、ゲート絶縁膜9を設け、このゲート絶縁膜9上にアモルファスシリコン(a-Si)からなる半導体膜10を設け、更にこの半導体膜10上に導電材料からなるドレイン電極11とソース電極12とを相互に対向させて設けて構成されている。なお、半導体膜10の最上層にはリンなどのドナーとなる不純物を高濃度にドーピングしたアモルファスシリコンなどのオーミックコンタクト膜10aが形成され、その上にドレイン電極11とソース電極12とで挟まれた状態でエッチングストッパー13が形成されている。また、ゲート電極8は上層部のゲート絶縁膜8aと下層部のゲート配線8bとからなる二重構造にされるとともに、ドレイン電極11の上からドレイン電極11の側方側にかけて透明電極材料からなる透明画素電極15が形成されている。

10

【0004】

そして、前記ゲート絶縁膜9と透明画素電極15とソース電極12などの上を覆ってこれらの上にパッシベーション膜16が設けられている。このパッシベーション膜16上には図示略の配向膜が形成され、この配向膜上方に液晶が設けられてアクティブマトリクス液晶表示装置が構成されていて、前記透明画素電極15によって液晶の分子に電界を印加すると液晶分子の配向制御ができるようになっている。ところで従来、前記構造の薄膜トランジスタアレイ基板を製造するには、以下に示す表1に記載の工程を基に製造していた。

20

【0005】

【表 1】

工程	製法	材質	備考
初期洗浄	ブラシ&UV		
表面安定化層形成	反応性スパッタリング	TaOx	750nm
ゲート配線金属形成	直流スパッタリング	Al	200nm
ゲート配線金属PL①	ウェットエッチング		
ゲート電極形成	直流スパッタリング	Ta	400nm
ゲート電極PL ②	ドライエッチング		
ゲート電極陽極酸化		TaOx	300nm
ゲート絶縁形成	プラズマCVD	SiNx	250nm
a-Si形成	プラズマCVD	a-Si	50nm
ES絶縁層形成	プラズマCVD	SiNx	100nm
ES絶縁層PL ③	ウェットエッチング		背面露光法
SD半導体形成	プラズマCVD	n+Si	25nm
デバイスエリアPL④	ドライエッチング		
SD電極形成	直流スパッタリング	Ti	400nm
SD電極PL ⑤	ドライエッチング		
透明電極形成	反応性スパッタリング	ITO	50nm
透明電極PL ⑥	ウェットエッチング		
保護層形成	プラズマCVD	SiNx	250nm
保護層PL ⑦	ウェットエッチング		
注) PL: フォトリソグラフィ ES: エッチングストッパー SD: ソースドレイン			

①～⑦: 露光プロセス

【0006】

まず、ガラスなどの透明基板を用意したならば、この上に表面安定化層を形成し、この基板に対してゲート配線用金属膜を被覆し、この金属膜を第1のフォトリソ工程1でエッチングしてゲート配線を形成する。次にゲート配線上に例えばTa金属膜を被覆し、次いで第2のフォトリソ工程2でエッチングしてゲート電極を形成する。

【0007】

次にこのゲート電極の表面部分をTaO_xとしてゲート電極の絶縁性向上処理を行い、それらの上にゲート絶縁膜と半導体膜とエッチングストッパー用の絶縁膜を形成し、第3のフォトリソ工程3でエッチングしてゲート電極上にエッチングストッパーを形成する。次に基板表面にオーミックコンタクト膜を形成し、第4のフォトリソ工程4で半導体膜やオ

10

20

30

40

50

ーミックコンタクト膜をパターンニングしてゲート電極上方に他の部分と分離状態の半導体部を形成し、更に基板表面に金属膜を形成する。

【0008】

次に、前記金属膜を第5のフォトリソ工程5でパターンニングしてソース電極とドレイン電極を形成する。次いで、ソース電極とドレイン電極とをマスクとしてオーミックコンタクト膜にエッチング加工を施してチャンネル部を形成する。次いで、基板表面に透明導電膜を形成し、第6のフォトリソ工程6で透明導電膜を加工して透明画素電極を形成し、更に基板表面に保護膜を形成する。次に前記保護膜をパターンニングしてソース端子用のコンタクトホールとゲート端子用のコンタクトホールとを形成する第7のフォトリソ工程7を行って薄膜トランジスタアレイ基板を完成させている。

10

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら前述の方法で薄膜トランジスタアレイ基板を製造すると、7回のフォトリソ工程を行う必要があり、フォトリソ工程が多く、フォトリソ工程の度にレジスト材の形成と剥離を行わなくてはならないために、それだけ歩留まりへの影響が大きく、製造コストが高くなる問題があった。

【0010】

次に、この種の薄膜トランジスタアレイ基板を製造する場合、種々の薄膜を積層し、積層膜の一部にコンタクトホールを形成し、このコンタクトホールに導電膜を形成して上層の膜と下層の膜を導電膜を介して電氣的に接続する構造を採用することがある。図14は、この種の断面構造の一例を示すもので、この例の構造は、基板上に形成したTiなどの金属膜17の上にSiN_xなどからなる絶縁膜18とITOからなる導電性酸化膜19を積層し、絶縁膜18に形成したコンタクトホール18aを介して導電性酸化膜19を金属膜17に接続した構造になっている。

20

【0011】

この例の構造において、コンタクトホール18aを形成するには、絶縁膜18を成膜した後でその上に所定パターンのレジストを被せ、次いでSF₆+O₂ガスなどを用いたドライエッチングにより絶縁膜18をエッチングしてコンタクトホール18aを形成した後、O₂プラズマでレジストを剥離し、その後に導電性酸化膜19を成膜する方法を行っている。ところが、この方法を行う途中にコンタクトホール18aを介して金属膜17が酸化性雰囲気さらされるために、金属膜17が酸化されるおそれがある。

30

【0012】

このため従来では、導電性酸化膜19に対して良好なコンタクトをとれる金属であってO₂プラズマ雰囲気により酸化されにくい金属としてTiを用いており、Tiよりも酸化され易いAl等の薄膜を用いることができない状況にあり、金属膜17の使用材料に制限を生じていた。ちなみに、接続部分のコンタクト面積を7μm²に設定してコンタクト部分を1600段形成した構造のコンタクトチェーンを成膜した場合、ITOの薄膜に対するAlの薄膜のコンタクト抵抗は10¹⁰~10¹²Ωであるのに対し、ITOの薄膜に対するTiの薄膜のコンタクト抵抗は、10⁴~10⁵Ωとなり、明らかにTiの薄膜の方がコンタクト性に優れている。これは、Tiに比べて導電率の優れたAlであっても、前記O₂プラズマ雰囲気に曝されることにより接続部分の界面に酸化皮膜が形成され、この酸化皮膜の存在によりコンタクト抵抗が逆転したものである。また、前述の金属膜17としてTiの薄膜を用いた場合、この構造を薄膜トランジスタアレイ基板に適用し、金属膜17でゲート配線を形成した場合、Tiの金属膜17ではTi自体の比抵抗が高いために、通常の使用に供することはできるが、ゲート配線の信号遅延の基となる可能性があり、液晶パネルの大型化に不利な問題がある。

40

【0013】

本発明は前記事情に鑑みてなされたもので、分断形成されたゲート配線あるいはソース配線を電氣的に接続する橋絡部を画素部と同一材料で構成することで製造工程を簡略化し

50

、必要マスク枚数を従来の製造方法よりも少なくして歩留まりの向上をなし得るようにするとともに、分断されたゲート配線あるいはソース配線を接続する場合に絶縁膜に設けた孔を介して橋絡部を形成することで良好にコンタクトすることができる薄膜トランジスタ型の液晶表示装置の提供を目的とする。

【課題を解決するための手段】

【0014】

本発明に係る第1の基本構成の液晶表示装置は、前記課題を解決するために、一对の基板を対向配置して前記一对の基板間に液晶が配設されるとともに、一方の基板上に複数のゲート配線と複数のソース配線とがマトリクス状に形成され、前記ゲート配線とソース配線とで囲まれる各領域に画素部が形成されてなり、前記ゲート配線とソース配線との交差部における前記ゲート配線またはソース配線のいずれか一方が分断した形に形成され、前記分断したゲート配線またはソース配線間を電氣的に接続する橋絡部と前記画素部を構成する画素電極とが同一の導電材料で同時形成されたことを特徴とするものである。このような構成とすることにより、画素電極と橋絡部を1つの成膜工程とパターニング処理で同時に形成できるので必要マスク枚数を少なくして工程の簡略化を実現できる。

10

【0015】

また、本発明に係る第2の基本構成の液晶表示装置は、前記課題を解決するために、一对の基板を対向配置して前記一对の基板間に液晶が配設されるとともに、一方の基板上に複数のゲート配線と複数のソース配線とがマトリクス状に形成され、前記ゲート配線とソース配線とで囲まれる各領域に画素部が形成されてなり、前記画素部が、平行に設けられた複数の第1の画素電極と、これら第1の画素電極と平行にかつ各第1の画素電極に対応してこれら対応電極と協同して電位を発生するよう第1の画素電極と交互に設けた第2の画素電極とからなり、前記ゲート配線とソース配線との交差部における前記ゲート配線またはソース配線のいずれか一方が分断した形に形成され、前記分断したゲート配線またはソース配線間を電氣的に接続する橋絡部と前記画素部を構成する第1の画素電極とが同一の導電材料で同時形成されたものである。このような構成とすることにより、第1の画素電極と第2の画素電極を備える構成においても、第1の画素電極と橋絡部を1つの成膜工程とパターニング処理で同時に形成できるので、必要マスク枚数を少なくして工程の簡略化を実現できる。

20

【0016】

次に、本発明において、前記画素電極を電氣的にオンオフする薄膜トランジスタを構成するドレイン電極と前記画素電極とが一体的に形成されてなる構成とすることができる。これにより、画素電極と橋絡部に加えてドレイン電極をも1つの成膜工程とパターニング処理で同時に形成できるので必要マスク枚数を少なくして工程の簡略化を実現できる。また、本発明において、前記第1の画素電極を電氣的にオンオフする薄膜トランジスタを構成するドレイン電極と前記第1の画素電極とが一体的に形成されてなる構成とすることができる。これにより、第1と第2の画素電極と橋絡部に加えてドレイン電極をも1つの成膜工程とパターニング処理で同時に形成できるので必要マスク枚数を少なくして工程の簡略化を実現できる。

30

【0017】

本発明において、前記画素電極を電氣的にオンオフする薄膜トランジスタを構成するソース電極と前記橋絡部とが一体的に形成されてなる構成とすることもできる。これにより、画素電極、あるいは、第1の画素電極と、橋絡部と、ドレイン電極に加えてソース電極をも1つの成膜工程とパターニング処理で同時に形成できるので必要マスク枚数を更に少なくして工程の簡略化を実現できる。また、前記橋絡部が、前記分断したゲート配線またはソース配線上に形成した絶縁膜に前記分断した配線のそれぞれに対応して設けた孔を介して、前記分断した配線に電氣的に接続されてなることを特徴とするものでも良い。これにより、分断されているゲート配線あるいはソース配線が、電氣的に確実に連結されて一体化される。

40

【0018】

50

次に、第1の基本構成において前記画素電極が、平行に設けられた複数の第1の画素電極と、これら第1の画素電極と平行にかつ各第1の画素電極に対応してこれら対応電極と協同して電位を発生するよう第1の画素電極と交互に設けた第2の画素電極とからなるものでも良い。このような第1の電極と第2の電極により協同して液晶に電界を印加することができ、液晶に電界を印加するか否かを切り替えることで光の透過状態を変化させ所望の表示を行うことができる。

【0019】

第1の基本構成において、前記分断したゲート配線またはソース配線の表面がクロムまたはモリブデンから形成され、前記橋絡部と画素電極とが酸化物透明導電材料から形成されてなるものでも良い。第2の基本構成において、前記分断したゲート配線またはソース配線の表面がクロムまたはモリブデンから形成され、前記橋絡部と前記第1の画素電極とが酸化物透明導電材料から形成されてなるものでも良い。これらのクロムまたはモリブデンで配線の表面部が構成されていると、配線上の絶縁膜に孔を形成して酸化物透明導電材料からなる画素電極あるいは橋絡部を形成する場合の処理時に配線の表面部を酸化させるおそれが少なくなり、コンタクト抵抗が低減する。

【発明を実施するための最良の形態】

【0020】

以下に本発明の各実施の形態を詳細に説明する。第1図(A)～第2図(C)は本発明に係る薄膜トランジスタ型液晶表示装置の第1の例を製造する方法を説明するためのもので、この例の薄膜トランジスタ型液晶表示装置Aにあっては、基本的には図2(B)と図2(C)に示すように対向する透明の基板20、21間に液晶22が配設されて構成され、一方の基板21上にゲート配線23とソース配線24が絶縁膜25を介して交差状態でマトリクス状に設けられ、更に交差部分の近傍にそれぞれ薄膜トランジスタ T_1 と画素部(画素電極)26が設けられて薄膜トランジスタアレイ基板27が構成されていて、図12あるいは図13で説明した従来の液晶表示装置と同様に液晶22に電界を印加するか否かの切り換えにより光の透過状態を切り換える表示装置とされている。

【0021】

図2(B)と図2(C)に示すようにこの第1の例の液晶表示装置Aにあっては、一方の基板21上にゲート配線23と同一平面上にゲート配線23と直交する方向にゲート配線23と接触しないように分断された不連続のソース配線24が形成され、ゲート配線23とソース配線24の接近部分の近傍のゲート配線23上に半導体能動膜28をドレイン電極30とソース電極31で挟んでなる薄膜トランジスタ T_1 が形成されている。半導体能動膜28は、この例ではa-Siから形成され、ドレイン電極30およびソース電極31と半導体能動膜28とのコンタクト部分には、 n^+ のa-Siからなる底部コンタクト膜32とシリサイド層33を積層してなるコンタクト層34が介在されている。前記シリサイド層33はMo、Ta、W等のシリサイド構成元素の膜を半導体能動膜28上に成膜してから熱処理して元素拡散を行って形成されたものである。なお、図2(B)に示す断面構造は、図2(C)のA₃－A₄線に沿う断面を示す。

【0022】

そして、前記薄膜トランジスタ T_1 のドレイン電極30が透明導電材料から形成されて透明画素電極26に接続され、前記薄膜トランジスタ T_1 のソース電極31が透明導電材料から形成されている。また、前記ゲート電極23の近傍のソース配線各端部上の絶縁膜25に孔(コンタクトホール)35が形成され、これらのコンタクトホール35を介して分断されている各ソース配線24を連結して導通させる酸化物透明導電材料からなる橋絡部36が設けられ、前記薄膜トランジスタ T_1 のソース電極31が各々の薄膜トランジスタ近傍の橋絡部36に接続されている。なお、図5に示す液晶表示装置Aにおいては、他側の基板20に形成されるコモン電極とブラックマスク、カラーフィルタ等は省略して基板20のみを記載してある。また、図3に、この例の液晶表示装置Aの等価回路を示すが、図3に示すように、分断された複数のソース配線24を複数の橋絡部36により接続させた状態のソース配線24が複数設けられ、それらのソース配線24に対してマトリク

ス状に配置されたゲート配線 23 とが設けられている。ここで各ソース配線 24 は信号供給回路 37 に、各ゲート配線 23 は走査回路 38 に接続されている。

【0023】

以上の構造のトランジスタアレイ基板 27 を製造するには、まず、図 1 (A) に示すように基板 21 上に Cr、Mo 等の導電性金属材料製の導電膜を形成し、次いでレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後にレジストを剥離するパターニングを施して図 1 (A) に断面構造を図 1 (B) に平面構造を示すゲート配線 23 とソース配線 24 を形成する。ここで形成するゲート配線 23 とソース配線 24 は、製造すべき液晶表示装置の表示画面の大きさに合わせて必要本数形成するので、図 1 (B) では 1 本ずつのみ記載しているが、実際には図 1 (B) の上下方向に複数のゲート配線 23 が、図 1 (B) の左右方向に複数のソース配線 24 が必要本数並設される。なお、図 1 (A) に示す断面構造は、図 1 (B) の A₁ - A₂ 線に沿う断面を示す。なお、前記のパターニングの際に、ソース配線 24 をゲート配線 23 に対して直角向きに形成するが、ソース配線 24 の端部 24a をゲート配線 23 にショートさせないようにゲート配線 23 と微小間隔をあけた位置に配置させるので、結果的にソース配線 24 をゲート配線 23 と直角な方向にゲート配線 23 と接触しないように分断した不連続状態に形成するものとする。

【0024】

次に、基板 21 の表面とゲート配線 23 とソース配線 24 を覆う SiN_x などの絶縁材料製の絶縁膜 25 を基板 21 上に成膜し、更にその上に、a-Si の半導体能動膜準備層と a-Si の n⁺ 準備層を積層し前述と同様にレジストを用いたパターニングを行ってソース配線 24 の近傍の薄膜トランジスタを形成するべき位置に図 1 (A) と図 1 (B) に示すアイランド状の半導体能動膜 28 と a-Si の n⁺ 層 29 を形成する。次に、n⁺ 層 29 上に Mo、Ta、W 等からなる薄膜を形成し、熱処理することでシリサイド準備層 41 を図 1 (C) に示すように形成する。この後、シリサイド準備層 41 とならなかった前記金属からなる薄膜の部分のみをレジストを用いずに、例えば、ヨウ素酸、フッ酸、及び酢酸混合液からなるエッチング液を用いて選択的に除去する。また、前記と同様にレジストを用いたパターニングを行ってゲート配線 23 の近傍の各ソース配線 24 の端部 24a 上の絶縁膜 25 にそれぞれ孔 (コンタクトホール) 35 を形成する。

【0025】

次いで ITO などの酸化物透明導電材料からなる透明導電層 42 を前記絶縁膜 25 とシリサイド準備層 41 を覆うようにこれらの上に図 2 (A) に示すように形成する。なおここで、ITO を成膜する条件は酸化雰囲気であるので、コンタクトホール 35 の下に位置するソース配線 24 の表面を Al 等よりも酸化し難い Cr、Mo 等の材料で形成することが好ましい。続いて前記と同様にレジストを用いたパターニングを行って図 2 (B) に示すように半導体能動膜 28 の中央部上方の n⁺ 層 29 の一部とシリサイド準備層 41 と透明導電層 42 の一部を除去することにより、半導体能動膜 28 をその両側から挟んで対向するドレイン電極 30 とソース電極 31 を形成し、同時に透明導電層 42 の不要部分を除去することにより、ゲート配線 23 とソース配線 24 に囲まれた領域に図 2 (B) と図 2 (C) に示すように画素電極 26 を形成し、同時にこの画素電極 26 にドレイン電極 30 を接続させ、ソース配線 24 の端部 24a を接続する透明導電膜製の橋絡部 36 を形成し、この橋絡部 36 をソース電極 31 と接続することにより、図 2 (B) と図 2 (C) に示す構造の薄膜トランジスタアレイ基板 27 を得ることができる。

【0026】

以上説明したような製造工程を採用することで、全工程でマスクを 4 枚使用してパターニングを行うことで薄膜トランジスタアレイ基板 27 を製造することができるので、例えば全面に保護膜を形成し、ソース端子出し及びゲート端子出しのためのフォトリソ工程を追加したとしても、マスクを 6~7 枚必要としていた従来方法に比べてマスクの必要枚数を削減できるとともに、パターニング工程を少なくすることで製造工程の簡略化をなし得、製造歩留まりを向上させることができる。

【0027】

第4図(A)ないし第5図(C)は本発明に係る液晶表示装置の第2の例を製造する方法を説明するためのもので、この例の液晶表示装置にあっては、基本的には図5(B)と図5(C)に示すように対向する透明の基板50、51間に液晶52が挟持されて構成され、一方の基板51上にゲート配線53とソース配線54が絶縁膜55を介して交差状態で設けられ、更に、交差部分の近傍にそれぞれ薄膜トランジスタ T_2 と画素部(画素電極)56が設けられて薄膜トランジスタアレイ基板57が構成されていて、図12で説明した従来の液晶表示装置と同様に液晶52に電界を印加するか否かの切り換えにより光の透過状態を切り換える液晶表示装置Bとされている。

【0028】

10

図5(B)と図5(C)に示すようにこの第2の例の液晶表示装置Bにあっては、一方の基板51上の絶縁膜55内にゲート配線53と直交する方向にゲート配線53と接触しないように分断されたソース配線54が不連続的に形成され、ゲート配線53とソース配線54の接近部分の近傍のゲート配線53上に薄膜トランジスタ T_2 が形成されている。前記のゲート配線53はAlなどの良導電性金属材料からなる基部導電層53Aとその上に形成されたCr、Mo等の配線用金属材料からなる副導電層53Bとからなる2重構造とされ、ソース配線54も同様に良導電性金属からなる基部導電層54Aとその上に形成された配線用材料からなる副導電層54Bとからなる2重構造とされている。なお、図5(B)に示す断面構造は、図5(C)のA₇-A₈線に沿う断面である。

【0029】

20

前記の薄膜トランジスタ T_2 は、左右の n^+ 層となる半導体部63、64に挟まれて半導体基部65が設けられ、半導体基部65上に絶縁膜66を介してゲート電極67が形成され、半導体部63、64上にシリサイド層68がそれぞれ形成され、半導体基部65の上部で半導体部63、64に挟まれた部分にチャンネル部69が形成されるようになっている。次に、各シリサイド層68上の絶縁膜55には、各々コンタクトホール80が形成され、このコンタクトホール80を介してITOなどの酸化物透明導電材料製のドレイン電極60とソース電極61が各シリサイド層68に接触するように設けられ、ドレイン電極60にはゲート配線53とソース配線54とに囲まれた領域に設けられた酸化物透明導電材料製の画素電極56が接続され、ソース電極61にはソース配線54が接続されている。更に、分断されたソース配線54においてゲート配線53に近い部分の各端部54a上

30

【0030】

以上の構成の薄膜トランジスタ T_2 は、ゲート配線53とソース配線54の交差部分近傍のゲート配線53を含むように形成されていて、ゲート配線53の一部がゲート電極67を兼ねるように設けられ、ゲート電極67によって薄膜トランジスタ T_2 のスイッチングの切り換えがなされるようになっている。

【0031】

40

以上の構造のトランジスタアレイ基板57を製造するには、まず、基板51上に水素化アモルファスシリコン(a-Si:H)からなる半導体予備膜を形成し、これにレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後にレジストを剥離するパターニングを施して図4(A)に断面構造を示すアイランド状の半導体準備膜75を形成する。なお、この半導体準備膜75を形成する位置は、基板51上において目的とする薄膜トランジスタの半導体部を形成しようとする位置とする。次に、図4(B)に示すように半導体準備膜75と基板51を覆うようにSiN_xなどからなる絶縁膜74を形成し、更にその上に、Al等の良導電材料からなる基部導電膜76とCr、Mo等の配線材料からなる副導電膜77を形成する。次に、絶縁膜74と基部導電膜76と副導電膜77にパターニングを施して図4(C)に断面構造を図9(D)に平面構造を示すゲート配線53とソース配線54を形成し、半導体準備膜75上のゲート配線53をゲート電極6

50

7とする。なお、図4(C)に示す断面構造は、図4(D)に示すA₅-A₆線に沿う断面を示す。また、前記のパターニングにあたり、各ゲート配線53とソース配線54はパターニングされた絶縁膜74を介して基板51上あるいは半導体準備膜75上に設けられた状態となる。次に、ここで形成するゲート配線53とソース配線54は、それぞれ2層構造とされ、製造すべき液晶表示装置の画面の大きさに合わせて必要数形成されるので、図4(D)では1本ずつのみ記載しているが、実際には図4(D)の上下方向に複数のゲート配線53が図4(D)の左右方向に複数のソース配線54が並設されている。なお、前記のパターニングの際に、ソース配線54をゲート配線53に対して直角向きに形成するが、ソース配線54の端部54aをゲート配線53にショートさせないようにゲート配線53と微小間隔をあけた位置に配置させるので、結果的にソース配線54をゲート配線53と直角な方向にゲート配線53と接触しないように分断した不連続状態に形成するものとする。

【0032】

次に、ゲート電極67とその下方の絶縁膜74をマスクとして半導体準備膜75にイオンドーピング処理を行ってn⁺層を形成し、半導体部63、64に挟まれた半導体基部65を形成するとともに、この後に半導体部63、64上にMo、Ta、W等のシリサイド層形成用の薄膜を形成し、熱処理して半導体部63、64との間に元素拡散を行って半導体部63、64上にシリサイド層68、68を図5(A)に示すように形成する。また、前記第1の例の液晶表示装置Aを製造する際と同様にMo、Ta、W等の金属薄膜部分のみをマスクを用いずに選択的に除去する。次いでこれらの膜の上にSiN_x等からなる絶縁膜55を被覆し、更に、前記と同様にマスクを用いたパターニングを行ってシリサイド層68上の絶縁膜55にコンタクトホール80を形成するとともにゲート配線53の近傍の各ソース配線54の端部54a上の絶縁膜55にそれぞれ孔(コンタクトホール)81を形成する。

【0033】

次いで、ITOなどの酸化物透明導電材料からなる透明導電層をこれらの上に形成するとともに、パターニングを行って、ソース配線54とゲート配線53に囲まれた領域に画素電極56を形成し、ソース配線54間にコンタクトホール81、81を介してこれらを接続する橋絡部72を形成するとともに、この橋絡部72と半導体部63上のシリサイド層68をコンタクトホール80を介して接続させて透明導電層製のソース電極61を形成し、半導体部64上のシリサイド層68と画素電極56を接続させて透明導電層製のドレイン電極56を形成する。これにより、図5(A)と図5(B)に示す構造の薄膜トランジスタアレイ基板57を得ることができる。

【0034】

以上説明したような製造工程を採用することで、全工程でマスクを4枚使用してパターニングを行うことで薄膜トランジスタアレイ基板57を製造することができるので、前記第1の例と同様にマスクを6~7枚必要としていた従来方法に比べてマスクの必要枚数を削減できるとともに、パターニング工程を少なくすることで製造工程の簡略化をなし得、製造歩留まりを向上させることができる。更に、ゲート配線53とソース配線54をCr、Mo等から成る副導電層54BとAl等からなる基部導電層54Aから構成しているので、絶縁膜55に孔コンタクトホール81を形成する際にO₂プラズマ雰囲気エッチングする処理を行っても、O₂プラズマ雰囲気酸化されにくい副導電層54Bの一部が酸化されるのみであり、ソース配線54の導電率を支配する良導電性の基部導電層54Aは酸化されないため、ソース配線54の配線抵抗を低く抑えることができる。

【0035】

図6(A)ないし図7(C)は本発明に係る液晶表示装置の第3の例を製造する方法を説明するためのもので、この例の液晶表示装置にあっては、基本的には図7(B)と図7(C)に示すように対向する透明の基板90、91間に液晶92が挟持されて構成され、一方の基板91上にゲート配線93とソース配線94が絶縁膜95を介して交差状態で設けられ、更に交差部分の近傍にそれぞれ薄膜トランジスタT₃と線状電極96A、Bが設

けられて薄膜トランジスタアレイ基板 97 が構成されていて、図 12 を基に先に説明した従来の液晶表示装置と同様に液晶 92 に電界を印加するか否かの切り換えにより光の透過状態を切り換える液晶表示装置 C とされている。ただし、この例で用いた構成における液晶の駆動機構は先に説明した第 1 の例と第 2 の例のものとは全く異なり、線状電極 96 A、96 B により発生させた電界で液晶を配向させるものであり、線状電極 96 A、96 B による液晶の駆動機構については後に詳述する。

【0036】

図 7 (B) と図 7 (C) に示すようにこの第 3 の例の液晶表示装置 C にあっては、一方の基板 91 上にゲート配線 93 と同一平面上にゲート配線 93 と直交する方向にゲート配線 93 と接触しないように分断されたソース配線 94 が不連続的に形成され、ゲート配線 93 とソース配線 94 の接近部分の近傍のゲート配線 93 上に半導体能動膜 98 をドレイン電極 100 とソース電極 101 で挟んでなる薄膜トランジスタ T_3 が形成されている。なお、半導体能動膜 98 はこの例では a-Si から形成され、ドレイン電極 100 およびソース電極 101 と半導体能動膜 98 とのコンタクト部分には、 n^+ の a-Si からなる底部コンタクト膜 102 とシリサイド層 103 を積層してなるコンタクト層 104 が介在されている。なおまた、シリサイド層 103 は Mo、Ta、W 等のシリサイド構成元素の膜を半導体能動膜 98 上に成膜してから熱処理して元素拡散を行って形成されたものである。

【0037】

そして、前記薄膜トランジスタ T_3 のドレイン電極 100 が酸化物透明導電材料から形成されて酸化物透明導電材料製でソース配線 94 と平行に設けられた線状電極 (第 1 の画素電極) 96 A に接続され、薄膜トランジスタ T_3 のソース電極 101 が酸化物透明導電材料から形成されている。また、ゲート電極 93 の近傍のソース配線各端部上の絶縁膜 95 に孔 (コンタクトホール) 105 が形成され、これらのコンタクトホール 105 を介して分断された各ソース配線 94 を連結して導通する酸化物透明導電材料からなる橋絡部 106 が設けられ、前記薄膜トランジスタ T_3 のソース電極 101 が各薄膜トランジスタ近傍の橋絡部 106 に接続されている。なお、図 7 (B) に示す断面構造は図 7 (C) の $A_1 - A_{10}$ 線に沿う断面構造である。

【0038】

更に、線状電極 (第 2 の画素電極) 96 B は線状電極 96 A を挟む位置に線状電極 96 A と平行に 2 本形成され、それらが基端部 96 C で連結されて図 7 (C) に示すように平面コ字状に形成されていて、基端部 96 C においてソース配線 94 の近傍部分に突起状の接続部 96 D が形成されている。また、図 7 (C) に示すゲート配線 93 とソース配線 94 に囲まれた領域に線状電極 96 A、96 B が形成されているが、この領域に隣接する他の領域にもそれぞれ線状電極 96 A、96 B が形成されていて、左右に隣接する基端部 96 C の接続部 96 D 同士が、以下に説明するように酸化物透明導電材料製の導体接続部 108 で接合されている。即ち、接続部 96 D 上の絶縁膜 95 には各々コンタクトホール 107 が形成され、これらのコンタクトホール 107 を介して接続部 96 D に連結する導体接続部 108 が、ソース配線 94 上を横切るように設けられて各基端部 96 C が連結されている。なお、図 7 (C) に示す液晶表示装置 C においては、他側の基板 90 に形成されるブラックマスク、カラーフィルタ等は省略して基板 90 のみを記載した。

【0039】

以上の構造のトランジスタアレイ基板 97 を製造するには、まず、図 6 (A) に示すように基板 91 上に、下地が Al で表層が Cr、Mo 等の導電性金属材料製の導電膜を形成し、次いでレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後レジストを剥離するパターンニングを施して図 6 (A) に断面構造を図 6 (B) に平面構造を示すゲート配線 93 とソース配線 94 と線状電極 96 B、96 B を形成する。なお、図 6 (A) に示す断面構造は、図 6 (B) の $A_{11} - A_{12}$ 線に沿う断面である。ここで形成するゲート配線 93 とソース配線 94 は、製造するべき液晶表示装置の画面の大きさに合わせて必要本数形成するので、図 6 (B) では 1 本ずつのみ記載しているが、実際に

は図6 (B)の上下方向に複数のゲート配線93が図6 (B)の左右方向に複数のソース配線94が並設される。なお、前記のパターニングの際に、ソース配線94をゲート配線93に対して直角向きに形成するが、ソース配線94の端部94aをゲート配線93にショートさせないようにゲート配線93と微小間隔をあけた位置に配置させるので、結果的にソース配線94をゲート配線93と直角な方向にゲート配線93と接触しないように分断した不連続状態に形成するものとする。

【0040】

次に、基板91の表面とゲート配線93とソース配線94と線状電極96Bを覆うSiN_xなどの絶縁材料製の絶縁膜95を基板91上に成膜し、更にその上にa-Siの半導体能動膜準備層とa-Siのn⁺準備層を積層し前述と同様にマスクを用いたパターニングを行ってソース配線94の近傍の薄膜トランジスタを形成するべき位置に図6 (A)と図6 (B)に示すアイランド状の半導体能動膜98とa-Siのn⁺層99を形成する。次に、n⁺層99上にMo、Ta、W等からなる薄膜を形成し、熱処理することでシリサイド準備層110を図6 (C)に示すように形成する。この後、前記第1の例と同様に処理し、Mo、Ta、W等からなる薄膜をレジストを用いずに選択的に除去する。また、前記と同様にマスクを用いたパターニングを行ってゲート配線93の近傍の各ソース配線94の端部94a上の絶縁膜95にそれぞれコンタクトホール105を図7 (A)に示すように形成するとともに、線状電極96Bの接合部96D上の絶縁膜95にもコンタクトホール107を形成する。

10

【0041】

次いで、ITOなどの酸化物透明導電材料からなる透明導電層109を前記絶縁膜95とシリサイド準備層110等を覆うようにこれらの上に形成する。続いて前記と同様にマスクを用いたパターニングを行って半導体能動膜98の中央部上方のn⁺層99の一部とシリサイド準備層110と透明導電層の一部を除去することにより、半導体能動膜98をその両側から挟んで対向するドレイン電極100とソース電極101を形成し、同時に透明導電層の不要部分を除去することにより、ゲート配線93とソース配線94に囲まれた領域に図7 (B)と図7 (C)に示すように線状電極96Aを形成し、同時にこの線状電極96Aにドレイン電極100を接続させ、ソース配線94の端部94aを接続する橋絡部106を形成し、この橋絡部106をソース電極101と接続し、更に、隣接する線状電極96Bの接続部96Dどうしを接合する導体接続部108をソース配線94上を横切るように形成することで図7 (B)と図7 (C)に示す構造の薄膜トランジスタアレイ基板97を得ることができる。

20

30

【0042】

以上説明したような製造工程を採用することで、全工程でマスクを4枚使用してパターニングを行うことで薄膜トランジスタアレイ基板27を製造することができるので、前記第1の例と同様にマスクを6~7枚必要としていた従来方法に比べてマスクの必要枚数を削減できるとともに、パターニング工程を少なくすることで製造工程の簡略化をなし得、製造歩留まりを向上させることができる。

【0043】

続いて図7 (B)と図7 (C)に示す構造の液晶表示装置Cの偏光板の偏光方向と配向膜のラビング処理方向並びに液晶駆動機構について説明するが、その前に一般的なツイステッドネマティックモード(TNモード)のアクティブマトリクス型液晶表示装置について以下に説明する。

40

【0044】

この種の一般的なTNモードの液晶表示素子は、偏光板と透明な電極と配向膜を具備した2枚のガラス基板を互いの配向膜の配向方向が90°異なるように間隔をあけて対向配置し、その間にネマティック液晶を90°ねじって配列できるように設けて構成されている。

【0045】

ところが、近年、この種のTNモードの液晶表示素子にあっては、その視野角依存性が

50

問題となっている。この問題を解決できる構造が、線状電極 96 A、96 B を用いた図 7 (B) に示す液晶表示装置 C である。前述の構成の液晶表示装置 C において、配向膜の配向方向と液晶 92 を構成する液晶分子 92 A の向き等をまとめて図 8 と図 9 に示す。液晶表示装置 C にあっては、液晶を挟む上下両側の基板にそれぞれ液晶駆動用の電極を設けるのではなく、図 7 (B) に示す下方の基板 91 側のみに異なる極の 2 種の線状電極 96 ・ ・ ・、96 B ・ ・ ・ を互いに離間させて設け、上方の基板 90 に電極を設けない構成とし、電圧の印加により、両線状電極 96 A、96 B 間に発生した電界の方向に沿って液晶分子 92 A ・ ・ ・ を配向させることができるようになっている。図 8 に線状電極 96 A、96 B とスイッチング素子としての薄膜トランジスタ T_3 および電源 119 の接続関係を示す。また、図 9 (A) に示すように上の基板 90 の液晶側の面に配向膜を形成して β 方向に液晶分子 92 A が並ぶように配向処理が施され、下の基板 91 の液晶側の面に配向膜を形成して前記 β 方向と平行な Y 方向に液晶分子 92 A が並ぶように配向処理が施され、それぞれの基板 90、91 の外側に従来の一般的な構成の場合と同様の偏光板が配置される。

【0046】

以上のような構成によれば、線状電極 96 A、96 B 間に電圧が印加されていない状態で液晶分子 92 A ・ ・ ・ は、図 9 (A) に示すように一律に同方向にホモジニアス配向する。そして、この状態で下の基板 91 を通過した光線は、偏光板により α 方向に偏光されており、液晶分子 92 A の層をそのまま透過し、上の基板 90 の異なる β 方向の偏光板に到達するので、その偏光板で遮断され、光線は液晶表示素子を透過することがないので、液晶表示素子は暗状態となる。(ノーマリーブラックモード)

次に、線状電極 96 A、96 B 間に電圧を印加すると、液晶分子のうち、下の基板 91 に接近した液晶分子 92 A ほどその配向方向が線状電極 96 A、96 B の長手方向に対して垂直に変換される。即ち、線状電極 96 A、96 B の長手方向に対し垂直な方向の電気力線が発生し、下の基板 91 に形成されていた配向膜によって Y 方向に長手方向を向けて配向していた液晶分子 92 A が、配向膜の規制力よりも強い電界の規制力によって Y 方向とは垂直な α 方向に配向方向が変換される。よって、線状電極 96 A、96 B 間に電圧が印加されると、図 9 (B) に示すように 90° ツイスト配向がなされる。この状態であると、下の基板 91 を透過し、 α 方向に偏光した偏光光線は、ツイストした液晶 92 A ・ ・ ・ によってその偏光方向が変換され、 α 方向とは異なる β 方向の偏光板の設けられた上の基板 90 を透過できるようになり、液晶表示素子は明状態となる。ここで図 9 (A) に示す状態の液晶分子 92 A ・ ・ ・ に対して図 9 (C) に示すように異なった方向から透過光線が入射しても透過光線の角度によって屈折率 n_1' と n_2' が同じになるために視野角依存性は生じ難くなる。なお、図 9 (B) に示すように線状電極 96 A、96 B の直上に存在する液晶分子 92 A ・ ・ ・ は電気力線に沿って起立した状態となるが、この状態は明状態であり、起立した液晶分子 92 A ・ ・ ・ は透過光を通過させるような働きをするので、表示状態に悪影響はない。

【0047】

図 10 (A) ないし図 11 (C) は本発明に係る液晶表示装置の第 4 の例を製造する方法を説明するためのもので、この例の液晶表示装置にあっては、基本的には図 11 (B) と図 11 (C) に示すように対向する透明の基板 130、131 間に液晶 132 が挟持されて構成され、一方の基板 131 上にゲート配線 133 とソース配線 134 が絶縁膜 135 を介して交差状態で設けられ、更に交差部分の近傍にそれぞれ薄膜トランジスタ T_4 と線状電極 136 A、136 B が設けられて薄膜トランジスタアレイ基板 137 が構成されていて、図 7 (B) あるいは図 7 (C) で説明した液晶表示装置 C と同様に液晶 132 に電界を印加するか否かの切り換えにより光の透過状態を切り換える液晶表示装置 D とされている。

【0048】

図 11 (B) と図 11 (C) に示すようにこの第 4 の例の液晶表示装置 D にあっては、一方の基板 131 上の絶縁膜 135 内にゲート配線 133 と直交する方向にゲート配線 1

10

20

30

40

50

33と接触しないように分断されているソース配線134が不連続的に形成され、ゲート配線133とソース配線134の接近部分の近傍のゲート配線133上に薄膜トランジスタ T_4 が形成されている。なお、図11(B)に示す断面構造は、図11(C)に示す $A_{13}-A_{14}$ 線に沿う断面である。前記のゲート配線133はAlなどの良導電性金属からなる基部導電層133Aと、その上に形成されたCr、Mo等の配線用金属材料からなる副導電層133Bとからなる2重構造とされ、ソース配線134も同様にAl等の良導電性金属からなる基部導電層134Aとその上に形成されたCr、Mo等の配線用材料からなる副導電層134Bとからなる2重構造とされている。

【0049】

前記の薄膜トランジスタ T_4 は、左右の n^+ 層となる半導体部143、144に挟まれて半導体基部145が設けられ、半導体基部145上に絶縁膜146を介してゲート電極147が形成され、半導体部143、144上にシリサイド層148がそれぞれ形成され、半導体基部145の上部で半導体部143、144に挟まれた部分にチャンネル部149が形成されるようになっている。次に、各シリサイド層148上の絶縁膜145には各々コンタクトホール150が形成され、このコンタクトホール150を介してITOなどの酸化物透明導電材料製のドレイン電極160とソース電極161が各シリサイド層148に接触するように設けられ、ドレイン電極160にはゲート配線133とソース配線134とに囲まれた領域に設けられた酸化物透明導電材料製の線状電極136Aが接続され、ソース電極161にはソース配線134が接続されている。

【0050】

更に、分断されたソース配線134においてゲート配線133に近い部分の各端部134a上の絶縁膜135にはコンタクトホール171が各々形成されていて、これらのコンタクトホール171を介して設けられた酸化物透明導電材料製の橋絡部172によって前記の分断されたソース配線134が導通されている。また、ゲート配線133とソース配線134とで囲まれた領域に設けられている線状電極136Aはこの例ではゲート配線133と平行に配置され、さらにこの線状電極136Aの幅方向両側にはこれを挟むように一対の線状電極136B、136Bが線状電極136Aと平行に設けられ、各線状電極136Bは基端部136Cにて一体化され、一方の線状電極136Bの端部がソース配線134の近傍まで延長されている。そして、ソース配線134とゲート配線133とで囲まれた線状電極136Bが設けられた領域に隣接する他の領域の線状電極136Bの端部もソース配線134の近傍まで延出されていて、ソース配線134を挟んでその両側に位置する線状電極136Bの端部どうしが、それらの上の絶縁膜135に形成されたコンタクトホール173を介してソース配線134上を横切って設けられた導体接続部174によって接続されている。

【0051】

以上の構成の薄膜トランジスタ T_4 は、ゲート配線133とソース配線134の交差部分近傍のゲート配線133を含むように形成されていて、ゲート配線133の一部がゲート電極147を兼ねるように設けられ、ゲート電極147によって薄膜トランジスタ T_4 のスイッチングの切り換えがなされるようになっている。

【0052】

以上の構造のトランジスタアレイ基板137を製造するには、まず、基板131上に水素化アモルファスシリコン(a-Si:H)からなる薄膜を形成し、これにレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後にレジストを剥離するパターンニングを施して図10(A)に断面構造を示すアイランド状の半導体準備膜180を形成する。なお、この半導体準備膜180を形成する位置は、基板131上において目的とする薄膜トランジスタの半導体部を形成しようとする位置とする。次に、図10(B)に示すように半導体準備膜180と基板131を覆うように SiN_x などからなる絶縁膜184を形成し、更にその上にAl等の良導電材料からなる基部導電膜186とCr、Mo等の配線材料からなる副導電膜187を形成する。次に、絶縁膜184と基部導電膜186と副導電膜187にパターンニングを施して図10(C)に断面構造を図10(D)に

10

20

30

40

50

平面構造を示すゲート配線 133 とソース配線 134 を形成し、半導体準備膜 180 上のゲート配線 133 をゲート電極 147 とする。また、前記のパターニングにあたり、各ゲート配線 133 とソース配線 134 はパターニングされた絶縁膜 189 を介して基板 131 上あるいは半導体準備膜 180 上に設けられた状態となる。次に、ここで形成するゲート配線 133 とソース配線 134 は、それぞれ 2 層構造とされ、製造すべき液晶表示装置の画面の大きさに合わせて必要数形成されるので、図 10 (D) では 1 本ずつのみ記載しているが、実際には図 10 (D) の上下方向に複数のゲート配線 133 が図 10 (D) の左右方向に複数のソース配線 134 が並設される。なお、図 10 (C) に示される断面構造は、図 10 (D) の A₁₅ - A₁₆ 線に沿う断面である。前記のパターニングの際に、ソース配線 134 をゲート配線 133 に対して直角向きに形成するが、ソース配線 134 の端部 134a をゲート配線 133 にショートさせないようにゲート配線 133 と微小間隔をあけた位置に配置させるので、結果的にソース配線 134 をゲート配線 133 と直角な方向にゲート配線 133 と接触しないように分断された不連続状態に形成するものとする。

【0053】

次に、ゲート電極 147 とその下方の絶縁膜 189 をマスクとして半導体準備膜 180 にイオンドーピング処理を行って n⁺ 層を形成し、半導体部 143、144 に挟まれた半導体基部 145 を形成するとともに、この後に半導体部 143、144 上に Mo、Ta、W 等のシリサイド層形成用の薄膜を形成し、熱処理して半導体部 143、144 との間に元素拡散を行って半導体部 143、144 上にシリサイド層 148、148 を図 11 (A) に示すように形成する。この後、前記第 1 の例と同様にシリサイド化していない Mo、Ta、W 等からなる金属薄膜をレジストを用いずに選択的に除去する。次いでこれらの膜の上に SiN_x 等からなる絶縁膜 135 を被覆し、更に、前記と同様にマスクを用いたパターニングを行ってシリサイド層 148 上の絶縁膜 135 にコンタクトホール 150 を形成するとともにゲート配線 133 の近傍の各ソース配線 134 の端部 134a 上の絶縁膜 135 にそれぞれ孔 (コンタクトホール) 171 を形成する。

【0054】

次いで、ITO などの酸化物透明導電材料からなる透明導電層をこれらの上に形成するとともにパターニングを行って、ソース配線 134 とゲート配線 133 に囲まれた領域で線状電極 136B、136B 間に線状電極 136A を形成し、ソース配線 134 の端部 134a 上の絶縁膜 135 に孔 (コンタクトホール) 171、171 を介してこれらを接続する橋絡部 172 を形成するとともに、この橋絡部 172 と半導体部 143 上のシリサイド層 148 をコンタクトホール 150 を介して接続させて酸化物透明導電材料製のソース電極 161 を形成し、半導体部 144 上のシリサイド層 148 と線状電極 136A を接続させて酸化物透明導電材料製のドレイン電極 160 を形成するとともに、隣接する線状電極 136B の接合部どうしを接合する導体接続部 174 をソース配線 134 上を横切るように形成することで隣接する領域どうしの線状電極 136B を接続する。これにより、図 11 (B) と図 11 (C) に示す構造の薄膜トランジスタアレイ基板 137 を得ることができる。

【0055】

以上説明したような製造工程を採用することで、全工程でマスクを 4 枚使用してパターニングを行うことで薄膜トランジスタアレイ基板 57 を製造することができるので、前記第 1 の例と同様に、マスクを 6 ~ 7 枚必要としていた従来方法に比べてマスクの必要枚数を削減できるとともに、パターニング工程を少なくすることで製造工程の簡略化をなし得、製造歩留まりを向上させることができる。また、この例の構造の液晶表示装置 D にあっては、線状電極 136A、136B を用いて先の第 3 の例の場合と同様に視野角依存性の少ない高品質の表示状態を得ることができる。

【0056】

ところで、以上説明した構造においては 2 本の線状電極と 1 本の線状電極を異なる極の対電極としたが、3 本あるいはそれ以上の本数の線状電極を互いに対になるように設けて

10

20

30

40

50

も良いのは勿論である。また、分断した形で形成するのは、ソース配線に限らず、ゲート配線であっても良い。従ってゲート配線を分断した形で形成した場合は、ソース配線を分断していない連続状態に形成し、このソース配線に接触しないように分断状態に不連続させてゲート配線を形成し、その上に形成した絶縁膜に孔（コンタクトホール）を形成し、それらのコンタクトホールを介して絶縁膜上に橋絡部を形成することで分断されたゲート配線を1本に連続させることができる。本発明においてはこのような構造を採用することもできる。

【0057】

（発明の効果）

以上説明したように本発明によれば、ソース配線とゲート配線の一方を分断した形に形成し、ソース配線とゲート配線の一方を導電材料製の橋絡部で導通させるとともに、画素部を橋絡部と同じ導電材料で形成したので、画素部を構成する場合の成膜処理とパターニング処理で橋絡部を同時に形成することができ、工程の簡略化をなすことができるとともに、パターニングに際して使用するマスク枚数を従来方法より少なく、必要最低限に抑えることができる。よって工程の簡略化と歩留まりの向上効果を得ることができる。また、画素部を第1と第2の画素電極を組み合わせて用いる構成にあっても、ソース配線とゲート配線の一方を分断した形に形成し、ソース配線あるいはゲート配線を導電材料製の橋絡部で導通させ、同時に橋絡部と同一の導電材料で第1の画素電極を形成した構成なので、第1の画素電極を構成する場合の成膜処理とパターニング処理で橋絡部を同時に形成することができ、工程の簡略化をなすことができるとともに、パターニングに際して使用するマスク枚数を従来方法より少なく、必要最低限に抑えることができる。よって工程の簡略化と歩留まりの向上効果を得ることができる。

【0058】

次に、画素電極を電氣的にオンオフする薄膜トランジスタのドレイン電極を画素電極と一体的に形成するならば、あるいは、第1の画素電極を電氣的にオンオフする薄膜トランジスタのドレイン電極と第1の画素電極を一体的に形成するならば、画素電極とドレイン電極を、あるいは、第1の画素電極とドレイン電極を同時に同じ導電材料で形成することができ、これにより工程の簡略化と歩留まりの向上効果を得ることができる。また、画素電極を電氣的にオンオフする薄膜トランジスタのソース電極を橋絡部と一体的に形成するならば、橋絡部とソース電極を同時に同じ導電材料で形成することができ、これにより工程の簡略化と歩留まりの向上効果を得ることができる。

【0059】

更に、ソース配線とゲート配線の一方を分断状態に形成し、これらを連結する橋絡部と画素電極とを同一導電材料で構成し、更に、前記画素電極を協同して電位を発生させる第1の画素電極と第2の画素電極とから構成した場合に、第1あるいは第2の画素電極を構成する場合の成膜処理とパターニング処理で橋絡部を同時に形成することができ、工程の簡略化をなすことができるとともに、パターニングに際して使用するマスク枚数を従来方法より少なく、必要最低限に抑えることができる。よって工程の簡略化と歩留まりの向上効果を得ることができる。

【0060】

次に、分断したゲート配線あるいはソース配線の表面をクロムまたはモリブデンから構成することで、それらの上に絶縁膜を形成し、この絶縁膜に孔を設けて橋絡部で分断したゲート配線あるいはソース配線を接続する構成とした場合に、酸化物透明導電材料で橋絡部を構成しても、ゲート配線あるいはソース配線の接続部分を酸化させてコンタクト抵抗を増加させてしまうおそれは少なくなり、分断されたゲート配線あるいはソース配線を良好な接続状態にすることができる。

【図面の簡単な説明】

【0061】

【図1】図1（A）は、本発明に係る液晶表示装置の第1の例を製造する方法において基板上にゲート配線とソース配線と絶縁膜と半導体層と n^+ 層を形成した状態を示す断面図

10

20

30

40

50

、図 1 (B) は、図 1 に示す状態の要部を示す平面図、図 1 (C) は、第 1 の例を製造する方法において n^+ 層上にシリサイド層を形成した状態を示す断面図である。

【図 2】図 2 (A) は、第 1 の例を製造する方法において絶縁膜とシリサイド層上に透明導電層を形成した状態を示す断面図、図 2 (B) は、本発明に係る液晶表示装置の第 1 の例を示す断面図、図 2 (C) は、図 1 (B) に示す液晶表示装置の第 1 の例の要部を示す平面図である。

【図 3】第 1 の例の液晶表示素子の等価回路の一例を示す図。

【図 4】図 4 (A) は、本発明に係る液晶表示装置の第 2 の例を製造する方法において基板上に半導体予備膜を形成した状態を示す断面図、図 4 (B) は基板上と半導体膜上に 2 層構造の導電層を形成した状態を示す断面図、図 4 (C) は、図 4 (B) に示す 2 層構造の導電層と絶縁膜をパターンニングした状態を示す断面図、図 4 (D) は図 4 (C) の状態の要部を示す平面図である。

【図 5】図 5 (A) は、第 2 の例を製造する方法において半導体膜に半導体部と半導体基部を形成した状態を示す断面図、図 5 (B) は、第 2 の例を示す断面図、図 5 (C) は、第 2 の例の液晶表示装置の要部を示す平面図である。

【図 6】図 6 (A) は、本発明に係る液晶表示装置の第 3 の例を製造する方法において基板上に各種配線と絶縁膜と半導体膜を形成した状態を示す断面図であり、図 6 (B) は、図 6 (A) に示す状態の要部を示す平面図、図 6 (C) は、半導体膜の上にシリサイド層を形成した状態を示す断面図である。

【図 7】図 7 (A) は、第 3 の例を製造する方法において絶縁膜にコンタクトホールを形成し、シリサイド層上と絶縁膜上とコンタクトホールに透明導電層を形成した状態を示す断面図、図 7 (B) は、発明に係る液晶表示装置の第 3 の例を示す断面図、図 7 (C) は、図 7 (B) に示す構造の要部を示す平面図である。

【図 8】図 8 (A) は第 3 の例における線状電極と配向方向と電源の関係を示す図、図 8 (B) は線状電極間の液晶分子の配向状態を示す図。

【図 9】図 9 (A) は線状電極を用いていない一般の液晶表示装置構造において、電界を印加していない状態の液晶分子の配向状態を示す図、図 9 (B) は電界を印加した状態の液晶分子の配向状態を示す図、図 9 (C) は液晶分子の配向状態と透過光屈折率を説明するための図。

【図 10】図 10 (A) は、本発明に係る液晶表示装置の第 4 の例を製造する方法において基板上に半導体膜を形成した状態を示す断面図、図 10 (B) は、基板上と半導体膜上に 2 層構造の導電層を形成した状態を示す断面図、図 10 (C) は 2 層の導電層と絶縁膜をパターンニングした状態を示す断面図、図 10 (D) は、図の状態の要部を示す平面図。

【図 11】図 11 (A) は、第 4 の例を製造する方法において半導体膜に半導体部と半導体基部とシリサイド層を形成した状態を示す断面図、図 11 (B) は、本発明に係る液晶表示装置の第 4 の例を示す断面図、図 11 (C) は、第 4 の例の液晶表示装置の要部を示す平面図である。

【図 12】従来の薄膜トランジスタアレイ基板の一構造例を示す平面図である。

【図 13】従来の薄膜トランジスタアレイ基板の一構造例の断面図である。

【図 14】従来の一例を示す接続回路図である。

【符号の説明】

【0062】

基板 21、51、91、131

液晶 22、52、92、132

ゲート配線 23、53、93、133

ソース配線 24、54、94、134

絶縁膜 25、55、95、135

画素部（画素電極） 26、56

薄膜トランジスタ T_1 、 T_2 、 T_3 、 T_4 、

薄膜トランジスタアレイ基板 27、57、97、137

10

20

30

40

50

半導体能動膜 28、98

ドレイン電極 30、60、100、160

ソース電極 31、61、101、161

孔（コンタクトホール） 35、81、105、107、171、173

橋絡部 36、72、106、172

n^+ 層 29、99

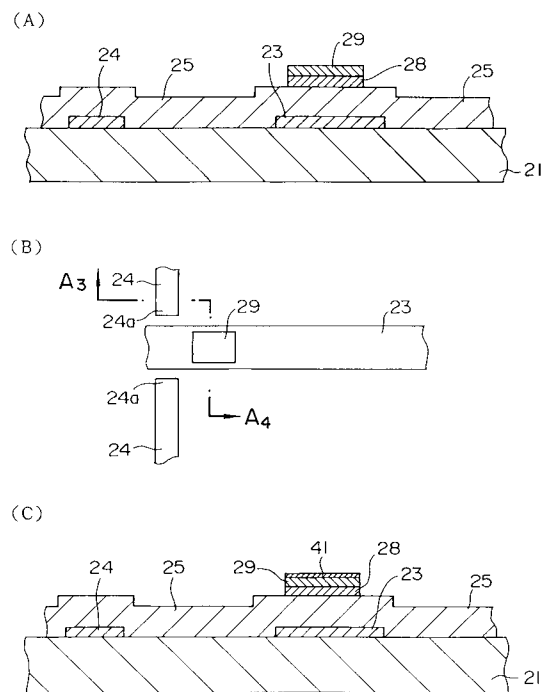
シリサイド層 33、103

コンタクト層 34、104

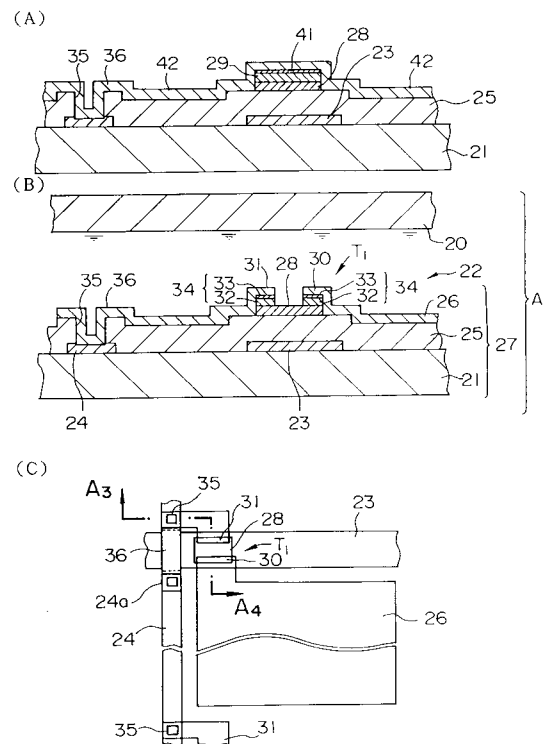
半導体準備膜 75、180

導体接続部 108、173

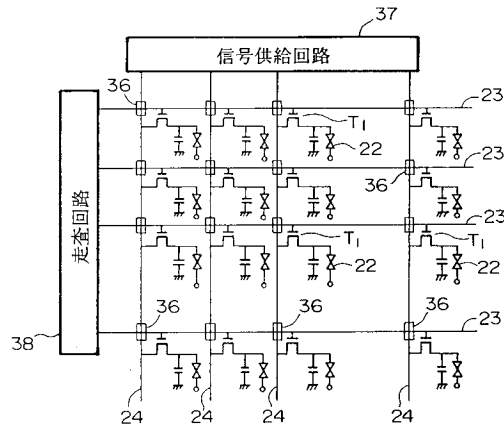
【図 1】



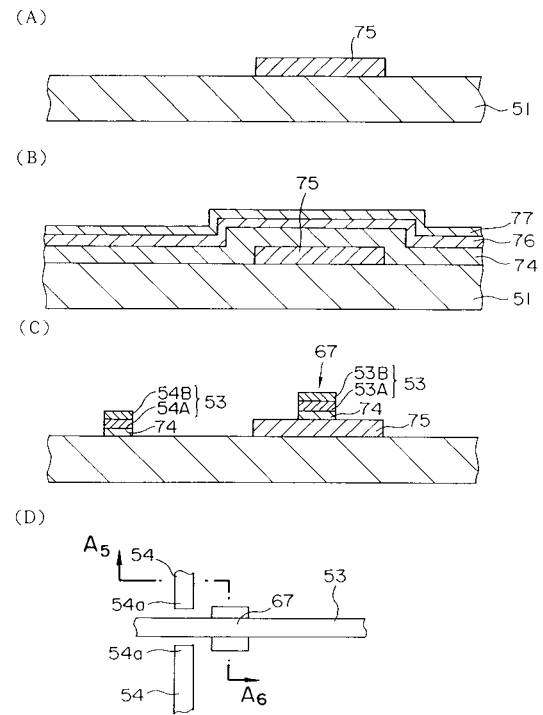
【図 2】



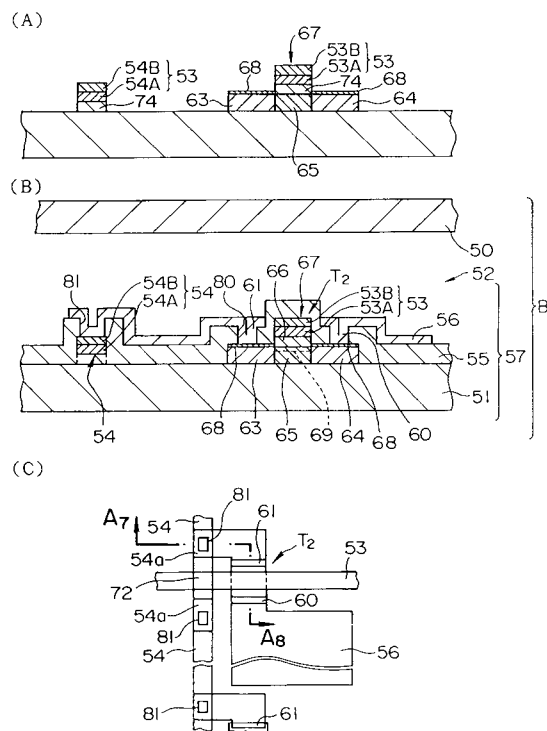
【図 3】



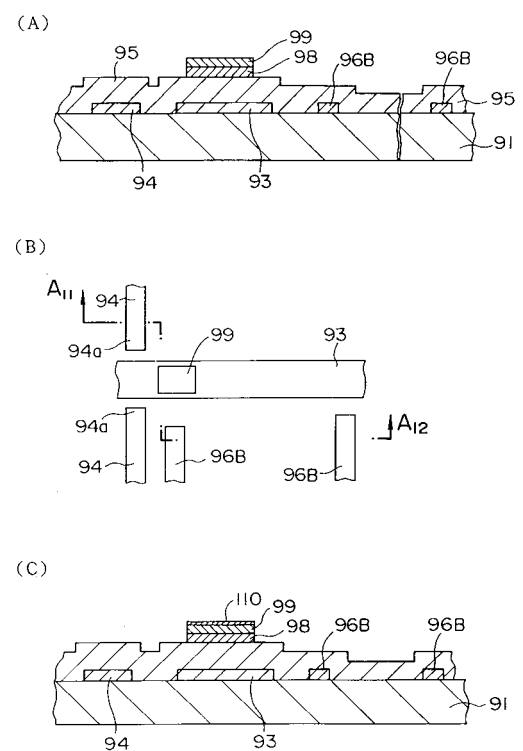
【図 4】



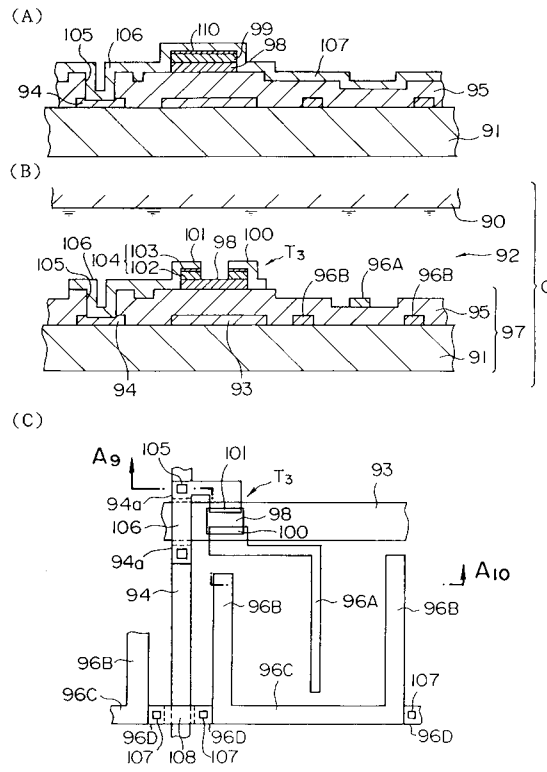
【図 5】



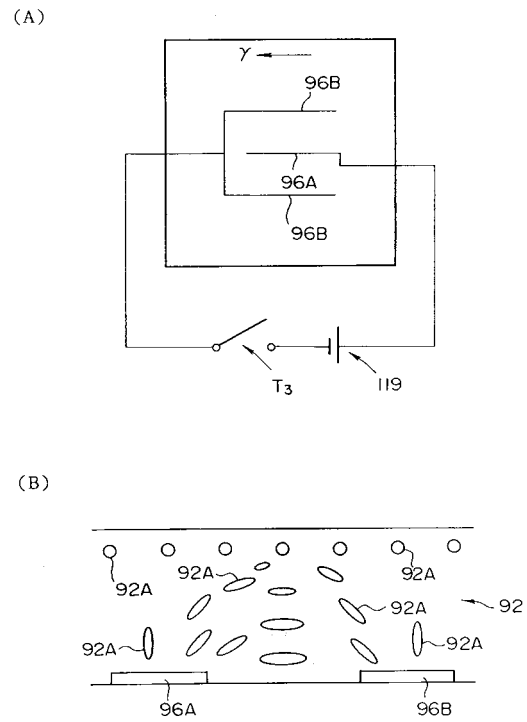
【図 6】



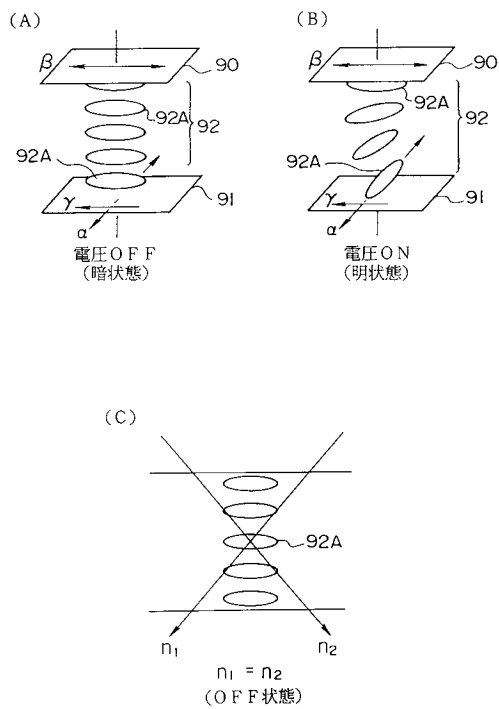
【図 7】



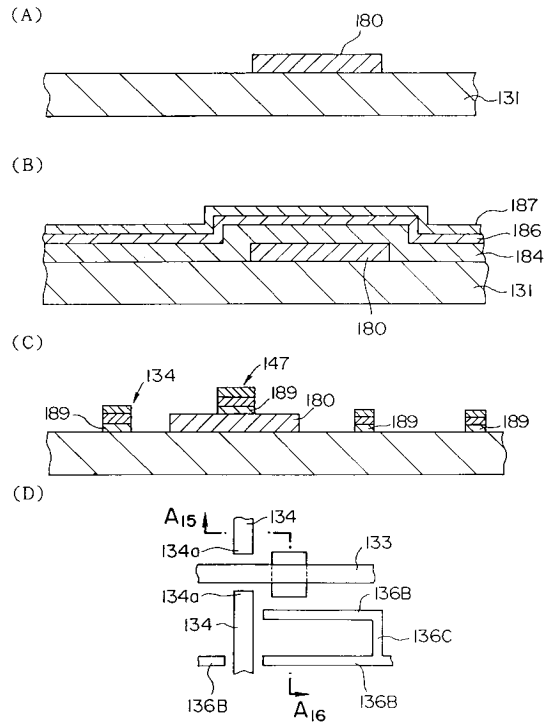
【図 8】



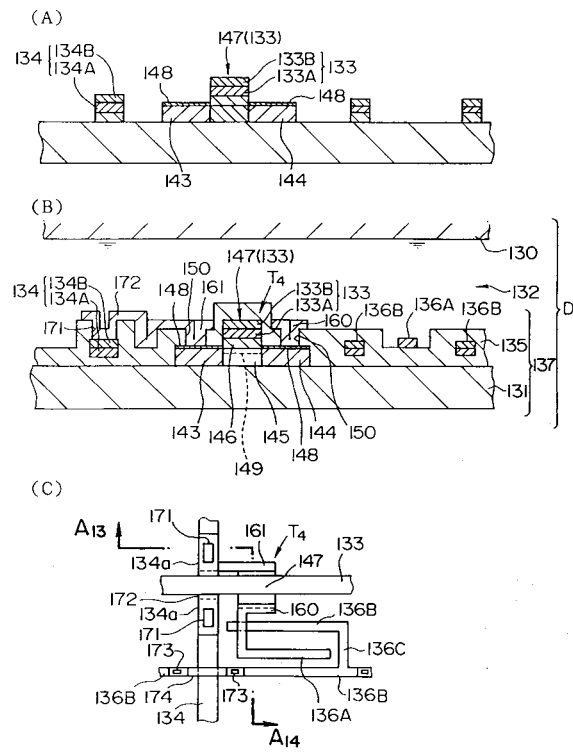
【図 9】



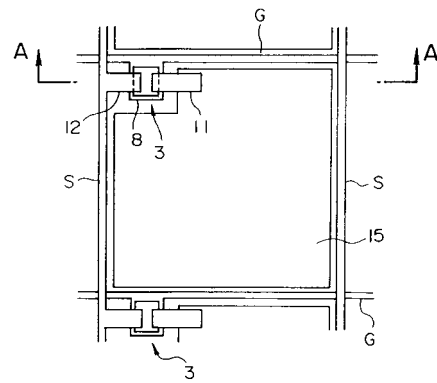
【図 10】



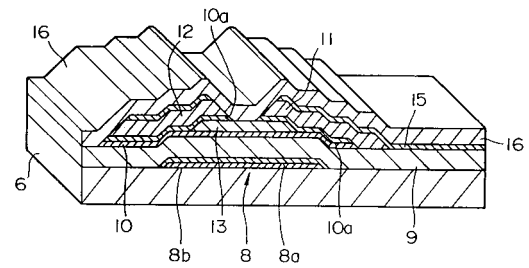
【図 1 1】



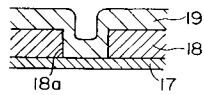
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

Fターム(参考)	2H092	GA26	GA29	JA25	JA28	JA34	JA37	JA41	JA46	JA47	JB57
		KA04	KA05	KA18	KB24	MA05	MA08	MA13	MA18	MA24	NA29
		PA01									
	5C094	AA42	AA43	BA03	BA43	DA09	DA13	DB01	FB14	GB10	
	5F110	AA16	BB01	CC02	CC07	EE03	EE04	EE14	FF03	GG02	GG15
		HJ12	HK05	HK07	HK09	HK16	HK21	HK22	HK40	HK42	HL07
		HM19	NN02	NN24	NN72						

专利名称(译)	薄膜晶体管型液晶显示器件		
公开(公告)号	JP2004348144A	公开(公告)日	2004-12-09
申请号	JP2004179009	申请日	2004-06-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	蔡基成		
发明人	蔡 基成		
IPC分类号	G02F1/1368 G09F9/30 H01L29/786		
FI分类号	G02F1/1368 G09F9/30.338 H01L29/78.612.C G02F1/1343		
F-TERM分类号	2H092/GA26 2H092/GA29 2H092/JA25 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JA47 2H092/JB57 2H092/KA04 2H092/KA05 2H092/KA18 2H092/KB24 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA18 2H092/MA24 2H092/NA29 2H092/PA01 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/DA09 5C094/DA13 5C094/DB01 5C094/FB14 5C094/GB10 5F110/AA16 5F110/BB01 5F110/CC02 5F110/CC07 5F110/EE03 5F110/EE04 5F110/EE14 5F110/FF03 5F110/GG02 5F110/GG15 5F110/HJ12 5F110/HK05 5F110/HK07 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HK40 5F110/HK42 5F110/HL07 5F110/HM19 5F110/NN02 5F110/NN24 5F110/NN72 2H092/JA26 2H092/JB32 2H092/JB33 2H092/NA27 2H192/AA24 2H192/BB02 2H192/BB63 2H192/BB72 2H192/BB73 2H192/CB02 2H192/CB05 2H192/CB61 2H192/CC04 2H192/CC32 2H192/CC44 2H192/CC73 2H192/DA12 2H192/EA22 2H192/EA43 2H192/HA47 2H192/HA65 2H192/JA33		
其他公开文献	JP3901703B2		
外部链接	Espacenet		

摘要(译)

[问题] 本发明通过以与像素部分相同的材料形成连接分开的栅极布线或源极布线的桥接部分来简化制造工艺，并且通过设置在绝缘膜中的孔形成桥接部分。因此，本发明的目的是提供一种能够良好接触的薄膜晶体管型液晶显示装置。[解决方案] 本发明通过以与像素部分相同的材料形成连接分开的栅极布线或源极布线的桥接部分来简化制造工艺，并且通过设置在绝缘膜中的孔形成桥接部分。因此，本发明的目的是提供一种能够良好接触的薄膜晶体管型液晶显示装置。[选择图]图2

