

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-309949

(P2004-309949A)

(43) 公開日 平成16年11月4日(2004.11.4)

(51) Int.Cl.⁷

G09G 3/36

G02F 1/133

G09G 3/20

F I

G09G 3/36

G02F 1/133 510

G02F 1/133 550

G09G 3/20 611J

G09G 3/20 621B

テーマコード (参考)

2H093

5C006

5C080

審査請求 未請求 請求項の数 2 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2003-106179 (P2003-106179)

(22) 出願日 平成15年4月10日 (2003.4.10)

(71) 出願人 302020207

東芝松下ディスプレイテクノロジー株式会
社

東京都港区港南4-1-8

(74) 代理人 100083806

弁理士 三好 秀和

(74) 代理人 100068342

弁理士 三好 保男

(74) 代理人 100100712

弁理士 岩▲崎▼ 幸邦

(74) 代理人 100100929

弁理士 川又 澄雄

(74) 代理人 100108707

弁理士 中村 友之

最終頁に続く

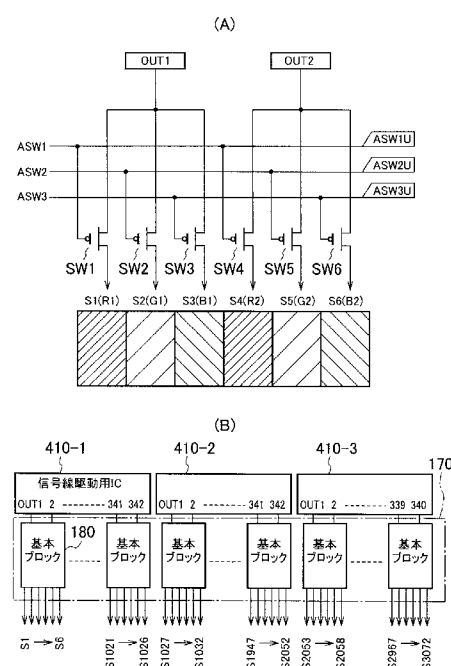
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 駆動ICの1出力を信号線駆動回路内の3個のアナログSWに接続して、1水平走査期間内に3回の書き込み時間を設けた液晶表示装置において、H/V反転駆動を行った際の表示ムラを少なくして、良好な表示品位を得る。

【解決手段】 1水平走査期間内に設けられた3回の書き込み期間のうち、3回目の書き込み期間に出力される映像信号がG画素(G1、G2…)に接続する信号線へ出力されるように、アナログスイッチSWへ供給するアナログスイッチ制御用信号ASW1U~ASW3U映像信号の出力順を定めた。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

互いに交差して配線された複数の信号線及び複数の走査線、前記両線の各交差部に配置された複数の画素トランジスタ、前記各画素トランジスタ毎に接続された複数の画素電極、前記各画素電極毎に配置された赤・緑・青の各カラーフィルタを有する液晶パネルと、前記各走査線に走査信号を供給する走査線駆動回路と、前記複数の信号線を N (N : 3 以上の整数) の信号線群に区分したときの各信号線群毎に映像信号をシリアルに出力する N 個の信号線駆動用 IC と、前記信号線駆動用 IC から出力された映像信号を 1 水平走査期間内に 3 回に分けて前記各信号線群の対応する信号線に切り替えて出力する N 個の信号線選択回路と、前記信号線選択回路で前記映像信号を所定の信号線へ切り替えて出力する際の出力順を定めた制御信号を生成する制御信号生成回路とを備えた液晶表示装置であって、前記液晶パネルは、1 つの前記画素電極が小画素を構成し、前記赤・緑・青の各カラーフィルタで着色された 3 つの小画素からなる同一色配置の大画素がマトリクス状に配置され、

前記信号線駆動用 IC は、1 水平走査期間内に、隣接する前記信号線に互いに正負が反転する映像信号を出力し、且つ 1 水平走査期間毎に同じ前記信号線に出力する映像信号の正負を切り替え、

前記制御信号生成回路は、1 水平走査期間内に設けられた 3 回の書き込み期間のうち、3 回目の書き込み期間に出力される映像信号が前記緑のカラーフィルタで着色された小画素に接続する信号線へ出力されるように前記映像信号の出力順を定めた制御信号を生成すること、

を特徴とする液晶表示装置。

【請求項 2】

前記信号線選択回路は、前記信号線駆動回路 IC からの 1 出力につき 3 個のアナログスイッチが配置され、前記各アナログスイッチのソース電極は前記信号線駆動回路 IC からの 1 出力ラインに共通に接続され、前記各アナログスイッチのゲート電極は前記制御信号の各供給ラインに接続され、前記各アナログスイッチのドレイン電極は対応する前記信号線にそれぞれ接続され、前記制御信号生成回路から出力される前記制御信号により前記各アナログスイッチのソース電極とドレイン電極との間を導通させて前記信号線駆動回路 IC の 1 出力ラインに出力された映像信号を対応する前記信号線に書き込むことを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、H/V 反転駆動を行うアクティブマトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】

近年、パーソナルコンピュータや家庭用テレビ等のディスプレイとして液晶表示装置がシェアを広げており、高解像度で大画面サイズの液晶表示装置が比較的低価格で手に入るようになってきている。中でも、マトリクス状に配置された信号線と走査線の各交点付近に画素トランジスタを配置したアクティブマトリクス型の液晶表示装置（以下、液晶表示装置）は、発色性に優れ、残像が少ないことから、今後の主流になると考えられている。

【0003】

このうち、アモルファスシリコン TFT を用いた液晶表示装置では、アレイ基板上の信号線にそれぞれ TCP (Tape Carrier Package) から映像信号を入力するための接続配線が必要であり、画素の高精細化に伴って接続配線数が多くなり、これらの接続配線間に十分なピッチを確保することが困難であった。一方、多結晶シリコンからなる画素トランジスタを用いた液晶表示装置では、アレイ基板上に走査線駆動回路のほか、信号線駆動回路を一体的に形成することで、外部接続部品を減らして低コスト化が図れ、また接続配線を減少することができるという利点を備えている。

【0004】

また、各信号線の駆動法、すなわち各信号線から各画素への映像信号の書き込み方法としては、隣接する信号線に互いに正負（極性）が反転する映像信号が書き込まれ、且つ1垂直走査期間毎に前記信号線に書き込まれる映像信号の正負を切り替えるVライン反転駆動や、1水平走査期間内に隣接する信号線に互いに正負が反転する映像信号が書き込まれ、且つ1水平走査期間毎に同じ前記信号線に書き込まれる映像信号の正負を切り替えるH/V反転駆動が一般的である。

【0005】

また、外部接続部品である駆動ICをさらに削減してコスト低減を図るために、駆動ICからの出力電圧をアレイ基板上に形成された信号線駆動回路内の3個のアナログスイッチに接続して、1水平走査期間内に3回の書き込み時間を設けるようにした表示装置がある。

10

【0006】

【特許文献1】

特開2001-109435号公報

【0007】

【発明が解決しようとする課題】

上述したような駆動ICを減らした回路構成においてH/V反転駆動を行なうと、自画素—自信号線、自画素—隣接信号線、自信号線—隣接信号線間のカップリングの影響で画素電位が変動してしまい、また変動する画素電位量が画素毎に異なるため、表示ムラが発生することがあった。

20

【0008】

従来、1水平走査期間内に3回の書き込み時間を設ける場合、画素への映像信号の書き込みの順番は、水平方向にR（赤）画素、G（緑）画素、B（青）画素の順となっている。これに対しカップリングの影響で画素電位が変動する量は、3番目に書き込まれる画素が一番小さくなるため、B画素の画素電位変動量が一番小さく、逆に表示ムラが視認され易いG画素の画素電位変動量が大きくなることから、より表示ムラが視認され易くなっていた。

【0009】

本発明の目的は、駆動ICの1出力をアレイ基板に内蔵されている信号線駆動回路内の3個のアナログスイッチに接続して、1水平走査期間内に3回の書き込み時間を設けた構成において、H/V反転駆動を行った際の表示ムラを少なくして、良好な表示品位を得ることができる液晶表示装置を提供することにある。

30

【0010】

【課題を解決するための手段】

上記目的を達成するため、請求項1に係わる発明は、互いに交差して配線された複数の信号線及び複数の走査線、前記両線の各交差部に配置された複数の画素トランジスタ、前記各画素トランジスタ毎に接続された複数の画素電極、前記各画素電極毎に配置された赤・緑・青の各カラーフィルタを有する液晶パネルと、前記各走査線に走査信号を供給する走査線駆動回路と、前記複数の信号線をN（N：3以上の整数）の信号線群に区分したときの各信号線群毎に映像信号をシリアルに出力するN個の信号線駆動用ICと、前記信号線駆動用ICから出力された映像信号を1水平走査期間内に3回に分けて前記各信号線群の対応する信号線に切り替えて出力するN個の信号線選択回路と、前記信号線選択回路で前記映像信号を所定の信号線へ切り替えて出力する際の出力順を定めた制御信号を生成する制御信号生成回路とを備えた液晶表示装置であって、前記液晶パネルは、1つの前記画素電極が小画素を構成し、前記赤・緑・青の各カラーフィルタで着色された3つの小画素からなる同一色配置の大画素がマトリクス状に配置され、前記信号線駆動用ICは、1水平走査期間内に、隣接する前記信号線に互いに正負が反転する映像信号を出力し、且つ1水平走査期間毎に同じ前記信号線に出力する映像信号の正負を切り替え、前記制御信号生成回路は、1水平走査期間内に設けられた3回の書き込み期間のうち、3回目の書き込み期

40

50

間に出力される映像信号が前記録のカラーフィルタで着色された小画素に接続する信号線へ出力されるように前記映像信号の出力順を定めた制御信号を生成することを特徴とするものである。

【0011】

請求項2の発明は、請求項1において、前記信号線選択回路は、前記信号線駆動回路ICからの1出力につき3個のアナログスイッチが配置され、前記各アナログスイッチのソース電極は前記信号線駆動回路ICからの1出力ラインに共通に接続され、前記各アナログスイッチのゲート電極は前記制御信号の各供給ラインに接続され、前記各アナログスイッチのドレイン電極は対応する前記信号線にそれぞれ接続され、前記制御信号生成回路から出力される前記制御信号により前記各アナログスイッチのソース電極とドレイン電極との間を導通させて前記信号線駆動回路ICの1出力ラインに出力された映像信号を対応する前記信号線に書き込むことを特徴とするものである。

10

【0012】

上記構成によれば、各画素への映像信号の書き込みの順番がR画素、B画素、G画素の順となるため、カップリングの影響で画素電位の変動が一番小さい3番目に、表示ムラが視認され易いG画素が書き込まれる。このように、表示ムラが視認され易いG画素の画素電位変動量が最も小さくなるため、表示ムラが視認されにくくなり、画面全体として良好な表示品位を得ることができる。

【0013】

【発明の実施の形態】

20

以下、本発明に係わる液晶表示装置の実施の形態について図面を参照しながら説明する。

【0014】

本実施の形態では、XGA（1024×RGB×768）規格の液晶パネルを想定する。ここでは、信号線駆動用ICから取り出した各1本の出力ラインを3個のアナログスイッチで分岐して、それぞれ3本の信号線に接続した構成について説明する。

【0015】

図2は、本実施の形態に係わる液晶表示装置の構成を概略的に示す回路構成図である。

【0016】

液晶表示装置1の画素アレイ部100は、アレイ基板200と、このアレイ基板200と所定間隔をもって配置された図示しない対向基板と、これら基板間に保持される液晶層300とを備えている。また、アレイ基板200と図示しない対向基板とは、その周辺に配置される図示しないシール材により貼り合わされている。

30

【0017】

アレイ基板200は、複数の走査線G1～G768（以下、総称G）と、複数の信号線S1～S3072（以下、総称S）とが互いに直交するように配線されている。そして、両線の各交差部には、画素トランジスタとしての画素TF110と、画素（ここではRGBの各サブピクセル）となる画素電極120とが設けられている。アレイ基板200上にマトリクス状に配置された複数の画素電極120は画素部210を構成している。

【0018】

各画素には、図示しないRGBのカラーフィルタが配置されている。以下の説明において、R画素とはR（赤）のカラーフィルタで着色された画素、G画素とはG（緑）のカラーフィルタで着色された画素、B画素とはB（青）のカラーフィルタで着色された画素を意味する。各色の配列は各行においてはRGBの順に繰り返し並べられ、各列においては同色の画素が並べられている。このように、画素部210において、各画素電極120は駆動単位となる小画素（サブピクセル）を構成し、RGBのカラーフィルタで着色されたR画素、G画素、B画素は、表示単位となる同一色配置の大画素（ピクセル）を構成している。

40

【0019】

また、画素電極120と相対して配置される共通電極130は、図示しない対向基板上に形成されており、液晶層300は画素電極120と共通電極130との間に図示しない配

50

向膜を介して保持されている。

【0020】

画素TF T 1 1 0は、例えば多結晶シリコン膜を半導体層とする多結晶シリコンTF Tにより構成される。画素TF T 1 1 0のゲート電極は走査線Gに接続され、ソース電極は信号線Sに接続されている。また、ドレイン電極は画素電極1 2 0及び補助容量素子1 4 0にそれぞれ接続されている。画素TF T 1 1 0は、走査線Gに供給される走査信号によりオンし、ソース／ドレイン電極間が導通することにより、信号線Sに書き込まれた映像信号がソース電極からドレイン電極を通じて画素電極1 2 0へ印加される。

【0021】

走査線駆動回路1 5 0は、走査線G 1～G 7 6 8に走査信号を供給する回路であり、画素TF T 1 1 0と同一の製造プロセスによってアレイ基板2 0 0上に一体的に形成されている。走査線駆動回路1 5 0は画素部2 1 0の左辺、右辺に配置されている。

【0022】

信号線駆動回路部1 6 0は、信号線S 1～S 3 0 7 2に対し正負の極性を定めて映像信号を供給する回路であり、各信号線に対応する映像信号を、信号線S 1～S 3 0 7 2を3つの信号線群に区分したときの各信号線群毎に分けてシリアルに出力する信号線駆動用IC (TAB-IC) 4 1 0-1、4 1 0-2、4 1 0-3 (以下、総称4 1 0-N)と、信号線駆動用IC 4 1 0から出力された映像信号を1水平走査期間内に3回に分けて各信号線群の所定の信号線へ切り替えて出力する信号線選択回路1 7 0とで構成されている。

【0023】

信号線駆動回路部1 6 0のTCP 4 0 0-1～3 (以下、総称4 0 0-N)は、長手方向の一辺がアレイ基板2 0 0側に接続され、他辺が外部駆動回路5 0 0側に接続されている。このTCP 4 0 0-Nに実装されている信号線駆動用IC 4 1 0-Nは、図示しないD/Aコンバータを備えており、後述の制御IC 6 0 0から入力されるデジタル映像信号をアナログ映像信号に変換して信号線選択回路1 7 0に出力する。

【0024】

信号線駆動用IC 4 1 0-Nは、3 4 2本の出力端子(OUT)を備えている。すなわち、信号線駆動用IC 4 1 0-1は、3 4 2本の出力端子がそれぞれ3本の信号線に後述するアナログスイッチを介して接続されており、信号線S 1～S 1 0 2 6に映像信号R 1～B 3 4 2を供給している。同様に信号線駆動用IC 4 1 0-2は信号線S 1 0 2 7～S 2 0 5 2に映像信号R 3 4 3～B 6 8 4を、信号線駆動用IC 4 1 0-3は信号線S 2 0 5 3～S 3 0 7 2に映像信号R 6 8 5～B 1 0 2 4をそれぞれ供給している。ただし、信号線駆動用IC 4 1 0-3では出力端子を3 4 0本使用し、残りの2つを余り端子としている。

【0025】

本実施の形態では、信号線S 1～S 3 0 7 2を選択順に3つの信号線群に区分して、信号線S 1、S 4、S 7、…S 3 0 7 0、信号線S 2、S 5、S 8、…S 3 0 7 1、及び信号線S 3、S 6、S 9、…S 3 0 7 2としている。

【0026】

上記区分は1水平走査期間内に同時に選択される信号線の区分けであり、図2では、3つの信号線群に区分された信号線S 1～S 3 0 7 2がそれぞれの信号線駆動用ICに接続されている様子を示している。駆動時には、1水平走査期間内に設定された3回の書き込み期間において、例えば信号線S 1、S 4、S 7、…、信号線S 2、S 5、S 8、…、信号線S 3、S 6、S 9、…という順番で各信号線毎に映像信号が書き込まれる。このとき信号線駆動用IC 4 1 0-Nでは、H/V反転駆動のため、1水平走査期間内に隣接する信号線に互いに正負が反転する映像信号が書き込まれるように映像信号の極性を定め、且つ同じ信号線に書き込まれる映像信号の正負を1水平走査期間毎に切り替えている。

【0027】

信号線駆動用IC 4 1 0はフレキシブル配線基板上に実装され、かつ外部駆動回路5 0 0及びアレイ基板2 0 0とそれぞれ電氣的に接続されている。また、信号線選択回路1 7 0

はアレイ基板 200 上に配置されている。

【0028】

外部駆動回路 500 には、信号線選択回路 170 で映像信号を対応する信号線へ切り替えて出力する際の順序を制御するアナログスイッチ制御用信号などを生成する制御回路としての制御 IC 600、及び図示しない電源回路などが実装されている。

【0029】

制御 IC 600 は、外部から入力されるデジタル映像信号を各信号線への出力順に従って並び替えて出力するほか、これと同期して入力される基準クロック信号に基づいて各種制御信号を生成する。すなわち、制御 IC 600 は、走査線駆動回路 150 にはスタートパルス、クロック信号を供給し、信号線駆動用 IC 410-1~3 には並び替えたデジタル映像信号、レジスタ制御信号、クロック信号、ロード信号等を供給する。また、信号線選択回路 170 にはアナログスイッチ制御用信号 ASW1U、ASW2U、ASW3U を供給する。また、制御 IC 600 は、1 水平走査期間内に設けられた 3 回の書き込み期間のうち、3 回目の書き込み期間に出力される映像信号が G 画素に接続する信号線 S へ出力されるようにアナログスイッチ制御用信号 ASW1U、ASW2U、ASW3U の出力順を制御している。

10

【0030】

図 1 は、信号線駆動回路部 160 の概略的な構成を示す回路構成図である。このうち、図 1 (A) は信号線選択回路 170 を構成する基本ブロックの回路構成図である。ここでは、(B) の左端に配置された基本ブロックを代表して示している。また、図 1 (B) は信号線駆動用 IC 410-N と信号線選択回路 170 の構成を示す回路構成図である。

20

【0031】

図 1 (B) に示すように、信号線選択回路 170 は複数の基本ブロック 180 により構成されており、各信号線駆動用 IC 410-N にはそれぞれ 171 個の基本ブロック 180 が接続されている (信号線駆動用 IC 410-3 では 170 個)。また、各信号線駆動用 IC 410-N からは 1 つの基本ブロック 180 に対し 2 つの出力端子 OUT が接続されている。

【0032】

1 つの基本ブロック 180 は、図 1 (A) に示すように、PchTFT で構成されたアナログスイッチ SW1、SW2、…SW6 (以下、総称 SW) を備えている。このうち、アナログスイッチ SW1、SW2、SW3 のソース電極は信号線駆動用 IC 410-1 の出力端子 (出力ライン) OUT1 に共通に接続され、アナログスイッチ SW4、SW5、SW6 のソース電極は信号線駆動用 IC 410-1 の出力端子 OUT2 に共通に接続されている。また、アナログスイッチ SW1、SW2、SW3 のドレイン電極は信号線 S1、S2、S3 に接続され、アナログスイッチ SW4、SW5、SW6 のドレイン電極は信号線 S4、S5、S6 に接続されている。したがって、1 つの基本ブロック 180 で 6 本の信号線が時分割で駆動されることになる。一方、アナログスイッチ SW1、SW4 のゲート電極はアナログスイッチ制御用信号ライン (供給ライン) ASW1 に共通に接続され、アナログスイッチ SW2、SW5 のゲート電極はアナログスイッチ制御用信号ライン ASW2 に共通に接続され、アナログスイッチ SW3、SW6 のゲート電極はアナログスイッチ制御用信号ライン ASW3 に共通に接続されている。

30

40

【0033】

アナログスイッチ SW は PchTFT で構成されているため、アナログスイッチ制御用信号 ASW1U が Low 電位となった時は、アナログスイッチ SW1、SW4、SW7、…SW3070 がオンして、信号線 S1、S4、S7、…S3070 に映像信号が書き込まれ、アナログスイッチ制御用信号 ASW2U が Low 電位となった時は、アナログスイッチ SW2、SW5、SW8、…SW3071 がオンして、信号線 S2、S5、S8、…S3071 に映像信号が書き込まれ、さらに、アナログスイッチ制御用信号 ASW3U が Low 電位となった時は、アナログスイッチ SW3、SW6、SW9、…SW3072 がオンして、信号線 S3、S6、S9、…S3072 に映像信号が書き込まれる。

50

【0034】

また、信号線 S 1、S 4、S 7、… S 3 0 7 0 は、R（赤）の映像信号が書き込まれる列 R 1、R 2、…に接続され、信号線 S 2、S 5、S 8、… S 3 0 7 1 は、G（緑）の映像信号が書き込まれる列 G 1、G 2、…に接続され、信号線 S 3、S 6、S 9、… S 3 0 7 2 は、B（青）の映像信号が書き込まれる列 B 1、B 2、…にそれぞれ接続されている。したがって、信号線 S 1、S 4、S 7、… S 3 0 7 0 からは、各行の R 画素に対応する映像信号が書き込まれ、信号線 S 2、S 5、S 8、… S 3 0 7 1 からは、各行の G 画素に対応する映像信号が書き込まれ、信号線 S 3、S 6、S 9、… S 3 0 7 2 からは、各行の B 画素に対応する映像信号がそれぞれ書き込まれることになる。

【0035】

10

次に、上記のように構成された液晶表示装置 1 において、各信号線 S へ映像信号を書き込む際の動作について説明する。

【0036】

図 3 は、制御 IC 6 0 0 から出力されるアナログスイッチ制御用信号 A S W 1 U、A S W 2 U、A S W 3 U のタイミングチャートである。

【0037】

図に示すように、1 水平走査期間（1 H）内に 3 回の書き込み期間が設けられ、各行毎に R・G・B に対応する映像信号が順に書き込まれる。図 1 において、3 n - 2 行目、3 n - 1 行目、3 n 行目は連続する 3 つの行を示している。本実施の形態において、各行に与えられるアナログスイッチ制御用信号は、A S W 3 U、A S W 1 U、A S W 2 U の順に L 20
o w 電位となるように制御されている。このため、1 水平走査期間内の 1 回目の書き込みでは B 画素、2 回目の書き込みでは R 画素、3 回目の書き込みでは G 画素にそれぞれ映像信号が書き込まれる。他の基本ブロック 1 8 0 についても同様に、アナログスイッチ制御用信号 A S W 3 U → A S W 1 U → A S W 2 U の順に映像信号の書き込みが行われる。

【0038】

ここで、H/V 反転駆動について図 4 を参照しながら簡単に説明する。図 1 は、6 行 6 列に区切られた画素のフレーム毎の極性を示している。また、図 4 に示す 6 行 6 列の画素は、図 1（A）に示す 1 つの基本ブロックにより書き込みがなされるものとする。

【0039】

n フレームにおいて、出力端子 O U T 1 から R・G・B 列に供給される映像信号の極性は 30
、隣接する信号線において互いに正負が反転するように駆動され、出力端子 O U T 2 から R・G・B 列に供給される映像信号の極性は、出力端子 O U T 1 の場合と正負が反転するように駆動される。また n + 1 フレームにおいて、R・G・B 列に供給される映像信号の極性は n フレームの逆極性となり、同じく 1 水平走査期間毎に同じ信号線に書き込まれる映像信号の正負が切り替えられる。各フレームにおける映像信号の書き込み順は、各行において R 画素、B 画素、G 画素の順となる。

【0040】

上述のような H/V 反転駆動を行うと、自画素—自信号線、自画素—隣接信号線、自信号線—隣接信号線間のカップリングの影響で画素電位の変動が生じることになるが、本実施の形態では、各画素への映像信号の書き込みの順番が水平方向に R 画素、B 画素、G 画素 40
の順であるため、カップリングの影響で画素電位の変動が一番小さい 3 番目に書き込まれる画素は、表示ムラが視認され易い G 画素となる。このように、表示ムラが視認され易い G 画素の画素電位変動量が最も小さくなるため、表示ムラが視認されにくくなり、画面全体として良好な表示品位を得ることができる。

【0041】

上記実施の形態では、各画素への映像信号の書き込みの順番を水平方向に R 画素、B 画素、G 画素の順としたが、3 番目に G 画素となるような順番であれば、R 画素、B 画素の順番は入れ替わっても良い。

【0042】

【発明の効果】

50

以上説明したように、本発明に係わる液晶表示装置によれば、表示ムラが視認され易いG画素の画素電位変動量を小さくすることができるため、駆動ICの1出力をアレイに内蔵されている信号線駆動回路内の3個のアナログスイッチに接続して、1水平走査期間内に3回の書き込み時間を設けるような構成においても、表示ムラの影響を少なくして、良好な表示品位を得ることができる。

【図面の簡単な説明】

【図1】信号線駆動回路部の概略的な構成を示す回路構成図。(A)は信号線選択回路を構成する基本ブロックの回路構成図。(B)は信号線駆動用ICと信号線選択回路の構成を示す回路構成図。

【図2】実施の形態に係わる液晶表示装置の構成を概略的に示す回路構成図。

10

【図3】制御ICから出力されるアナログスイッチ制御用信号ASW1U、ASW2U、ASW3Uのタイミングチャート。

【図4】6行6列に区切られた画素のフレーム毎の極性を示す説明図。

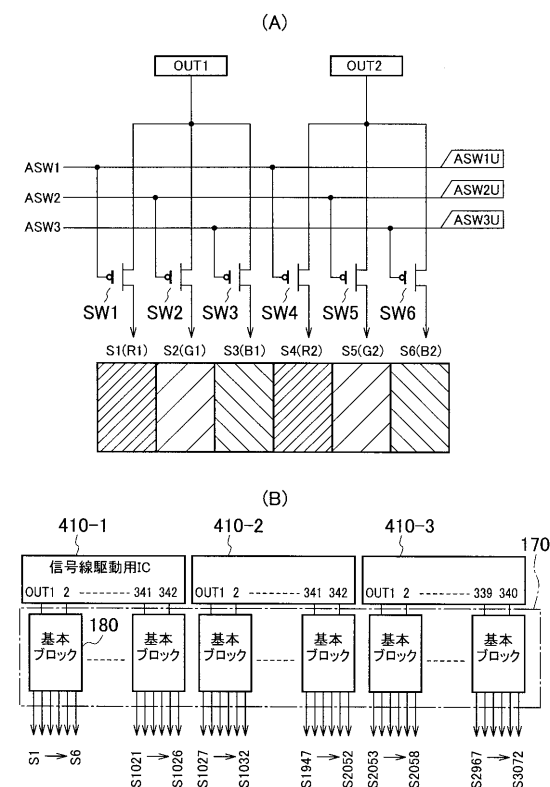
【符号の説明】

- 1 … 液晶表示装置
- 100 … 画素アレイ部
- 110 … TFT
- 120 … 画素電極
- 130 … 共通電極
- 140 … 補助容量素子
- 150 … 走査線駆動回路
- 160 … 信号線駆動回路部
- 170 … 信号線選択回路
- 180 … 基本ブロック
- 200 … アレイ基板
- 210 … 画素部
- 300 … 液晶層
- 400 … TCF
- 410 … 信号線駆動用IC
- 500 … 外部駆動回路
- 600 … 制御IC

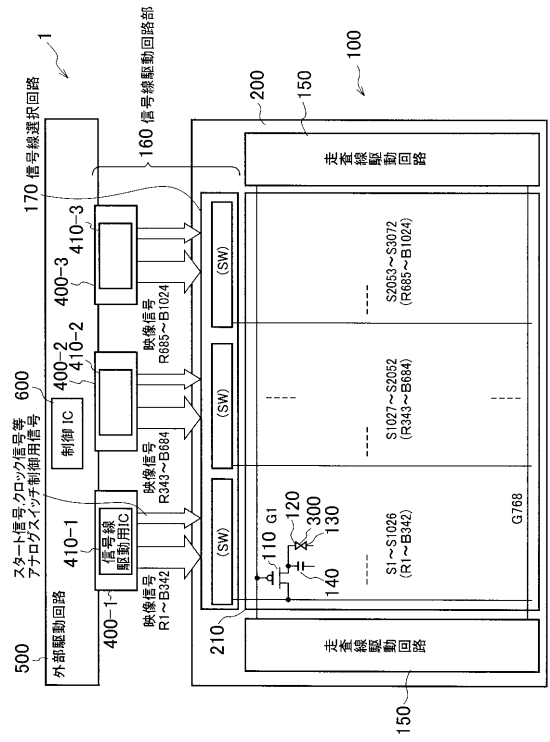
20

30

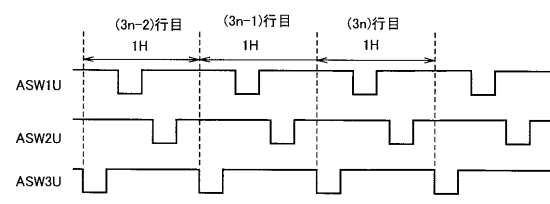
【図 1】



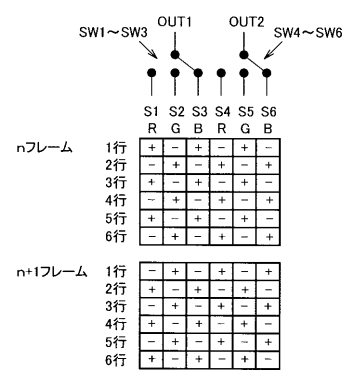
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 2 3 R
	G 0 9 G 3/20	6 2 3 X
	G 0 9 G 3/20	6 3 3 B
	G 0 9 G 3/20	6 4 2 B
	G 0 9 G 3/20	6 4 2 K
	G 0 9 G 3/20	6 8 0 G

(74)代理人 100095500
弁理士 伊藤 正和

(74)代理人 100101247
弁理士 高橋 俊一

(74)代理人 100098327
弁理士 高松 俊雄

(72)発明者 佐藤 清一
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 宮武 正樹
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H093 NA61 NC24 NC34 NC35 NC50 ND09 ND17
5C006 AA16 AA22 AC11 AC27 AC28 AF22 AF25 AF43 AF50 AF51
AF72 AF82 BB16 BC02 BC13 BC20 BC23 BF24 BF27 BF34
EB05 FA15 FA16 FA22 FA25 FA26 FA37 FA42 FA52 FA56
5C080 AA10 BB06 CC03 DD05 DD10 DD23 DD25 DD27 EE29 EE30
FF11 FF13 JJ01 JJ02 JJ03 JJ04 KK04 KK43

专利名称(译)	液晶表示装置		
公开(公告)号	JP2004309949A	公开(公告)日	2004-11-04
申请号	JP2003106179	申请日	2003-04-10
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	佐藤清一 宫武正樹		
发明人	佐藤 清一 宫武 正樹		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.510 G02F1/133.550 G09G3/20.611.J G09G3/20.621.B G09G3/20.621.M G09G3/20.623.D G09G3/20.623.R G09G3/20.623.X G09G3/20.633.B G09G3/20.642.B G09G3/20.642.K G09G3/20.680.G		
F-TERM分类号	2H093/NA61 2H093/NC24 2H093/NC34 2H093/NC35 2H093/NC50 2H093/ND09 2H093/ND17 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC27 5C006/AC28 5C006/AF22 5C006/AF25 5C006/AF43 5C006/AF50 5C006/AF51 5C006/AF72 5C006/AF82 5C006/BB16 5C006/BC02 5C006/BC13 5C006/BC20 5C006/BC23 5C006/BF24 5C006/BF27 5C006/BF34 5C006/EB05 5C006/FA15 5C006/FA16 5C006/FA22 5C006/FA25 5C006/FA26 5C006/FA37 5C006/FA42 5C006/FA52 5C006/FA56 5C080/AA10 5C080/BB06 5C080/CC03 5C080/DD05 5C080/DD10 5C080/DD23 5C080/DD25 5C080/DD27 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF13 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK04 5C080/KK43 2H193/ZA04 2H193/ZC13 2H193/ZD32 2H193/ZF24		
代理人(译)	三好秀 三好康夫 中村智之 伊藤雅一 高桥俊 高松俊夫		
其他公开文献	JP4363881B2		
外部链接	Espacenet		

摘要(译)

解决的问题：在液晶显示装置中进行H/V反转驱动，在该液晶显示装置中，驱动IC的一个输出连接到信号线驱动电路中的三个模拟SW，并且在一个水平扫描周期中设置三个写入时间。通过减少在执行时的显示不均匀而获得良好的显示质量。在一个水平扫描时段中提供的三个写入时段的第三写入时段中输出的视频信号被输出到连接到G像素（G1，G2...）的信号线。因此，确定提供给模拟开关SW的模拟开关控制信号ASW1U至ASW3U视频信号的输出顺序。[选型图]图1

