

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-297082

(P2004-297082A)

(43) 公開日 平成16年10月21日(2004.10.21)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/336	HO 1 L 29/78 6 2 7 C	2 H O 9 2
GO 2 F 1/1368	GO 2 F 1/1368	4 M 1 O 4
HO 1 L 21/28	HO 1 L 21/28 E	5 F 1 1 O
HO 1 L 29/417	HO 1 L 21/28 L	
HO 1 L 29/423	HO 1 L 29/50 M	
審査請求 有 請求項の数 6 O L (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2004-165853 (P2004-165853)	(71) 出願人	000002369 セイコーエプソン株式会社
(22) 出願日	平成16年6月3日 (2004.6.3)		東京都新宿区西新宿2丁目4番1号
(62) 分割の表示	特願平9-303203の分割	(74) 代理人	100095728 弁理士 上柳 雅普
原出願日	平成9年11月5日 (1997.11.5)	(74) 代理人	100107076 弁理士 藤綱 英吉
		(74) 代理人	100107261 弁理士 須澤 修
		(72) 発明者	米山 良一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	三浦 栄一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		最終頁に続く	

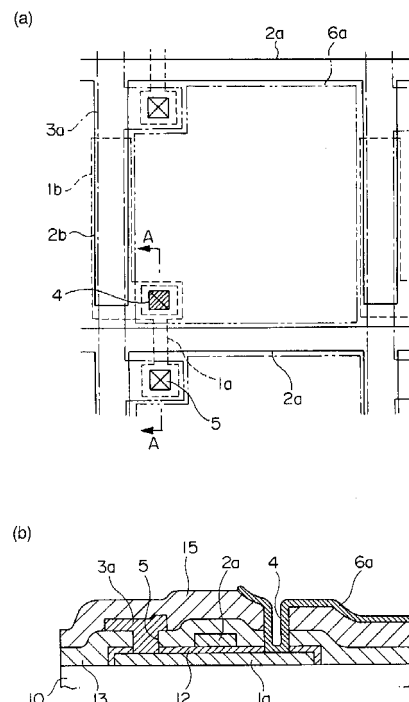
(54) 【発明の名称】 半導体装置の製造方法、半導体装置並びに液晶パネルおよび電子機器。

(57) 【要約】

【課題】 CVD等により堆積したポリシリコン層を精度良くエッチングする。

【解決手段】 ポリシリコン層を堆積する前に、基板10の表面とその上に形成されたゲート絶縁膜12の表面とをライトエッチングする。これによりダメージを受けた部分や汚れ等が除去されるので、基板10あるいはゲート絶縁膜12およびポリシリコン層2の密着性が向上し、そこにエッチング液等の侵入が防止される結果、アンダーカット量が減少し、エッチング精度が向上する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の絶縁層を形成する工程と、薄膜トランジスタのソース電極なるデータ線を形成する工程と、前記第 1 の絶縁層の露出した表面と前記データ線をフッ酸とフッ化アンモニウムと酢酸の混合液を用いてライトエッチングする工程と、前記第 1 の絶縁層上と前記データ線上に重ねて第 2 の絶縁層を形成する工程と、前記第 1 の絶縁層および前記第 2 の絶縁層を開孔する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 2】

第 1 の絶縁層を形成する工程と、前記第 1 の絶縁層の表面をフッ酸とフッ化アンモニウムと酢酸の混合液を用いてライトエッチングする工程と、前記第 1 の絶縁層に重ねて第 2 の絶縁層を形成する工程と、前記第 1 の絶縁層および前記第 2 の絶縁層をドライエッチングと前記ドライエッチング後のウェットエッチングにより開孔する工程と、を備えることを特徴とする半導体装置の製造方法。 10

【請求項 3】

表面がフッ酸とフッ化アンモニウムと酢酸の混合液を用いてライトエッチングされた、第 1 の絶縁層及び前記第 1 の絶縁層上に形成された T F T のソース電極なるデータ線と、前記第 1 の絶縁層と前記データ線の上に重ねて形成された第 2 の絶縁層と、前記第 1 の絶縁層および前記第 2 の絶縁層に形成された開孔とを有することを特徴とする半導体装置。

【請求項 4】

表面がフッ酸とフッ化アンモニウムと酢酸の混合液を用いてライトエッチングされた第 1 の絶縁層と、前記第 1 の絶縁層に重ねて形成された第 2 の絶縁層と、前記第 1 の絶縁層および前記第 2 の絶縁層にドライエッチングと前記ドライエッチング後のウェットエッチングにより形成された開孔とを有することを特徴とする半導体装置。 20

【請求項 5】

請求項 3 又は 4 に記載の半導体装置を有する液晶パネル用基板と、対向電極を有する対向基板とが適当な間隔をおいて配置されるとともに、前記液晶パネル用基板と前記対向基板との間隙内に液晶が封入されていることを特徴とする液晶パネル。

【請求項 6】

請求項 3 又は 4 に記載の半導体装置を有する液晶パネル用基板と、対向電極を有する対向基板とが適当な間隔をおいて配置されるとともに、前記液晶パネル用基板と前記対向基板との間隙内に液晶が封入されている液晶パネルを用いたことを特徴とする電子機器。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、ガラス基板上に形成される薄膜トランジスタ（以下、T F T という）のような半導体装置の製造方法に関し、特に、堆積させた層のエッチング精度を向上させる技術に関する。さらに、この半導体装置並びにこれを用いた液晶パネル用基板および液晶パネルに関する。

【背景技術】

【0002】

従来の半導体装置の製造方法、例えば、T F T の製造方法において、ゲート電極 2 a は、次のようにして形成される。すなわち、図 1 1 において、第 1 に、基板 1 0 上にポリシリコンやアモルファスシリコンなどを堆積した後、パターニングして、ソース・ドレイン・チャンネルとなる能動層 1 a を形成し、第 2 に、この能動層 1 a の表面を熱酸化等して、ゲート絶縁膜 1 2 を形成し、第 3 に、この後、導電層を堆積した後、パターニングすることによって、ゲート電極 2 a が形成される。 40

【0003】

また、半導体装置、例えば、T F T においては各電極の接続を確保するため、コンタクトホールを設ける必要があるが、このコンタクトホールは、従来、次のようにして形成される。すなわち、図 1 2 において、第 1 に、基板 1 0 全体に堆積された第 1 の層間絶縁膜 50

1 3をソース領域に対応する位置で貫通させ、ソース電極の接続を確保するためのコンタクトホール5を形成し、そこに、導電層たるデータ線3 aを形成し、第2に、全体に第2の層間絶縁膜1 5を堆積した後、第2の層間絶縁膜1 5および第1の層間絶縁膜1 3の間をドレイン領域に対応する位置で貫通させることにより、ドレイン領域の接続を確保するためのコンタクトホール4が形成される。

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上述した方法に形成されるゲート電極2 aは、図1 1に示すように、オーバーエッチング傾向にあり、したがって、所望の形状に一定化できないという問題があった。 10

また、上述した方法に形成されるコンタクトホール4は、図1 2に示すように、第1の層間絶縁膜1 3および第2の層間絶縁膜1 5層の間においてオーバーハング的にエッチングされ、したがって、ゲート電極2 aと同様に、所望の形状に一定化できないという問題があった。

【0005】

本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、堆積させた層のエッチング精度を向上させて、上述したゲート電極やコンタクトホールを所望の形状にすることが可能な半導体装置の製造方法、半導体装置、この素子を用いた液晶パネル用基板、および、この基板を用いた液晶パネルを提供することにある。 20

【課題を解決するための手段】

【0006】

上記課題を解決するため本発明にあっては、第1の層の上に第2の層を形成した後に、さらに第3の層を堆積してエッチングする工程を少なくとも有する半導体装置の製造方法において、前記第3の層を堆積する前に、前記第1あるいは第2の層の少なくとも一方の表面をエッチングする工程を備えることを特徴としている。

通常、層の堆積には、CVDやスパッタ法などが用いられるため、第1あるいは第2の層の表面には、少なからずダメージが発生したり、フォトレジストなどの汚れなどが付着する可能性がある。このような状態にある第1あるいは第2の層の上にさらに第3の層を堆積しても、表面に受けたダメージや汚れ等のため、密着性が低下すると考えられる。しかしながら、本発明によれば、第1あるいは第2の層の表面は、第3の層の堆積前にエッチングされるので、ダメージを受けた部分が除去され、また、表面に付着した汚れなども除去されるため、第1あるいは第2の層および第3の層の密着性が向上する。 30

本発明の液晶パネルの製造方法は、基板上に形成された複数のデータ線と、前記複数のデータ線に交差する複数の走査線と、前記複数のデータ線と走査線に接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタに接続された複数の画素電極とを有する液晶パネルの製造方法において、前記基板上に前記薄膜トランジスタの能動層となるシリコン層を堆積してパターニングする工程と、前記シリコン層を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜をライトエッチングする工程と、前記ライトエッチングされたゲート絶縁膜上にゲート電極を形成する工程とを有することを特徴とする。 40

本発明の液晶パネルの製造方法は、基板上に形成された複数のデータ線と、前記複数のデータ線に交差する複数の走査線と、前記複数のデータ線と走査線に接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタに接続された複数の画素電極とを有する液晶パネルの製造方法において、前記基板上に前記複数の薄膜トランジスタの能動層となるシリコン層を堆積してパターニングする工程と、前記シリコン層を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記シリコン層、前記ゲート絶縁膜及びゲート電極上に第1層間絶縁膜を形成する工程と、前記第1層間絶縁膜にコンタクトホールを形成し、前記コンタクトホールを介して前記シリコン層に接続されるソース電極を形成する工程と、前記ソース電極及び前記第1層間絶縁膜をライトエッチングする工程と、前記ライトエッチングされた第1層間絶縁膜及び前記ソース 50

電極上に第2層間絶縁膜を形成する工程と、前記第1層間絶縁膜及び前記第2層間絶縁膜上にコンタクトホールを形成する工程と、前記コンタクトホールを介して前記シリコン層に接続される画素電極を形成する工程とを有することを特徴とする。

上述のようにライトエッチング工程を有することにより、表面に受けたダメージや汚れ等の問題がなく、密着性のよい膜を形成することが可能となる。

【発明を実施するための最良の形態】

【0007】

以下、本発明の実施の形態について図面を参照して説明する。

【0008】

<実施形態>

本実施形態は、半導体装置として、アクティブマトリックス型液晶表示装置の各画素を駆動するポリシリコン型TFTとしたものであり、図1(a)は、そのTFTを適用した液晶パネル基板における1画素分のレイアウトを示す平面図である。また、図1(b)は、そのTFTの構造を図1(a)におけるA-A線に沿って示す断面図である。

【0009】

まず、図1(a)において、1aは1層目のポリシリコン層であり、TFTの能動層(ソース・ドレイン・チャネル領域)を構成する。2aは走査線であり、TFTにあってはゲート電極となる。3aはデータ線であり、走査線2aと交差するように配設されたTFTのソース領域に印加すべき電圧を供給する。ここで、走査線2aは二層目のポリシリコン層によって、また、データ線3aはアルミニウム層のような導電層によってそれぞれ形成されている。

さらに、コンタクトホール4は、ITO(Indium-Tin Oxide)膜からなる画素電極6aとポリシリコン層1におけるTFTのドレイン領域(もしくはソース領域)とを接続するために設けられ、また、コンタクトホール5は、データ線3aとポリシリコン層1aにおけるTFTのソース領域とを接続するために設けられる。

【0010】

次に、図1(b)において、基板10は、ガラス基板(例えば、無アルカリ基板)や、石英基板などのような絶縁性基板により構成される。ゲート絶縁膜12は、TFTの能動層となるポリシリコン層1を熱酸化処理等することによってその表面に形成されたものである。また、第1の層間絶縁膜13および第2の層間絶縁膜15は、それぞれ、SiO₂膜(NSG膜)やBP SG膜(ボロンおよびリンを含むシリケートガラス膜)等からなり、後述するようにCVDにより形成される。

【0011】

このような構成にかかるTFTの製造工程について、図2～図5を参照しながら説明する。

まず、(1)の工程において、基板10の上面にポリシリコン層1を、例えば減圧CVD法等によって500～2000オングストロームの厚さで、好ましくは1000オングストローム弱の厚さに堆積する。

(2)の工程において、フォトリソグラフィ工程およびエッチング工程等によって、ポリシリコン層1をパターニングして、TFTにおける島状の能動層1aを形成する。

(3)の工程において、能動層1aの表面を熱酸化処理して、ゲート絶縁膜12を能動層1aの表面に形成する。この工程により、能動層1aは最終的に300～1500オングストロームの厚さ、好ましくは350～450オングストロームの厚さとなり、ゲート絶縁膜12は約600～1500オングストロームの厚さとなる。

ここで、能動層1aを構成するポリシリコン層のうちのデータ線3aに沿って上方へ延在して保持容量を形成する延設部1b(図1(a)参照)に、不純物(例えばリン)を適当なドーズ量(例えば、 3×10^{14} [atms/cm²])でドーピングして、その部分のポリシリコン層を低抵抗化させる。このドーズ量の下限は、ポリシリコン層の保持容量を形成するために必要な導電性を確保する観点から求められ、また、その上限は、ゲート酸化膜の劣化を抑える観点から求められる。

10

20

30

40

50

【0012】

次に、工程（４）においては、半導体装置の能動層１ａの表面にゲート絶縁膜１２が形成された状態の基板１０と当該ゲート絶縁膜１２との表面をごくわずかにエッチング（以下、ライトエッチングと略す）する。ここで、工程（４）におけるライトエッチングは、例えば、フッ酸と純水との混合液を用いるのが有効である。また、そのエッチング量は、濃度をフッ酸：純水＝１：５０とし、かつ、処理時間を１０[秒]とした場合において約１３オングストロームであり、また、濃度をフッ酸：純水＝１：１０とし、かつ、処理時間を５[秒]とした場合において約３２オングストロームとなる。

このようなライトエッチングにより、工程（１）によってダメージを受けた基板１０の表面部分が除去されて、基板１０が本来的に有する性質を引き出すことが可能となる。さらに、このライトエッチングによって、基板１０およびゲート絶縁膜１２の表面に付着した不純物や残渣物なども除去される。 10

そして、（５）の工程において、ＴＦＴにおけるゲート絶縁膜１２および基板１０の上に、ゲート電極および走査線となるべき低抵抗のポリシリコン層２を減圧ＣＶＤ法等により堆積する。ここで、ゲート電極の材料としては、ポリシリコンの他、Ｍｏ，Ｔａ，Ｔｉ，Ｗ等の高融点金属、あるいは、これらのメタルシリサイドを用いることができる。

【0013】

次に説明を図３に移すと、（６）の工程において、ポリシリコン層２を、ケミカル・ドライエッチングによりパターニングして、ＴＦＴの走査線を含むゲート電極２ａを形成する。このケミカル・ドライエッチングの条件を、 O_2 ：１００[sccm]、 CF_4 ：３００[sccm]、電力：７００[W]、時間：５０～９０[秒]とした場合において、上記（４）の工程におけるライトエッチングを省略すると、パターニングしたゲート電極２ａのアンダーカット量が $2.5 \pm 1.0 [\mu m]$ となるのに対し、ライトエッチングを実行すれば、アンダーカット量が $2.0 \pm 0.5 [\mu m]$ に収まる。 20

この理由としては、上記工程（４）のライトエッチングによって、基板１０あるいはゲート絶縁膜１２と、工程（５）において堆積したポリシリコン層２との密着性が向上するため、層間に反応性ガスが侵入しにくくなるため、と考えられる。

したがって、本実施形態においては、基板１０およびゲート絶縁膜１２の表面に付着した不純物や残渣物などの除去のほか、さらに、ゲート電極２ａのエッチング精度も向上することとなる。 30

【0014】

さて、（７）の工程においては、ゲート電極２ａをマスクとして不純物（例えばリン）のイオンを打込み、ＴＦＴの能動層１ａにおいて自己整合されたソース領域およびドレイン領域となる高濃度半導体領域を形成する。なお、ソース・ドレイン領域は、不純物（リン）を $1 \times 10^{13} \sim 3 \times 10^{13} [\text{atms}/\text{cm}^2]$ のドーズ量にてライトドーピングして低濃度領域を形成した後に、ゲート電極の幅よりも広いマスク層を走査線２ａ上に形成して、さらに不純物（リン）を $1 \times 10^{15} \sim 3 \times 10^{15} [\text{atms}/\text{cm}^2]$ のドーズ量で打ち込むことによって、マスクされた領域がライトリー・ドーフト・ドレイン（ＬＤＤ）構造となるようにしても良い。あるいは、ライトリー・ドーピングせずにゲート電極２ａの幅よりも広いマスクを使用してパターンを形成し、続いてイオンを打ち込んでソース・ドレインを形成した後にゲート電極をオーバーエッチングすることにより、オフセット構造となるようにしてもよい。 40

【0015】

さて、（８）の工程では、ゲート電極２ａを覆うように第１の層間絶縁膜１３を、例えば、ＣＶＤ法等によって８００度の温度下で５０００～１５０００オングストロームの厚さに堆積する。

（９）の工程では、この第１の層間絶縁膜１３に対し、ＴＦＴのソース領域に対応した位置にドライエッチング等によりコンタクトホール５を開孔させる。

ここで、コンタクトホール５は、ゲート絶縁膜１２および第１の層間絶縁膜１３の重ね膜を貫通して形成される。

【0016】

次に、説明を図4に移すと、(10)の工程では、ソース電極を兼ねるデータ線となるべきアルミニウム等の低抵抗導電層3をスパッタ法により堆積する。この低抵抗導電層3は、TFTのコンタクトホール5にて能動層1aのソース領域に接続される。

(11)の工程では、低抵抗導電層3をフォトリソエッチングによりパターニングして、TFTのソース電極を兼ねるデータ線3aを形成する。

【0017】

次に、工程(12)においては、半導体装置のソース電極たるデータ線3aと露出した第1の層間絶縁膜13との表面をライトエッチングする。ここで、工程(12)のライトエッチングは、例えば、フッ酸とフッ化アンモニウムと酢酸との混合液を用いるのが有効である。また、そのエッチング量は、濃度をフッ酸：フッ化アンモニウム：酢酸＝1：10：5とし、かつ、処理時間を20[秒]とした場合において20～50オングストロームとなる。

このようなライトエッチングにより、工程(10)において低抵抗導電層3のスパッタ法によりダメージを受けた第1の層間絶縁膜13の表面部分が除去されて、当該絶縁膜が本来的に有する性質を引き出すことが可能となる。さらに、このライトエッチングに伴い、その表面に付着した不純物や残渣物なども除去される。

そして、(13)の工程では、データ線3aを覆うように、第2の層間絶縁膜15を、例えばCVD法により500度のような低温下で5000～15000オングストロームの厚さに形成する。

【0018】

次に、説明を図5に移すと、(14)の工程では、第2の層間絶縁膜15とその下層の第1の層間絶縁膜13とゲート絶縁膜12とからなる重ね膜であって、ドレイン領域に対応する位置において、第1に、ドライエッチングを実行して、異方性エッチングによるホールを形成し、第2に、ウェットエッチングによって上記ホールを能動層1aまで貫通させて、TFTのコンタクトホール4を形成する。

ここで、上記工程(12)のライトエッチングによって、第1の層間絶縁膜13の表面部分が除去され、さらに、その表面に付着した不純物や残渣物なども除去された結果、第1の層間絶縁膜13と第2の層間絶縁膜15との密着性が向上している。

したがって、本実施形態のようにライトエッチングを行うと、第1の層間絶縁膜13と第2の層間絶縁膜15との間には、エッチング液や反応性ガスなどが侵入しにくくなるため、コンタクトホール4が精度良く形成されることとなる。

【0019】

さて、(15)の工程では、画素電極となるべきITO膜6をスパッタ法で、例えば1500オングストロームの厚さに形成する。このときTFTでは、ITO膜6が、コンタクトホール4にて能動層1aのドレイン領域に接続される。

(16)の工程では、ITO膜6に対してフォトリソエッチングによりパターニングを行うことで、TFTの画素電極6aを形成する。

このようなTFTは、実際には各画素に対応して基板10の上に複数形成されることとなる。

【0020】

以上述べたように、本実施形態にかかる半導体の製造方法によれば、基板10の上に、能動層1aのゲート酸化膜12を形成した後に、さらに、ポリシリコン層2を堆積し、エッチングしてゲート電極2aを形成する場合において、ポリシリコン層2を堆積する前に、基板10およびゲート酸化膜12をライトエッチングすることによって、ゲート電極2aのエッチング精度を向上させることが可能となる。

同様に、第1の層間絶縁膜13上にデータ線3aを形成した後に、第2の層間絶縁膜15を堆積し、エッチングしてコンタクトホール4を形成する場合において、第2の層間絶縁膜15を堆積する前に、第1の層間絶縁膜13をライトエッチングすることによって、コンタクトホールを精度良く形成することが可能となる。

【0021】

なお、本実施形態においては、半導体装置の一例としてTFTを挙げて説明したが、本発明はこれに限られない。すなわち、絶縁性基板上に半導体装置の能動層をパターンニングして形成する場合や、ある絶縁層の上に導電層を形成した後、別の絶縁層を堆積する場合などに広く適用可能である。

また、本実施形態においては、工程（4）および工程（12）の両工程についてライトエッチングを行ったが、いずれかについてののみライトエッチングを行うこととしても良い。

【0022】

<応用例>

次に、本実施形態により形成されるTFTをアクティブマトリックス型の液晶パネルに適用した応用例について説明する。

【0023】

図6は、応用例にかかる液晶パネルのうち、TFTが形成される基板10の構成を示すブロック図である。

図において、90, 90, ……はそれぞれ画素であり、互いに交差するように配設された走査線2とデータ線3との交点に対応してそれぞれ配置される。各画素90はITO等からなる画素電極6aとこの画素電極6aにデータ線3上の画像信号に応じた電圧を印加するTFT91とからなる。同一行のTFT91はそのゲート電極が同一の走査線2に接続され、そのドレインが対応する画素電極6aに接続されている。また、同一列のTFT91は、そのソース電極が同一のデータ線3に接続されている。この応用例においては、周辺回路（X、Yシフトレジスタやサンプリング手段）50, 60を構成するトランジスタが、画素を駆動するTFTと同様に、ポリシリコン層を動作層とするいわゆるポリシリコンTFTで構成されている。したがって、周辺回路50, 60を構成するトランジスタは、画素駆動用TFTとともに同一プロセスにより、同時に形成されることとなる。

【0024】

さて、図において、表示領域（画素マトリックス）20の上側一端には、データ線3を順次選択するシフトレジスタ（以下、Xシフトレジスタと称する）51が配置される一方、画素マトリックスの左側一端には、走査線2を順次選択駆動するシフトレジスタ（以下、Yシフトレジスタと称する）61が設けられている。また、Yシフトレジスタ61の次段には必要に応じてバッファ63が設けられる。

また、各データ線3の一端にはTFTで構成されたサンプリング用スイッチ52がそれぞれ設けられている。これらのサンプリング用スイッチ52は、外部端子74, 75, 76に輸入される画像信号VID1~VID3を送信するビデオ信号線54, 55, 56との間に接続され、Xシフトレジスタ51から出力されるサンプリング信号によって順次オン／オフされるように構成されている。Xシフトレジスタ51は、端子72, 73を介して外部より入力されるクロック信号CLX1, CLK2に基づいて1水平走査期間中にすべてのデータ線3を順番に1回ずつ選択するようなサンプリング信号X1, X2, X3, ……Xnを形成してサンプリング用スイッチ52の制御端子に供給する。一方、Yシフトレジスタ61は、端子77, 78を介して外部から入力されるクロック信号CLY1, CLY2に同期して動作され、各走査線2を順次駆動する。また、端子72~78等は、後述するように基板10の周縁部に沿って一列にパッド電極群として配置される。

【0025】

次に、液晶パネル全体の構成について説明する。図7（a）は、図6における基板を適用した液晶パネルの構成を示す断面図であり、図7（b）は、そのレイアウトを示す平面図である。

まず、図7（a）に示すように、液晶パネル30は、TFTや画素電極が形成された基板10とITO等のような透明導電膜を対向電極（共通電極）33として有する対向基板31とを、電極同士が互に対向するように、かつ、適当な間隔があくように、シール材36によって接着した構成となっており、さらに、その間隙内にはTN（Twisted Nematic）

10

20

30

40

50

c) 型や S H (Super Homeotropic) 型などの液晶 37 が充填された構成となっている。ここで、対向基板 31 における対向電極 33 の上面 (図では下側となる) には、基板 10 における画素電極に相当する部分以外を遮光するブラックマトリックス層や、必要に応じてカラーフィルタ層が設けられる (図示省略)。

また、周辺回路 50, 60 の上方は、例えば、対向基板 31 に設けられるブラックマトリックス層等により遮光されるように構成される。なお、38 は対向基板 31 側に設けられる液晶注入口、39 は対向基板 31 に設けられるクロム層等からなる見切り用の遮光層である。その他、液晶パネルとして必要なものとして、入出射光の偏光方向を選択する偏光板や、液晶 37 の分子配列を定める配向膜、基板 10 と対向基板 31 との間隙を全面的にわたって一定に維持するためのスペーサー等が挙げられるが、図示を省略することとする。

【0026】

さて、図 7 (b) に示すように、対向基板 31 は、T F T が形成された基板 10 よりも一回り小さな形状とされるため、基板 10 の周縁部に配置するパッド電極群 70 は、対向基板 31 よりも外側に露出して、前述した周辺回路 50, 60 へのクロック信号や、スタート信号、ビデオ信号などの信号を入力する外部入力端子として用いる際の便宜が図られている。

また、基板 10 の周縁部には、パッド電極群 70 の他に、プローブによる検査の際に信号を入出力するのに使用される検査用端子としてのパッド電極群 170 が設けられている。一方、対向基板 31 にも検査用端子としてのパッド電極群 270 が設けられており、これらのパッド電極群は、データ線の短絡や画素電極の欠陥等を検査するための信号の入出力に使用される。

なお、80 は、T F T が形成される基板 10 から対向基板 31 の対向電極 33 に、共通電位を与えるための上下基板間導通用端子であり、所定の径を有する導電性接着剤を介在させて、基板 10 と対向基板 31 との導通を図るように構成されている。

【0027】

次に、液晶パネルと外部回路との接続の一例について図 8 を用いて説明する。この図に示すように、パッド電極群 70 のうちの 1 つのパッド電極 71 と、外部回路に接続されてクロック信号や、スタート信号、ビデオ信号などの信号を供給する F P C (Film Printed Circuit) 102 の端子電極 103 とは、物理的には接着剤 101 によって固定保持される一方、電気的には接着剤 101 中に分散する導電粒子 100 によって接続される。

ここで、接着剤 101 における導電粒子 100 の濃度を適切に設定すれば、接着層の上下方向 (パッド電極 71 と端子電極 103 とを結ぶ方向) には導通を許すが、接着層の平面方向には導通を許さないという異方性導電接合が実現される。そして、この異方性導電接合によれば、間隔が狭い多数の端子を一括して接続できるため効率的である。

なお、F P C 102 は、例えば、ポリイミドフィルムにラミネートされた銅箔を周知のフォトリソグラフィ工程やエッチング工程等によってパターンニングすることで形成される。また、導電粒子 100 には、ハンダニッケルなどの金属粒子や金属メッキしたプラスチックボールなどが用いられる。

【0028】

<液晶パネルの適用例 (1)>

次に、応用例にかかる液晶パネルを表示装置として用いた例を説明する。

まず、この液晶パネルをライトバルブとして用いたビデオプロジェクタについて説明する。図 9 は、ビデオプロジェクタの構成例を示す平面図である。

この図に示すように、ビデオプロジェクタ 1100 内部には、ハロゲンランプ等の白色光源からなるランプユニット 1102 が設けられている。このランプユニット 1102 から射出された投射光は、ライトガイド 1104 内に配置された複数のミラー 1106, 1106, ……および 2 枚のダイクロックミラー 1108 によって R G B の 3 原色に分離され、各原色に対応するライトバルブとしての液晶パネル 1110 R, 1110 B および 1110 G に入射される。

10

20

30

40

50

液晶パネル１１１０Ｒ，１１１０Ｂおよび１１１０Ｇの構成は、上述した通りであり、図示しないビデオ信号処理回路から供給されるＲ，Ｇ，Ｂの原色信号でそれぞれ駆動される。さて、これらの液晶パネルによって変調された光は、ダイクロックプリズム１１１２に３方向から入射される。このダイクロックプリズム１１１２においては、ＲおよびＢの光が９０度に屈折する一方、Ｇの光が直進する。したがって、各色の画像が合成される結果、投射レンズ１１１４を介して、スクリーン等にカラー画像が投写されることとなる。

【００２９】

<液晶パネルの適用例（２）>

次に、応用例にかかる液晶パネルをパーソナルコンピュータに適用した例について説明する。図１０は、このパーソナルコンピュータの構成を示す正面図である。図において、パーソナルコンピュータ１２００は、キーボード１２０２を備えた本体部１２０４と、液晶ディスプレイ１２０６とから構成されている。この液晶ディスプレイ１２０６は、先に述べた応用例にかかる液晶パネルにカラーフィルタとバックライトとを付加することにより構成される。

10

【００３０】

なお、液晶パネルの適用例としてビデオプロジェクタ１１００およびパーソナルコンピュータ１２００を挙げて説明したが、これ以外の種々の各種電子機器に適用可能なのは言うまでもない。

【００３１】

以上説明したように本発明によれば、本発明によれば、第１あるいは第２の層の表面が第３の層の堆積前にエッチングされる結果、ダメージを受けた部分が除去され、また、表面に付着した汚れなども除去されるので、第１あるいは第２の層および第３の層の密着性が向上し、反応性イオンやエッチング液等の侵入が防止される。したがって、第３の層のエッチング精度を向上させることが可能となる。

20

【図面の簡単な説明】

【００３２】

【図１】（ａ）本発明の実施形態にかかる半導体装置の製造方法によるＴＦＴを適用した液晶パネル用基板の１画素分についてのレイアウトを示す平面図である。

（ｂ）Ａ－Ａ線の断面図である。

【図２】（１）～（５）は、それぞれ同実施形態にかかるＴＦＴの製造工程を示す図である。

30

【図３】（６）～（９）は、それぞれ同実施形態にかかるＴＦＴの製造工程を示す図である。

【図４】（１０）～（１３）は、それぞれ同実施形態にかかるＴＦＴの製造工程を示す図である。

【図５】（１４）～（１６）は、それぞれ同実施形態にかかるＴＦＴの製造工程を示す図である。

【図６】本実施形態にかかる半導体装置の製造方法を適用したＴＦＴを有する液晶パネル基板の構成を示すブロック図である。

【図７】（ａ）本実施形態にかかる半導体装置の製造方法を適用したＴＦＴを有する液晶パネルの構成を示す断面図である。

40

（ｂ）同液晶パネルの構成を示す平面図である。

【図８】同液晶パネルと外部回路との異方性導電接合構造を示す断面図である。

【図９】同液晶パネルをライトバルブに用いたビデオプロジェクタの構成を示す平面図である。

【図１０】同液晶パネルを表示装置に用いたパーソナルコンピュータの構成を示す平面図である。

【図１１】従来の工程における不都合を示す図である。

【図１２】従来の工程における不都合を示す図である。

【符号の説明】

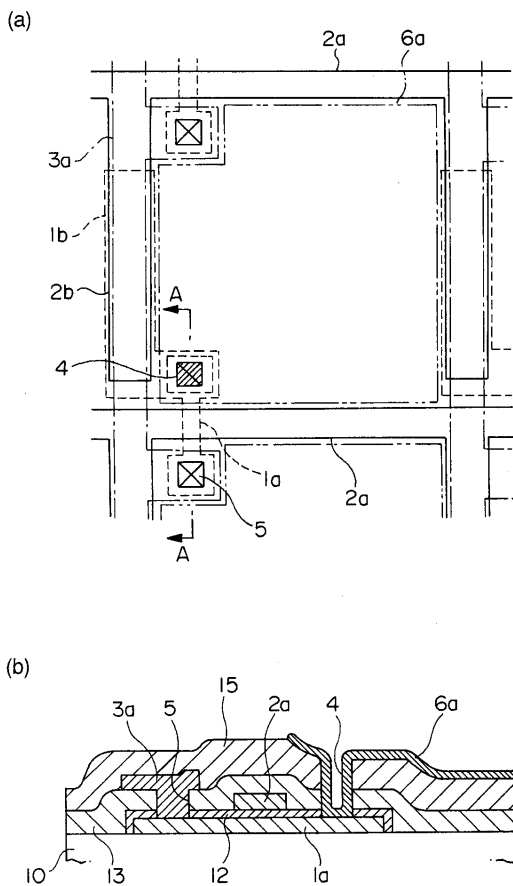
50

【 0 0 3 3 】

- 1 … ポリシリコン層
- 1 a … 能動層
- 2 a … 走査線（ゲート電極）
- 3 a … データ線（ソース電極）
- 4, 5 … コンタクトホール
- 6 … I T O 膜
- 6 a … 画素電極
- 1 0 … 基板
- 1 2 … ゲート絶縁膜
- 1 3 … 第 1 の層間絶縁膜
- 1 5 … 第 2 の層間絶縁膜
- 2 0 … 表示領域
- 3 0 … 液晶パネル
- 3 1 … 対向基板

10

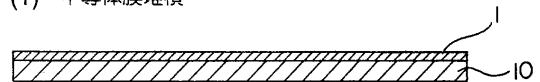
【 図 1 】



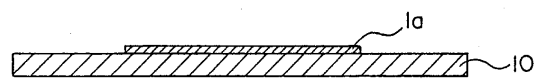
【 図 2 】

<画素TFT部>

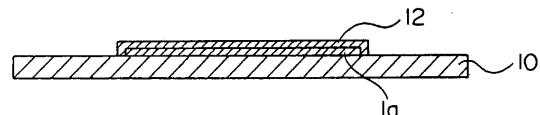
(1) 半導体膜堆積



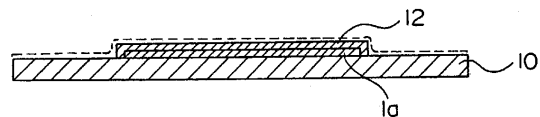
(2) 半導体膜フォト・エッチング



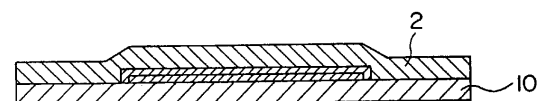
(3) ゲート酸化膜形成



(4) ゲート酸化膜および基板のライトエッチング

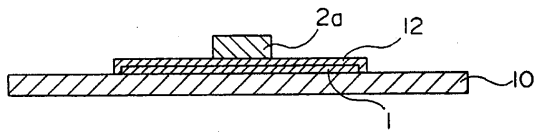


(5) ゲート電極 (Poly-Si) 膜堆積

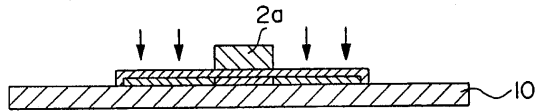


【図 3】

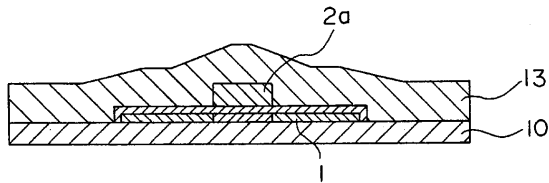
(6) ゲート電極 (Poly-Si) フォト・エッチング



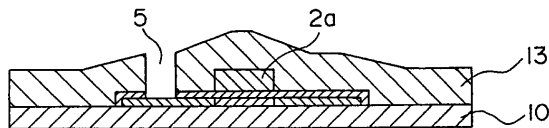
(7) イオン打ち込み (ソース・ドレイン形成)



(8) 第1層間絶縁膜 (NSG) 堆積

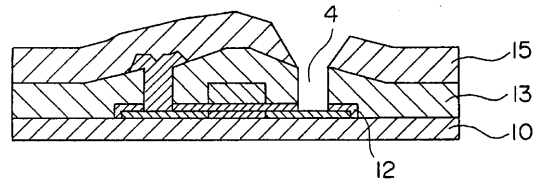


(9) ソース電極 (AL) 導通部開孔

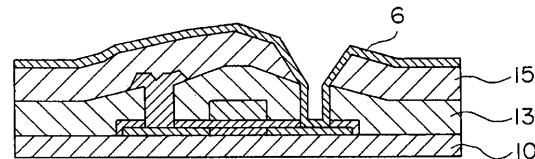


【図 5】

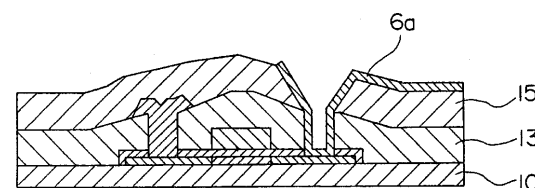
(14) 画素電極 (ITO) 導通部開孔



(15) 画素電極 (ITO) 膜形成

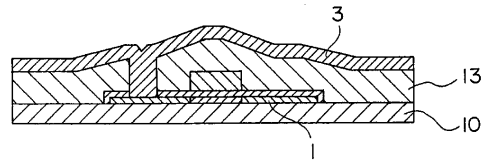


(16) 画素電極 (ITO) フォト・エッチング

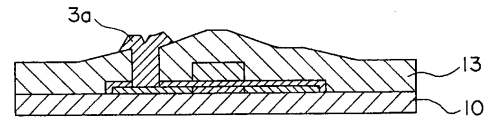


【図 4】

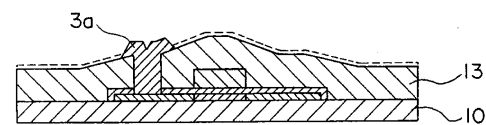
(10) ソース電極 (AL) 膜形成



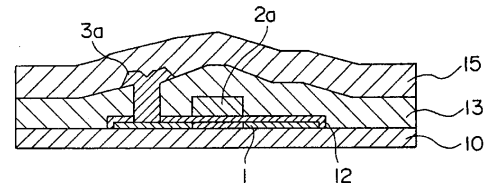
(11) ソース電極 (AL) フォト・エッチング



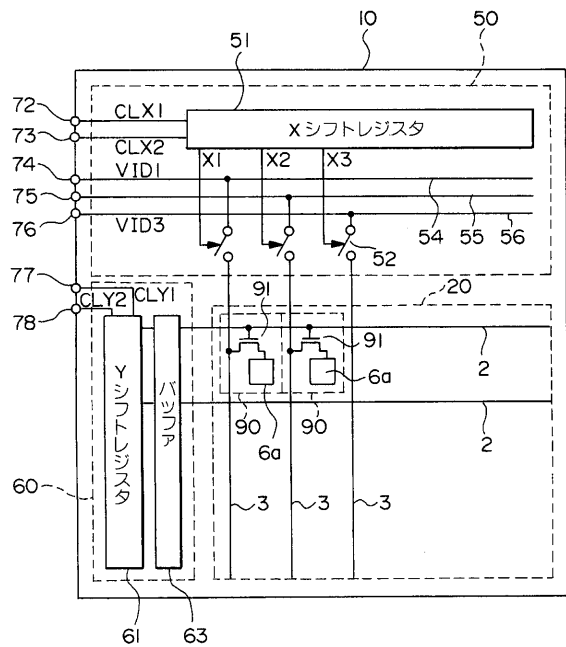
(12) 第1層間絶縁膜のライトエッチング



(13) 第2層間絶縁膜 (BPSG) 堆積



【図 6】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 29/49	H O 1 L 29/58	G
H O 1 L 29/786	H O 1 L 29/78	6 1 9 A

Fターム(参考)	2H092	GA39	GA48	JA25	JA34	JA37	JB31	JB58	KA04	MA07	MA18
		MA19	MA27	NA27	PA08	PA09	QA07	RA05			
4M104	AA01	AA08	AA09	BB01	BB02	BB14	BB16	BB17	BB18	BB25	
		BB26	BB27	BB28	BB36	CC01	CC05	DD08	DD11	DD37	DD43
		DD65	GG20	HH14							
5F110	AA30	BB02	CC02	DD02	DD03	EE04	EE05	EE09	EE45	FF02	
		FF23	FF36	GG02	GG13	GG24	GG47	HJ01	HJ13	HL03	HL14
		HL23	HM14	HM15	NN03	NN04	NN22	NN23	NN35	NN40	NN72
		NN73	QQ01	QQ04	QQ11						

专利名称(译)	制造半导体器件的方法，半导体器件，液晶面板和电子器件。		
公开(公告)号	JP2004297082A	公开(公告)日	2004-10-21
申请号	JP2004165853	申请日	2004-06-03
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	米山良一 三浦荣一		
发明人	米山 良一 三浦 荣一		
IPC分类号	G02F1/1368 H01L21/28 H01L21/336 H01L29/417 H01L29/423 H01L29/49 H01L29/786		
FI分类号	H01L29/78.627.C G02F1/1368 H01L21/28.E H01L21/28.L H01L29/50.M H01L29/58.G H01L29/78.619.A		
F-TERM分类号	2H092/GA39 2H092/GA48 2H092/JA25 2H092/JA34 2H092/JA37 2H092/JB31 2H092/JB58 2H092/KA04 2H092/MA07 2H092/MA18 2H092/MA19 2H092/MA27 2H092/NA27 2H092/PA08 2H092/PA09 2H092/QA07 2H092/RA05 4M104/AA01 4M104/AA08 4M104/AA09 4M104/BB01 4M104/BB02 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104/BB25 4M104/BB26 4M104/BB27 4M104/BB28 4M104/BB36 4M104/CC01 4M104/CC05 4M104/DD08 4M104/DD11 4M104/DD37 4M104/DD43 4M104/DD65 4M104/GG20 4M104/HH14 5F110/AA30 5F110/BB02 5F110/CC02 5F110/DD02 5F110/DD03 5F110/EE04 5F110/EE05 5F110/EE09 5F110/EE45 5F110/FF02 5F110/FF23 5F110/FF36 5F110/GG02 5F110/GG13 5F110/GG24 5F110/GG47 5F110/HJ01 5F110/HJ13 5F110/HL03 5F110/HL14 5F110/HL23 5F110/HM14 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN35 5F110/NN40 5F110/NN72 5F110/NN73 5F110/QQ01 5F110/QQ04 5F110/QQ11 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB46 2H192/CC04 2H192/CC17 2H192/DA02 2H192/DA44 2H192/EA22 2H192/EA32 2H192/EA43 2H192/FA65 2H192/FA73 2H192/FB02 2H192/FB33 2H192/HA64 2H192/JB02		
代理人(译)	须泽 修		
其他公开文献	JP4211687B2		
外部链接	Espacenet		

摘要(译)

解决的问题：准确地蚀刻通过CVD等沉积的多晶硅层。在沉积多晶硅层之前，对基板10的表面和在其上形成的栅极绝缘膜12的表面进行光蚀刻。结果，去除了损坏的部分和污垢，从而改善了基板10或栅极绝缘膜12与多晶硅层2的粘附性，结果，防止了蚀刻液等的侵入，从而导致了底切。减少了用量，提高了蚀刻精度。[选型图]图1

