

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-279482
(P2004-279482A)

(43) 公開日 平成16年10月7日(2004.10.7)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO9G 3/36	GO9G 3/36	2H089
GO2F 1/133	GO2F 1/133 510	2H093
GO2F 1/1333	GO2F 1/133 520	5C006
GO9F 9/35	GO2F 1/133 550	5C080
GO9G 3/20	GO2F 1/133 575	5C094
審査請求 未請求 請求項の数 9 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2003-67210 (P2003-67210)	(71) 出願人	000005049
(22) 出願日	平成15年3月12日 (2003.3.12)		シャープ株式会社
		(74) 代理人	100080034
			弁理士 原 謙三
		(74) 代理人	100113701
			弁理士 木島 隆一
		(74) 代理人	100116241
			弁理士 金子 一郎
		(72) 発明者	小川 嘉規
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	田中 茂樹
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		最終頁に続く	

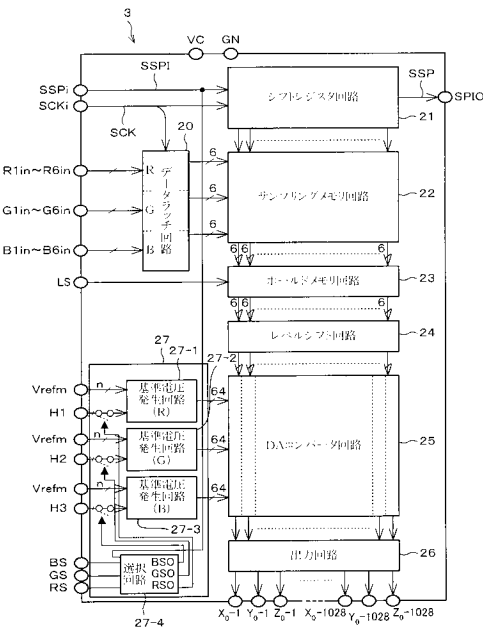
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 大型化を図りながら、コストアップを抑制できる液晶表示装置を提供する。

【解決手段】 マトリクス状に配置された複数の各画素を有する液晶パネルを設ける。水平方向に沿った各画素のライン毎、垂直方向に順次駆動して表示データに基づく画像を上記液晶パネルに表示させるためのソースドライバ3を設ける。上記画像を多階調にて表示するための、上記多階調に応じた各基準電圧を発生するための階調用基準電圧発生回路27を設ける。上記表示データをγ補正するために、上記各基準電圧を調整するγ補正調整回路を設ける。互いに隣り合う各画素での表示むらを低減するために、上記γ補正された各基準電圧を変更するように上記γ補正調整部を制御する制御部を設ける。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第一方向と、第一方向と交差する第二方向とにマトリクス状に配置された複数の各画素を有する表示パネルと、

上記第一方向に沿った各画素のライン毎、上記第二方向に順次駆動して表示データに基づく画像を上記表示パネルに表示させるための駆動部と、

上記画像を多階調にて表示するための、上記多階調に応じた各基準電圧を発生するための基準電圧発生部と、

上記表示データを γ 補正するために、上記各基準電圧を調整する γ 補正調整部と、

上記第一方向および第二方向の少なくとも一方にて互いに隣り合う各画素での表示むらを低減するために、上記 γ 補正された各基準電圧を変更するように上記 γ 補正調整部を制御する制御部とを備えていることを特徴とする表示装置。 10

【請求項 2】

γ 補正用の調整データを格納するメモリを上記制御部に備え、

上記制御部は、上記調整データに基づいて γ 補正を変更するものであることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

γ 補正用の調整データを格納するメモリを上記駆動部に備え、

上記制御部は、上記調整データに基づいて γ 補正を変更するものであることを特徴とする請求項 1 に記載の表示装置。 20

【請求項 4】

上記表示パネルは、第一方向に沿って、複数の表示領域に分割されていて、

上記駆動部が、複数、上記各表示領域にそれぞれ対応して設けられていることを特徴とする請求項 1 ないし 3 の何れか 1 項に記載の表示装置。

【請求項 5】

上記基準電圧発生部は、画像のカラー表示のための色毎に、複数、設けられていることを特徴とする請求項 1 ないし 4 の何れか 1 項に記載の表示装置。

【請求項 6】

表示パネルは、表示パネルの表面方向にて分割されて製造されたものであることを特徴とする請求項 1 ないし 5 の何れか 1 項に記載の表示装置。 30

【請求項 7】

表示パネルは、表示小パネルが、複数、各表示小パネルの各表示画面を同一平面状となるように互いに接合されたものであることを特徴とする請求項 1 ないし 5 の何れか 1 項に記載の表示装置。

【請求項 8】

上記表示パネルは、複数の画素電極およびその各画素に対応する薄膜トランジスタを有する薄膜トランジスタパネルと、対向電極を形成した対向パネルとを備え、薄膜トランジスタパネルの電極形成面と対向パネルの電極形成面とが互いに対向するように重ね合わされた液晶パネルであることを特徴とする請求項 1 ないし 5 の何れか 1 項に記載の表示装置。

【請求項 9】

上記表示パネルは、複数の画素電極およびその各画素に対応する薄膜トランジスタを有する、複数の薄膜トランジスタパネルと、対向電極を形成した対向パネルとを備え、同一平面上に互いに接合された各薄膜トランジスタパネルの電極形成面と対向パネルの電極形成面とが互いに対向するように重ね合わされた液晶パネルであることを特徴とする請求項 1 ないし 5 の何れか 1 項に記載の表示装置。 40

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、表示むらなどが改善された、表示画質が優れた、アクティブマトリックス型液晶表示装置などの表示装置に関する。 50

【 0 0 0 2 】

【 従来 の 技 術 】

アクティブマトリックス式の液晶表示装置は、薄膜トランジスタパネルと対向パネルとを重ね合わせ、この両パネルを枠状のシール材により接合して液晶セルを組み立て、この液晶セル内に液晶を封入してなっている。

【 0 0 0 3 】

薄膜トランジスタパネルは、ガラス等からなる透明な基板の上に、縦横に配列する複数の透明な画素電極と、これら画素電極に対応する複数の薄膜トランジスタ (Thin Film Transistor; 以下 T F T と略称) にゲート信号を供給する複数のゲートラインと、前記 T F T にデータ信号を供給する複数のソースラインとを形成してなるものである。また、対向パネルにはガラス等からなる透明な基板の上に、T F T パネルにおけるすべての画素電極と対向する透明な (光透過性を有する) 対向電極を形成してなっている。

10

【 0 0 0 4 】

例えば T F T は、一般に薄膜形成技術つまりフォトファブ리케이션技術を適用して作製される。これら T F T の薄膜パターン形成プロセスでは、先ず薄膜材料を基板上にスパッタリング法や C V D 法などの所定の成膜方法を用いて成膜した後、この薄膜をいわゆる P E P (フォトエッチングプロセス) により所望の形状にパターンニングする。

【 0 0 0 5 】

即ち、基板上に成膜された薄膜上にフォトレジストをコーティングし、これを露光処理することにより所定パターンに現像する。つまり所望パターンの遮光体を有するフォトマスクを基板上方に位置合わせしてセットし、このフォトマスクを介して上方からフォトレジストに光を照射して、露光処理を行う。

20

【 0 0 0 6 】

次いで、その露光されたフォトレジストを現像する。そして現像されたフォトレジストをマスクとして、基板上に成膜されている薄膜の不要部分をエッチング除去して所望のパターンを得る。さらに、この工程を電極や半導体素子を構成する各薄膜の層数に対応する工程数繰り返すことによって、所望の素子を作製することができる。

【 0 0 0 7 】

また、近年、液晶表示装置の大画面化への需要が高まってきており、近年の液晶表示素子をはじめとして光学素子の大容量化に伴い、大面積の表示素子に対応する薄膜形成およびそのパターンニング技術が要求されている。

30

【 0 0 0 8 】

前記の露光処理を行うに際し、露光装置の光学系の能力には一定の制約があるので、一度に露光処理が可能な面積は限られている。そこで、大面積の表示素子に対応する薄膜形成およびそのパターンニング技術として、いわゆる分割露光 (ステッパ) 方式を適用することにより、大面積の露光処理を行う方法が用いられている。

【 0 0 0 9 】

このステッパを用いた分割露光方式は、例えば図 1 2 に示すように、露光処理を行う基板 6 0 上の領域を複数の、例えば 4 つの各露光エリア (a , b , c , d) に基板 6 0 の表面方向に沿って分割し、一回の露光処理 (ショット) 毎に、その一つの分割露光エリアを露光処理し、これを分割数だけ繰り返す (ステップアンドリピートする) ことで、基板 6 0 全面にわたって露光処理を行うものである。このような露光を行うことによって、露光装置が一度に処理可能な面積を超えて大面積にわたる露光処理を行うことが可能となる。

40

【 0 0 1 0 】

このように、T F T パネルおよび対向パネルをそれぞれ大型の基板 (ガラス板) を用いて大型に形成し、この両パネルを接合して組み立てたり、あるいはそれぞれ T F T パネルと対向パネルとを接合して形成した小型の複数の液晶表示素子を同一平面上に繋ぎ合わせたりして、大型の液晶表示装置として構成する製造方法が知られている。

【 0 0 1 1 】

50

ところが、ＴＦＴパネルおよび対向パネルをそれぞれ大型の基板により大型に形成し、この両パネルを接合して大画面の液晶表示装置を構成する場合、その一方は、基板の上のほぼ全体に広がる対向電極を形成すればよいから、その全体が大型となっても特に問題はないが、他方のＴＦＴパネルにおいては、基板の上に多数のＴＦＴと、これらのＴＦＴに対応する多数の画素電極と、多数本のゲートラインおよびデータラインとを有する複雑な構造であるため、基板が大型になると、その歪みやねじれ等により品質が低下し、表示むら等の欠陥が発生しやすくなる。

【００１２】

また、小型の複数の液晶表示素子を同一平面上に繋ぎ合わせて大画面の液晶表示装置を構成する場合には、その小型の各液晶表示素子の継ぎ目が画面上に表れ、表示上の見苦しさが生じてしまう難点がある。 10

【００１３】

つまり、このステッパ方式を適用することによって、作製されたアクティブマトリクス型液晶表示装置では、図１３および図１４に示すように、互いに異なる各露光エリア６８...に対し、同じ画像信号をそれぞれ入力したにも関わらず、これらに応答する各画素７１の輝度が互いに異なる現象が生じるという問題を招来している。

【００１４】

特に、互いに隣接する各露光エリア６８...間で、各画素７１の輝度差が大きくなると、各露光エリア６８...の各境界線部６９がその表示画面上で「継ぎ目」として視認されてしまい、高精細度な画像表示が要求されるアクティブマトリクス型液晶表示装置の表示品位を著しく低下させていた。 20

【００１５】

そこで、表示素子を複数のエリアに分割してフォトレジストの露光等を行なって単位画素をアレイ状に配列されたパターンに形成し、液晶表示素子のような表示素子を作製するにあたり、その分割した複数の表示エリア（小領域）同士の輝度差が生じる場合に、それらの互いに隣接している境界線を非直線（ジグザグ）に設定し、上記境界線近傍の輝度の変化勾配を緩やかにすることにより、各表示エリア間の「継ぎ目」を視認上目立たなくする構成が再表９５ - １６２７６号公報に開示されている。

【００１６】

【特許文献１】

再表９５ - １６２７６号公報（公開日１９９５年６月１５日）

【００１７】

【発明が解決しようとする課題】

しかしながら、上記再表９５ - １６２７６号公報に記載の構成では、輝度差が互いに生じる複数の表示エリア（小領域）の互いに隣接している境界線を非直線（ジグザグ）に設定しているため、各表示エリア間の「継ぎ目」を視認上目立たなくできるが、複雑な形状である非直線（ジグザグ）に設定され、互いに接合される各境界線を精度良く作製することが困難であり、歩留りの低下やコストアップを招来するという問題点を生じている。

【００１８】

本発明は、このような問題点に着目してなされたもので、一般に設けられている、各画素の輝度を調整しているγ補正を利用して、上記γ補正が表示むらを低減するように、上記γ補正を基準値に対し増減させる変更により制御することで、液晶パネルの複雑な形状の境界線部の作製工程を省いて、表示むらを低減でき、継ぎ目の視認による従来の表示上の見苦しさも抑制でき、すっきりした表示画面を得ることができる、大画面が可能な液晶表示装置といった表示装置を提供することを目的としている。 40

【００１９】

【課題を解決するための手段】

本発明の表示装置は、以上の課題を解決するために、第一方向と、第一方向と交差する第二方向とにマトリクス状に配置された複数の各画素を有する表示パネルと、上記第一方向に沿った各画素のライン毎、上記第二方向に順次駆動して表示データに基づく画像を上 50

記表示パネルに表示させるための駆動部と、上記画像を多階調にて表示するための、上記多階調に応じた各基準電圧を発生するための基準電圧発生部と、上記表示データを γ 補正するために、上記各基準電圧を調整する γ 補正調整部と、上記第一方向および第二方向の少なくとも一方にて互いに隣り合う各画素での表示むらを低減するために、上記 γ 補正された各基準電圧を変更するように上記 γ 補正調整部を制御する制御部とを備えていることを特徴としている。

【0020】

上記表示装置では、 γ 補正用の調整データを格納するメモリを上記制御部に備え、上記制御部は、上記調整データに基づいて γ 補正を変更するものであってもよい。

【0021】

上記表示装置においては、 γ 補正用の調整データを格納するメモリを上記駆動部に備え、上記制御部は、上記調整データに基づいて γ 補正を変更するものであってもよい。

【0022】

上記構成によれば、表示パネルと、駆動部と、基準電圧発生部と、 γ 補正調整部とにより、 γ 補正されて視認特性に合うと共に、階調表現された画像を表示できる。

【0023】

その上、上記構成では、 γ 補正された各基準電圧を変更するように上記 γ 補正調整部を制御する制御部を設けたから、各画素間にて、製造プロセスのバラツキなどによって表示むらを生じて、上記表示むらを上記各基準電圧の変更により、抑制できる。

【0024】

すなわち、上記構成は、上記表示パネルが、例えば複数、それらの表示面を面一となるように互いに接合した大型のものでも、それらの各表示パネル間に、製造プロセスのバラツキなどに起因する輝度むらといった表示むらを生じて、前記各基準電圧の変更により、上記表示むらを抑制できる。

【0025】

これにより、上記構成においては、従来のような液晶パネルにおける複雑な形状の境界線部の作製工程を省いて、表示むらを低減でき、継ぎ目の視認による従来の表示上の見苦しさも抑制でき、すっきりした表示画面を得ることができる、大画面が可能な液晶表示装置といった表示装置を提供できる。

【0026】

上記表示装置では、上記表示パネルは、第一方向に沿って、複数の表示領域に分割されていて、上記駆動部が、複数、上記各表示領域にそれぞれ対応して設けられていてもよい。

【0027】

上記構成によれば、各駆動部の特性にバラツキが生じて、上記各特性のバツキに起因する表示むらを、前記各基準電圧の変更により、抑制できる。

【0028】

上記表示装置においては、上記基準電圧発生部は、画像のカラー表示のための色毎に、複数、設けられていてもよい。上記構成によれば、カラー表示の表示むらも抑制できる。

【0029】

上記表示装置では、表示パネルは、表示パネルの表面方向にて分割されて製造されたものであってもよい。上記構成によれば、表示パネルの表面方向にて分割されて製造された、例えば表示画面が大型化されたものの場合でも、分割されて製造されたことに起因する表示むらを、前記各基準電圧の変更により、抑制できる。

【0030】

上記表示装置においては、表示パネルは、表示小パネルが、複数、各表示小パネルの各表示画面を同一平面状となるように互いに接合されたものであってもよい。上記構成によれば、表示小パネルが、複数、各表示小パネルの各表示画面を同一平面状となるように互いに接合された、例えば表示画面が大型化されたものの場合でも、分割されて製造されたことに起因する表示むらを、前記各基準電圧の変更により、抑制できる。

【0031】

10

20

30

40

50

上記表示装置では、上記表示パネルは、複数の画素電極およびその各画素に対応する薄膜トランジスタを有する薄膜トランジスタパネルと対向電極を形成した対向パネルとを備え、薄膜トランジスタパネルの電極形成面と対向パネルの電極形成面とが互いに対向するように重ね合わされた液晶パネルであってもよい。

【0032】

上記表示装置においては、上記表示パネルは、複数の画素電極およびその各画素に対応する薄膜トランジスタを有する、複数の薄膜トランジスタパネルと、対向電極を形成した対向パネルとを備え、同一平面上に互いに接合された各薄膜トランジスタパネルの電極形成面と対向パネルの電極形成面とが互いに対向するように重ね合わされた液晶パネルであってもよい。

【0033】

【発明の実施の形態】

本発明に係る表示装置の実施の一形態としての液晶表示装置について、図1ないし図11に基づき説明すれば以下の通りである。図2は、本実施の形態に係る液晶表示装置としてのTFT液晶モジュールの構成を表すブロック図である。なお、図2では、主な構成要素および主な信号経路のみを図示し、例えば、クロック信号、リセット信号、セレクト信号等の他の主な信号の信号経路については省略されている。

【0034】

図2に示すように、本実施の形態における液晶表示装置(TFT液晶モジュール)1は、液晶パネル(表示パネル)2、ソースドライバ(駆動部)3、ゲートドライバ4、液晶駆動電源5、およびコントローラ(制御部)6を含んでいる。

【0035】

液晶パネル2は、m本のソース電極およびn本のゲート電極に形成される水平方向(第一方向)m画素×垂直方向(第二方向)n画素のマトリクス状に配置された、TFT(薄膜トランジスタ)方式の各画素を有する液晶パネルである。本実施の形態では、上記水平方向と上記垂直方向とは、互いに直交するように交差しているが、特に直交している必要はなく、互いに交差していればよい。

【0036】

なお、以下では、水平方向1ラインの画素の配列を「行」と称し、垂直方向1ラインの画素の配列を「列」と称する。本実施の形態では、例として、 $m = 1028 \times \text{RGB}$ 、 $n = 900$ であり、各画素において第0階調～第63階調の64階調(6ビット)の階調表示を行うものとする。しかしながら、必要に応じて上記の階調数や画素数は増減可能なものである。

【0037】

なお、各行には、R(赤)、G(緑)、B(青)それぞれを表示する各画素が繰り返し配列されているものとする。したがって、各行にはRGBの各画素がこの順にて繰り返し配列されているものとする。これにより、各行にはRGBの各画素がそれぞれn画素ずつ含まれていることになる。

【0038】

液晶パネル2には、図3に示す通り、画素電極1001、画素容量1002、画素への電圧印加をオン/オフするスイッチング素子としてのTFT1003、ソース信号ライン1004、ゲート信号ライン1005、および液晶パネル2の対向電極1006が設けられている。図3中、Aで示す領域(破線で示された領域)が、1画素分の液晶表示素子である。

【0039】

ソース信号ライン1004には、ソースドライバ3から、表示データに基づく表示対象の画素の明るさに応じた階調表示電圧が印加される。ゲート信号ライン1005には、ゲートドライバ4から、縦方向に並んだTFT1003が順次オンするように走査信号が印加される。オン状態のTFT1003を通して、該TFT1003のドレインに接続された画素電極1001にソース信号ライン1004の電圧が印加され、対向電極1006との

10

20

30

40

50

間の画素容量 1 0 0 2 に上記印加電圧に応じた電荷が蓄積される。これにより、液晶パネル 2 では、各液晶表示素子の液晶において光透過率が上記印加電圧に応じて変化し、階調表示が行なわれる。

【 0 0 4 0 】

図 4 および図 5 は、液晶パネル 2 の各液晶表示素子に対する液晶駆動波形の一例を示している。これらの図中、1 1 0 1、1 2 0 1 はソースドライバ 3 からの出力信号の駆動波形、1 1 0 2、1 2 0 2 はゲートドライバ 4 からの出力信号の駆動波形である。1 1 0 3、1 2 0 3 は対向電極の電位であり、1 1 0 4、1 2 0 4 は画素電極の電圧波形である。液晶材料に印加される電圧は、画素電極 1 0 0 1 と対向電極 1 0 0 6 との電位差であり、図中には斜線で示されている。

10

【 0 0 4 1 】

例えば、図 4 では、駆動波形 1 1 0 2 で示すゲートドライバ 4 からの出力信号が High レベルのとき T F T 1 0 0 3 がオンし、駆動波形 1 1 0 1 で示すソースドライバ 3 からの出力信号と対向電極 1 0 0 6 の電位 1 1 0 3 との差が画素電極 1 0 0 1 に印加される。このあと、1 1 0 2 で示されるように、ゲートドライバ 4 からの出力信号は Low レベルとなり、T F T 1 0 0 3 はオフ状態となる。このとき、画素では、画素容量 1 0 0 2 があるため、上述の電圧が維持される。図 5 の場合も図 4 と同様である。

【 0 0 4 2 】

図 4 と図 5 とは、液晶材料に印加される電圧が異なる場合を示しており、図 5 の場合は、図 4 の場合と比べて印加電圧が低い。このように本実施の形態では、液晶に印加される電圧をアナログ電圧として変化させることで、液晶の光透過率をアナログ的に変え、多階調表示を実現している。表示可能な階調数は、液晶に印加されるアナログ電圧の選択肢の数により決定される。

20

【 0 0 4 3 】

図 2 に示すように、前述のコントローラ 6 は、表示メモリ 7 を内蔵するものである。この表示メモリ 7 は、特に制限されないが、水平方向 m 画素 × 垂直方向 n 画素分の表示データ（例えば、静止画像を表示するためやキャラクタ表示のためのデータ）と後述の γ 補正用の各調整データをそれぞれ格納できるよう構成されている。本実施の形態ではコントローラ 6 に表示メモリ 7 を内蔵した一例を示すが、ソースドライバ 3 に内蔵してもよい（図示せず）。

30

【 0 0 4 4 】

当然、表示メモリ 7 のメモリアレイについては、フラッシュメモリ、O T P、E E P R O M、F e R A M（強誘電体メモリ）等の不揮発性メモリから構成され、種類を問わない。本実施の形態の表示メモリ 7 においては、一度記憶した、γ 補正用の各調整データといったデータは電源が遮断されても保持される。

【 0 0 4 5 】

上記コントローラ 6 には、前記表示メモリ 7 以外に周辺回路部 8 や制御回路 6 a が設けられている。上記制御回路 6 a は、ソースドライバ 3 に対し、表示データ D、並びに、水平同期信号、転送クロック、およびスタートパルス入力信号等の制御信号 S 1 を入力する一方、ゲートドライバ 4 には垂直同期信号や水平同期信号等の制御信号 S 2 を入力する。さらに、上記制御回路 6 a は、ソースドライバ 3 およびゲートドライバ 4 に対し、水平同期信号 S 3 をそれぞれ入力する。

40

【 0 0 4 6 】

上記構成において、画像に対応した、外部から入力された表示データは、上記コントローラ 6 を介してデジタル信号である表示データ D（R、G、B）としてソースドライバ 3 に入力される。

【 0 0 4 7 】

その後、ソースドライバ 3 は入力された表示データ D を時分割して複数個のソースドライバ 3 ... の各々にラッチし、その後、コントローラ 6 から入力される上記水平同期信号 S 3 に同期して D A コンバート（デジタル表示データに応じて階調表示用基準電圧を選択）す

50

る。複数のソースドライバ 3 ... は、液晶パネル 2 を水平方向に沿って、互いに隣接するように分割した各領域にそれぞれ対応して設けられている。

【 0 0 4 8 】

そして、ソースドライバ 3 は、時分割された表示データ D を D / A コンバートして成る階調表示用のアナログ電圧（以下、階調表示基準電圧と言う）を、ソース信号ライン 1 0 0 4 により液晶パネル 2 における対応する上記液晶表示素子に出力する。

【 0 0 4 9 】

前記周辺回路部 8 は、特に図示しないが、入出力回路、Y アドレスを発生する Y アドレス発生回路、前記 Y アドレス発生回路から出力されたアドレスデータに基づきデコード信号を出力する Y デコーダ、X アドレスを発生する X アドレス発生回路、前記 X アドレス発生回路から出力されたアドレスデータに基づき k ビットのデコード信号を出力する X デコーダとを含んでいる。上記周辺回路部 8 は、これらの各デコード信号により表示メモリ 7 への書き込みや表示メモリ 7 からの読み出し等を制御する。 10

【 0 0 5 0 】

図 1 に上記ソースドライバ 3 の構成ブロック図の一例を示す。図 1 に示す通り、ソースドライバ 3 は、データラッチ回路 2 0 と、シフトレジスタ回路 2 1 と、サンプリングメモリ回路 2 2 と、ホールドメモリ回路 2 3 と、レベルシフト回路 2 4 と、D A コンバータ回路 2 5 と、出力回路 2 6 と、階調表示基準電圧発生回路（基準電圧発生部）2 7 とを含んで構成されている。

【 0 0 5 1 】

以下に、このソースドライバ 3 の動作について説明する。シフトレジスタ回路 2 1 は、スタートパルス入力信号 S S P I をシフト、すなわち転送する回路である。信号 S S P I はコントローラ 6 から、ソースドライバ 3 の入力端子 S S P i に入力され、R、G、B 用の各表示データ信号の水平同期信号と同期がとられた信号である。 20

【 0 0 5 2 】

このスタートパルス入力信号 S S P I は、コントローラ 6 から出力され、ソースドライバ 3 の入力端子 S C K i に入力したクロック信号 S C K によってシフトされる。このシフトレジスタ回路 2 1 にてシフトされたスタートパルス入力信号 S S P I は、例えばソースドライバを 8 個用いた場合においては、1 段目の第 1 番目ソースドライバ 3 から 8 段目の第 8 番目ソースドライバ 3 のシフトレジスタ回路 2 1 にまで順次転送される。 30

【 0 0 5 3 】

一方、コントローラ 6 からの端子 R 1 ~ R 6、端子 G 1 ~ G 6、端子 B 1 ~ B 6 から出力されるそれぞれ 6 ビットの R、G、B 用の各表示データ信号は、クロック信号 / S C K（クロック信号 S C K の反転信号）の立ち上がりで同期を取って、ソースドライバ 3 の入力端子 R 1 i n ~ R 6 i n、入力端子 G 1 i n ~ G 6 i n、入力端子 B 1 i n ~ B 6 i n にそれぞれシリアルに入力され、データラッチ回路 2 0 にて一時的にラッチされた後、サンプリングメモリ回路 2 2 に送られる。

【 0 0 5 4 】

サンプリングメモリ回路 2 2 は、上記シフトレジスタ回路 2 1 の各段の出力信号により、時分割で送られてくる各表示データ信号（R、G、B 各 6 ビットの計 1 8 ビット）をサンプリングし、ホールドメモリ回路 2 3 にコントローラ 6 の端子から出力されたラッチ信号 L S がソースドライバ 3 の端子 L S に入力されるまで、それぞれ記憶している。 40

【 0 0 5 5 】

そして、ホールドメモリ回路 2 3 では、サンプリングメモリ回路 2 2 より入力される、R、G、B 用の各表示データ信号における 1 水平期間分の表示データ信号がサンプリングメモリ回路 2 2 からホールドメモリ回路 2 3 に入力されるまでの間保持され、その後、レベルシフト回路 2 4 へ出力される。

【 0 0 5 6 】

階調表示基準電圧発生回路 2 7 は、後述するように R、G、B の各色用の液晶駆動電圧出力端子に対し、6 4 通りの各基準電圧をそれぞれ階調表示用として生成するためのもので 50

ある。階調表示基準電圧発生回路 27 には、それぞれ、カラー表示の 3 つの基本色のための、R 用の基準電圧発生回路 27 - 1、G 用の基準電圧発生回路 27 - 2 および B 用の基準電圧発生回路 27 - 3 と、選択回路 27 - 4 とが設けられている。

【0057】

そして、該階調表示基準電圧発生回路 27 に接続された端子 V_{refm} には、図 2 に示す外部の液晶駆動電源 5 から供給される、最も高い電圧の基準電圧が印加される。また、各端子 H1、H2、H3 はコントローラ 6 内の表示メモリ 7 と接続され、該表示メモリ 7 に格納された γ 補正用の各調整データ H1R、H2G、H3B が供給されるようになっている。

【0058】

また、選択回路 27 - 4 に接続された各端子 RS、GS、BS はコントローラ 6 と接続され、コントローラ 6 から供給される入力信号 RSI、GSI、BSI とスタートパルス入力信号 SSPI とにより導通 / 非導通を行うための制御信号を選択回路 27 - 4 で作成し、各制御信号 RSO、GSO、BSO としてそれぞれ出力する。

【0059】

この選択回路 27 - 4 からの各制御信号 RSO、GSO、BSO は、前記各端子 H1、H2、H3 と、R 用の基準電圧発生回路 27 - 1、G 用の基準電圧発生回路 27 - 2、B 用の基準電圧発生回路 27 - 3 との間にそれぞれ接続される各アナログスイッチを導通若しくは非導通とし、該アナログスイッチが導通されることで γ 補正用の各調整データ H1R、H2G、H3B がそれぞれ R 用の基準電圧発生回路 27 - 1、G 用の基準電圧発生回路 27 - 2、B 用の基準電圧発生回路 27 - 3 に供給され、ソースドライバ 3 毎において、かつ各色独立に γ 補正の変更が可能となる。

【0060】

尚、図 6 には記載されていないが、階調表示基準電圧発生回路 27 においては、 γ 補正用の各調整データである各信号 H1 ~ H3 をそれぞれ格納するラッチ回路が備えられている。

【0061】

そして、スタートパルス入力信号 SSPI に同期して選択回路 27 - 4 から取り込まれる信号（例えば、転送されてきたスタートパルス入力信号が該ソースドライバ 3 に入力するタイミングに同期）でアナログスイッチ回路を制御して、所望の γ 補正用の調整データを取り込み、ラッチ回路に格納して、以後、図 6 に示すように、その格納された調整データにより各 γ 補正調整回路 54 をそれぞれ動作させる。

【0062】

一方、表示メモリ 7 における、 γ 補正用の調整データの読み出しも、周辺回路部 8 にスタートパルス入力信号 SSPI が第 i 番目のソースドライバ 3 から次の第 $(i + 1)$ 番目のソースドライバ 3 に転送されたタイミングを識別する識別手段（転送クロック数をカウントするカウンタ回路等）を備えており、スタートパルス入力信号 SSPI が次のソースドライバ 3 に転送されるタイミングで該当する γ 補正用の調整データを読み出し、出力するものである。

【0063】

また、本実施の形態は、ソースドライバ 3 毎に γ 補正值を調整（図 7 の中央部の縦太線で示した境界線を挟んで互いに隣接する各表示領域や、各ソースドライバ 3 の出力特性の違いに対応する各表示領域）するものであるが、R、G、B 独立に γ 補正值を調整することで、ステップを用いた場合のように互いに異なる露光を受け、互いに隣接する各画素列の特性が異なった場合（図 7 の左側の縦太線）の表示品位向上にも効果を有する。以上のデータのやり取りは 1 水平同期期間毎に繰り返し実行することで、所望の表示動作を実現できる。

【0064】

上記 γ 補正值の調整（変更）は、コントローラ 6 での表示メモリ 7 上での、表示データの特定の座標（つまり、境界線を挟んだ狭い小領域の各座標）の輝度データを、上記境界線

10

20

30

40

50

を挟んで互いに隣接する各表示領域などの輝度の違いを低減するように調整することで実現できる。

【0065】

図1に示すように、DAコンバータ回路25は、ホールドメモリ回路23より入力されレベルシフト回路24にて変換されたRGBそれぞれ6ビットの表示データ信号(デジタル)を64通りの各基準電圧に基づきアナログ信号に変換して出力回路26に出力する。

【0066】

出力回路26は、64レベルのアナログ信号を増幅し、各出力端子X_o-1~X_o-1028、Y_o-1~Y_o-1028、Z_o-1~Z_o-1028から液晶パネル2へ階調表示電圧として出力する。上記各出力端子X_o-1~X_o-1028、Y_o-1~Y_o-1028、Z_o-1~Z_o-1028は、それぞれ共に1028個の端子からなる。また、ソースドライバ3の端子VC及び端子GNは、液晶駆動電源5に接続されそれぞれ電源電圧及びグランド電位が供給されるものである。

10

【0067】

図6に、本実施の形態における、階調表示のための3つの各基準電圧発生回路(R用27-1、G用27-2、B用27-3)の内の一つの代表例を示す。尚、本階調表示基準電圧発生回路27は64通りの基準電圧を作成し中間電圧を生成するものを示すが、これに限られるものではない。

【0068】

階調表示基準電圧発生回路27は、最上位電圧入力端子V₀と最下位電圧入力端子V₆₄との2本の電圧入力端子と、基準となるγ補正を行うための抵抗比を有する8個の抵抗素子R₀~R₇と、この抵抗素子R₀~R₇によって得られた各基準電圧をγ補正のためにそれぞれ一定の範囲で上下に微調整する各γ補正調整回路(γ補正調整部)54とを有している。

20

【0069】

さらに、最上位電圧入力端子V₀とγ補正調整回路54の出力端子との間、各γ補正調整回路54の出力端子間、γ補正調整回路54の出力端子と最下位電圧入力端子V₆₄との間に直列に8個ずつ接続された合計64個の抵抗(図示せず)を有している。

【0070】

図8は、上記γ補正調整回路54の構成を示す概略ブロック図である。γ補正調整回路54は、電圧降下を発生させるための1つの抵抗素子Rと、2個の各定電流源440、450と、バッファアンプ460とを備えている。そして、γ補正調整回路54は、抵抗素子Rに電流を流すことによる電圧降下を利用して、入力された電圧を一定の電圧だけ上下にシフトすることによって出力電圧を調整できるようになっている。

30

【0071】

このような構成を有するγ補正調整回路54は、次のように動作する。すなわち、上記γ補正調整回路54の入力端子470に、例えば基準電圧V_{ref}が供給される。そして、基準電圧V_{ref}よりも高い出力電圧あるいは低い出力電圧を得る場合には、各定電流源440、450によって抵抗素子Rに流れる電流を変化させ、抵抗素子Rによる電圧降下を利用して、入力された電圧を抵抗素子Rでの電圧降下の分だけ上または下にシフトした出力電圧V_{out}を出力端子480から出力するのである。

40

【0072】

つまり、上記基準電圧V_{ref}よりも高い出力電圧V_{out}を得る場合には、 $V_{out} = V_{ref} + i \cdot R$ になるように、また、基準電圧V_{ref}よりも低い出力電圧V_{out}を得る場合には、 $V_{out} = V_{ref} - i \cdot R$ になるように、γ補正調整回路54によって電圧を調整するのである。

【0073】

図9は、上記基準電圧V_{ref}よりも高い出力電圧V_{out}を得る場合(図9(a))、および、基準電圧V_{ref}よりも低い出力電圧V_{out}を得る場合(図9(b))に、各定電流源440、450の動作によって抵抗素子Rを流れる電流が変化した状態を示す。

50

【 0 0 7 4 】

この場合、図 9 (a) に示すように、抵抗素子 R よりも入力端子 4 7 0 側にある定電流源 4 4 0 を接地し、出力端子 4 8 0 側にある定電流源 4 5 0 を電源に接続することによって、抵抗素子 R には定電流源 4 5 0 から定電流源 4 4 0 に向う正の向きの電流 i が流れる。

【 0 0 7 5 】

その結果、入力端子 4 7 0 から基準電圧 V_{ref} が入力された場合の出力端子 4 8 0 からの出力電圧 V_{out} は、基準電圧 V_{ref} よりも抵抗素子 R での電圧降下の分だけ高い、 $V_{out} = V_{ref} + i \cdot R$ となる。

【 0 0 7 6 】

一方、図 9 (b) に示すように、上記定電流源 4 4 0 を電源に接続し、定電流源 4 5 0 を接地することによって、抵抗素子 R には定電流源 4 4 0 から定電流源 4 5 0 に向う、負の向きの電流 i が流れる。その結果、入力端子 4 7 0 から基準電圧 V_{ref} が入力された場合の出力端子 4 8 0 からの出力電圧 V_{out} は、基準電圧 V_{ref} よりも抵抗素子 R での電圧降下の分だけ低い、 $V_{out} = V_{ref} - i \cdot R$ となるのである。

10

【 0 0 7 7 】

そして、個々の上記 γ 補正調整回路 5 4 における各定電流源 4 4 0、4 5 0 に関して、電流値を複数值に切り換え可能にし、さらに接地と電源への接続とを切り換え可能にし、上記夫々の切り換えを前述の γ 補正用の各調整データ (H 1 R、H 2 G、H 3 B) に基づいて制御することによって、各抵抗素子 R 0 ~ R 7 で得られた基準電圧をそれぞれ γ 補正のために微調整できる。

20

【 0 0 7 8 】

こうして微調整された各基準電圧間の電圧が、さらに前述の 6 4 個の抵抗のうちの 8 個によってさらに 8 等分されて、D / A コンバータ回路 (図 1 および図 1 0 参照) 2 5 に送出される。

【 0 0 7 9 】

図 1 1 は、上記各定電流源 4 4 0、4 5 0 に関する電流値の切り換えおよび接地 / 電源の接続切り換えを実現する γ 補正調整回路 5 4 の定電流源部の回路構成を示す。この定電流源部は、電源に接続されると共に、 n を正の整数として、 $2 (n - 1)$ で重み付けされた電流 $2 (n - 1) i$ を発生する 5 個の各定電流源 i 、 $2 i$ 、 $4 i$ 、 $8 i$ 、 $1 6 i$ を有する。各定電流源 i 、 $2 i$ 、 $4 i$ 、 $8 i$ 、 $1 6 i$ は、各基準電圧において共有化されていること

30

【 0 0 8 0 】

そして、夫々の定電流源 $2 (n - 1) i$ は、 $+ 2 (n - 1)$ の制御信号によってオンするスイッチ $+ 2 (n - 1)$ を介して、抵抗素子 R の一端および出力端子 4 8 0 に接続されている。さらに、 $- 2 (n - 1)$ の制御信号によってオンするスイッチ $- 2 (n - 1)$ を介して、抵抗素子 R の他端および入力端子 4 7 0 に接続されている。

【 0 0 8 1 】

同様に、接地されると共に、上記 $2 (n - 1)$ で重み付けされた電流 $2 (n - 1) i$ を発生する 5 個の各定電流源 i 、 $2 i$ 、 $4 i$ 、 $8 i$ 、 $1 6 i$ を有する。そして、接地されている夫々の定電流源 $2 (n - 1) i$ は、 $+ 2 (n - 1)$ の制御信号によってオンするスイッチ $+ 2 (n - 1)$ を介して、抵抗素子 R の上記他端および入力端子 4 7 0 に接続されている。さらに、 $- 2 (n - 1)$ の制御信号によってオンするスイッチ $- 2 (n - 1)$ を介して、抵抗素子 R の上記一端および出力端子 4 8 0 に接続されている。

40

【 0 0 8 2 】

つまり、上記スイッチ $+ 2 (n - 1)$ および抵抗素子 R を介して、またはスイッチ $- 2 (n - 1)$ を介して入力端子 4 7 0 に接続された定電流源 $2 (n - 1) i$ は図 8 および図 9 における定電流源 4 4 0 として機能し、スイッチ $+ 2 (n - 1)$ および抵抗素子 R を介して、あるいはスイッチ $- 2 (n - 1)$ を介して出力端子 4 8 0 に接続された定電流源 $2 (n - 1) i$ は図 8 および図 9 における定電流源 4 5 0 として機能するのである。

【 0 0 8 3 】

50

そして、表示メモリ 7 に格納された γ 補正用の各調整データ $H1R$ 、 $H2G$ 、 $H3B$ に基づいて、各スイッチ $+2^{(n-1)}$ および各スイッチ $-2^{(n-1)}$ のオン/オフをそれぞれ、制御回路 6a により制御することによって、各定電流源 440、450 に関する電流値の切り換えおよび電源/接地の接続切り換えを実現できる。

【0084】

このような構成により、上記抵抗素子 R を流れる電流の値と方向とを変化させることができ、入力基準電圧 V_{in} に対して抵抗素子 R に流れる電圧降下の分だけ上に、または下に複数段にシフトした出力電圧 V_{out} を出力することができる。以下、具体例を挙げて説明する。

【0085】

以下の説明は、上記 γ 補正用の各調整データ ($H1R$ 、 $H2G$ 、 $H3B$) が 6 ビットデータであるとして行う。このような 6 ビットで表わされる調整データに基づく調整は、 γ 補正に対する調整を $-32 \sim +31$ の 64 段階で行うことを可能にするのである。

【0086】

図 11 において、上記各定電流源 i 、 $2i$ 、 $4i$ 、 $8i$ 、 $16i$ の夫々は、 $2^{(n-1)}$ で重み付けされた各電流値 i 、 $2i$ 、 $4i$ 、 $8i$ 、 $16i$ を発生する。また、上記各スイッチ $+2^{(n-1)}$ およびスイッチ $-2^{(n-1)}$ は、上記、調整用データ ($H1R$ 、 $H2G$ 、 $H3B$) に基づいてオンあるいはオフされる。以下、6 ビットの調整データに基づく γ 補正調整回路 54 の動作を説明する。

【0087】

第 1 の場合として、上記調整データ $H1R$ が「 $+1 : (000001)$ 」の場合について述べる。この場合には 2 つのスイッチ $+2^0$ のみがオンし、他の総てのスイッチはオフする。この状態は、図 9 (a) と同じである。つまり、抵抗素子 R に流れる電流 I_{total} は定電流源 i と同じであり、電流の向きは上記正である。

【0088】

したがって、出力電圧 V_{out} は入力された入力基準電圧 V_{in} よりも抵抗素子 R での電圧降下分だけ上昇し、 $V_{out} = V_{in} + i \times R$ の出力電圧が得られる。これは、入力基準電圧 V_{in} よりも $(i \times R)$ だけ高い電圧である。

【0089】

また、他の場合として、上記調整データ $H3B$ が「 $-9 : (101001)$ 」の場合について説明する。この場合には、2 つのスイッチ -2^3 および 2 つのスイッチ -2^0 の合計 4 つのスイッチがオンし、他の総てのスイッチはオフする。この状態は、図 9 (b) と同じである。

【0090】

つまり、抵抗素子 R に流れる電流 I_{total} は定電流源 i と定電流源 $8i$ との電流の和である $9i$ となり、電流の向きは上記負である。したがって、出力電圧 V_{out} は入力された入力基準電圧 V_{in} よりも抵抗素子 R での電圧降下分だけ下降し、 $V_{out} = V_{in} - 9i \times R$ の出力電圧が得られる。これは、入力基準電圧 V_{in} よりも $(i \times R)$ の 9 倍だけ低い電圧である。

【0091】

他の調整データの場合においても、上述の動作に準じて、夫々のスイッチ $+2^{(n-1)}$ 、 $-2^{(n-1)}$ をオンまたはオフすることによって、入力基準電圧 V_{in} を中心として、1 段階当り $(i \times R)$ の電圧で $-32 \sim +31$ の範囲内で 64 段階に電圧調整を行うことができる。

【0092】

すなわち、上記調整用データとして 2 の補数表現による符号付 2 進数の多ビットデジタルデータを用いることによって、そのビット番号 n と抵抗素子 R に流す電流値の重み (倍率) $2^{(n-1)}$ とを、スイッチ $+2^{(n-1)}$ 、 $-2^{(n-1)}$ を介して対応付けることができるのである。

【0093】

10

20

30

40

50

したがって、調整用データ（H1R、H2G、H3B）に応じた倍率の調整量を得ることができることになる。つまり、上記調整データによって上記基準値の調整量を簡単に指定することができるのである。

【0094】

このように上記、表示メモリ7に格納された γ 補正用の各調整データH1R、H2G、H3Bに応じてスイッチ+2⁽ⁿ⁻¹⁾、-2⁽ⁿ⁻¹⁾をオン/オフすることによって、入力電圧に対して調整データに基づく調整を行った電圧を出力することができ、この調整を抵抗素子R0～R7に基づく γ 補正值に適用することによって、液晶駆動出力電圧の特性を、抵抗素子R0～R7に基づく γ 補正值を中心としてさらに上下にそれぞれ変更することができる。

10

【0095】

尚、表示メモリ7は、必要に応じて自由にプログラム等により調整データを書き換えられるものとする。よって、上記調整データは自由に書き換えが可能なため、補正特性を容易に変更することができる。

【0096】

以上、64階調の階調表示の場合、64種類の階調表示用電位を発生し、DAコンバータ回路25に対して出力する。DAコンバータ回路25では、レベルシフト回路24からの表示データに応じた階調表示用電圧を上記64種類の階調表示用基準電圧の中から画素毎に1つ選択し、出力回路26に対して出力する。

【0097】

出力回路26は差動増幅器等からなる低インピーダンス変換部であり、出力回路26から液晶パネル2の第1～第mのソース電極それぞれに対して、DAコンバータ回路25で選択された階調表示用基準電圧が付与される。

20

【0098】

この階調表示用基準電圧は、水平同期信号Hの1周期、つまり1水平同期期間維持され、次の水平同期期間は、新たな表示データに応じた階調表示基準電圧が出力される。

【0099】

図7は、境界部分（継ぎ目部分）に対する、 γ 補正值のさらなる変更の一例を示す。例えば、本実施の形態では、B色とR色との γ 補正值に対する、さらなる変更の一例を示す。ここでは、第1番目ソースドライバ3はB色に対し γ 補正を行っており、第1番目ソースドライバ3へはコントローラ6から送られる入力信号BSIとスタートパルス入力信号SSPI（特に図示なし）とが階調表示基準電圧発生回路27のB用の基準電圧発生回路27-3に係る選択回路27-4に供給される。

30

【0100】

そして、この選択回路27-4から出力される制御信号BSOにより、端子H3と、B用の基準電圧発生回路27-3との間に接続されているアナログスイッチが導通状態となり、コントローラ6内の表示メモリ7に格納されたB色用の γ 補正用の調整データH3Bが該B用の基準電圧発生回路27-3に供給され、階調用基準電圧の補正が行われる。

【0101】

また、一方、第2番目ソースドライバ3はR色に対し γ 補正を行っており、ここでは、第2番目ソースドライバ3へ、コントローラ6から送られる入力信号BSIとスタートパルス入力信号SSPI（特に図示なし）とがR用の基準電圧発生回路27-1に係る選択回路27-4に供給される。

40

【0102】

そして、選択回路27-4から出力される制御信号RSOにより、端子H1RとR用の基準電圧発生回路27-1との間に接続されているアナログスイッチが導通状態となり、コントローラ6内の表示メモリ7に格納されたR色用の γ 補正用の調整データH1Rが該R用の基準電圧発生回路27-1に供給され、階調電圧の補正が行われる。

【0103】

なお、上記では、第1番目のソースドライバ3と第2番目ソースドライバ3との間の例を

50

挙げたが、第 k 番目ソースドライバ 3 と第 $(k + 1)$ 番目ソースドライバ 3 との間でも同様である (k は、1 からソースドライバ 3 の総数までの整数)。

【0104】

一方、前述したゲートドライバ 4 は、ここでは特に図示しないシフトレジスタ回路、レベルシフト回路、および出力回路を含んで構成されている。ゲートドライバ 4 では、シフトレジスタ回路に水平同期信号 H および垂直同期信号 V が入力され、水平同期信号 H をクロックとして垂直同期信号 V をシフトレジスタ回路内の各段で順次転送させる。

【0105】

シフトレジスタ回路の各段からの出力は、液晶パネル 2 における各列に含まれる第 1 ~ 第 n の画素、つまり第 1 ~ 第 n のゲート電極にそれぞれ対応している。シフトレジスタ回路の各段からの出力は、レベルシフト回路でレベル変換されることにより各画素が有する T F T のゲートを制御できる電圧まで昇圧され、出力回路で低インピーダンス変換されて、出力回路から液晶パネル 2 の第 1 ~ 第 n のゲート電極それぞれに対して出力される。このゲートドライバ 4 からの出力が走査信号となり、液晶パネル 2 の各画素の T F T のゲートのオン/オフが制御される。

10

【0106】

これにより、走査信号で選択された 1 本のゲート電極にゲートが接続されている T F T がオンされる。そして、1 水平同期期間ごとにゲート電極が順次選択されることで、オンされる T F T を有する画素が順次垂直方向に移動する。

【0107】

走査信号により選択されて T F T がオンされた画素では、その画素に備えられた画素容量にソース電極から階調表示用電位が付与されることで、その電位に応じて画素容量が充電され、T F T がオフとなると画素容量にて電位が保持されることで画素における階調表示がなされる。

20

【0108】

以上、これまでの説明は 1 枚の液晶パネル 2 で複数のソースドライバ 3 を備えた事例で説明したが、複数の液晶パネルを繋いで大画面 (各液晶パネルの特性が互いに若干異なる場合) にした場合における継ぎ目の表示品位の向上にも対応できる。

【0109】

以上のように、本実施の形態においては、各色、ソースドライバ 3 毎に階調表示基準電圧発生回路 27 (R 用 27 - 1、G 用 27 - 2、B 用 27 - 3) に供給される γ 補正用の調整データ ($H1R$ 、 $H2G$ 、 $H3B$) により独立に γ 補正值の変更を行うことが可能となり、従来のような液晶パネルにおける複雑な形状の境界線部の作製工程を省いて、表示むらを低減でき、また、継ぎ目の視認による従来の表示上の見苦しさも抑制できるから、すっきりした表示画面を得ることができる、大画面が可能な液晶表示装置が実現可能である。

30

【0110】

なお、上記では、液晶表示装置を表示装置の例として挙げたが、 γ 補正を必要とする表示装置であれば、本発明を適用でき、そのような他の表示装置としては、C R T、P D P (プラズマディスプレイ)、E L (エレクトロルミネッセンス) 表示装置、発光ダイオード表示装置等が挙げられる。また、 γ 補正の変更をどのような基準にて行うかについては、利用者の見る位置や視角方向の範囲に合わせた、取扱い者 (調整者) 自身による調整データに基づいて設定すればよい。

40

【0111】

【発明の効果】

以上より明らかなように、本発明では、互いに隣り合う各表示領域において、独立して γ 補正の変更ができるので、表示装置の表示品位をきめ細かく制御することができる。

【0112】

その結果、本発明においては、表示品位をきめ細かく制御できるとともに、従来生じ易かった互いに隣り合う各表示領域の継ぎ目部分に発生するスジ状の表示むらを抑制できるた

50

め、表示上の見苦しさも軽減でき、よりすっきりとした表示画面を得ることができると共に、従来のような液晶パネルにおける複雑な形状の境界線部の作製工程を省くことができ、コストアップを抑制できるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明に係る実施の形態における液晶表示装置のソースドライバの概略構成を示すブロック図である。

【図 2】上記液晶表示装置の概略を示すブロック図である。

【図 3】上記液晶表示装置の液晶パネルの概略構成を示す回路図である。

【図 4】上記液晶表示装置における液晶駆動波形の一例を示す波形図である。

【図 5】上記液晶表示装置における液晶駆動波形の他の一例を示す波形図である。

10

【図 6】上記ソースドライバが含む基準電圧発生回路の概略構成を示すブロック図である。

【図 7】上記液晶表示装置における、境界部分（繋ぎ目部分）による y 補正手段の一例を示すための、各ソースドライバの動作例を示すブロック図である。

【図 8】上記基準電圧発生回路の y 補正調整回路を示す概略ブロック図である。

【図 9】上記 y 補正調整回路の動作例を示すブロック図であり、(a) は基準電圧 V_{ref} よりも高い出力電圧 V_{out} を得る場合を示し、(b) は基準電圧 V_{ref} よりも低い出力電圧 V_{out} を得る場合を示す。

【図 10】上記液晶表示装置の DA コンバータ回路の概略構成を示す回路図である。

【図 11】上記 y 補正調整回路の回路図である。

20

【図 12】液晶表示装置の製造における、大型基板を複数のショット領域に分割して、ショット領域毎に露光処理（ショット）を行う工程概念図である。

【図 13】上記各ショット領域でのドットパターンの平面図である。

【図 14】図 13 のドットパターンの拡大平面図である。

【符号の説明】

2 液晶パネル（表示パネル）

3 ソースドライバ（駆動部）

5 液晶駆動電源

6 コントローラ

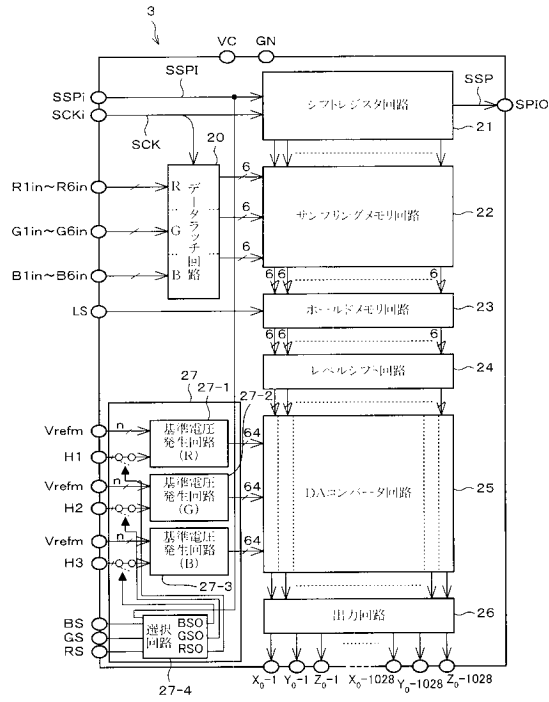
6 a 制御回路（制御部）

7 表示メモリ（メモリ）

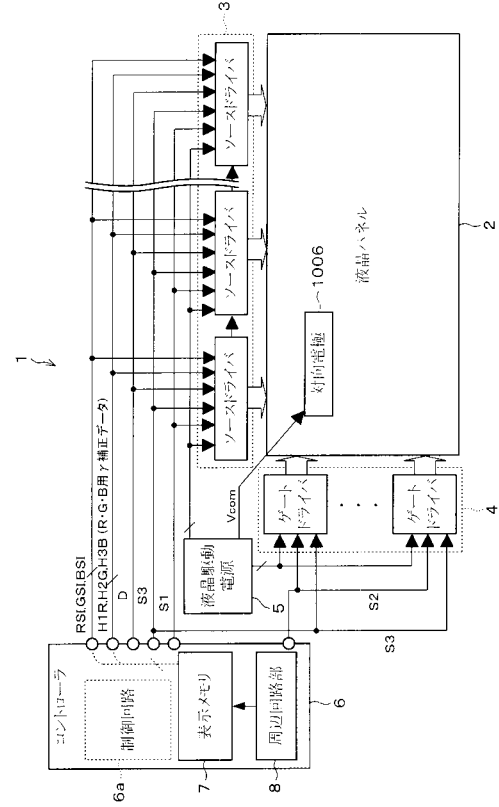
5 4 y 補正調整回路

30

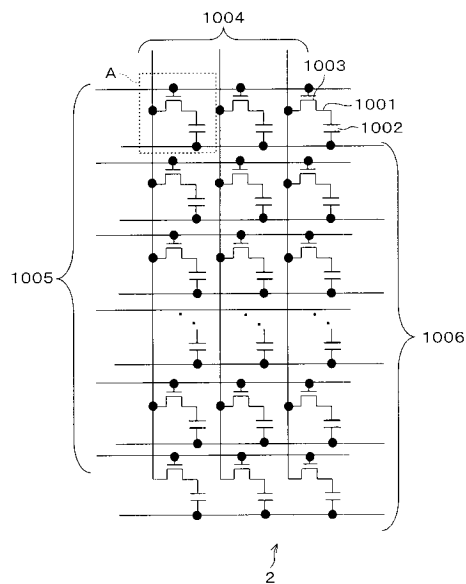
【図 1】



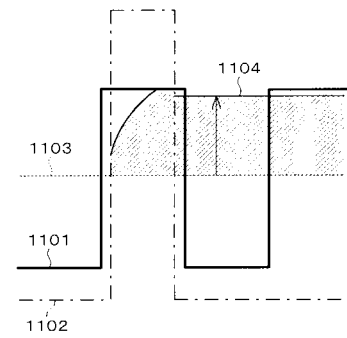
【図 2】



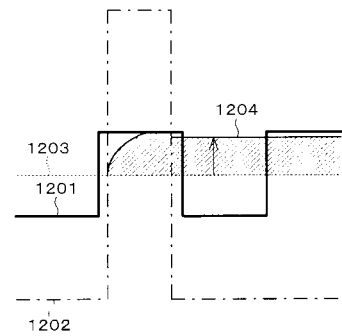
【図 3】



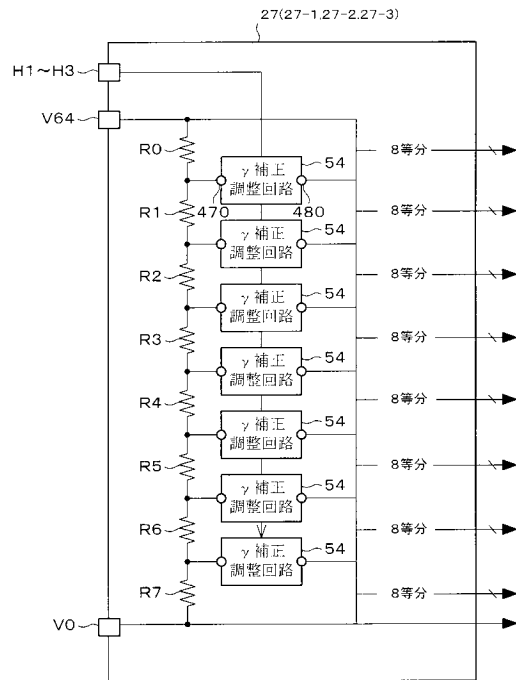
【図 4】



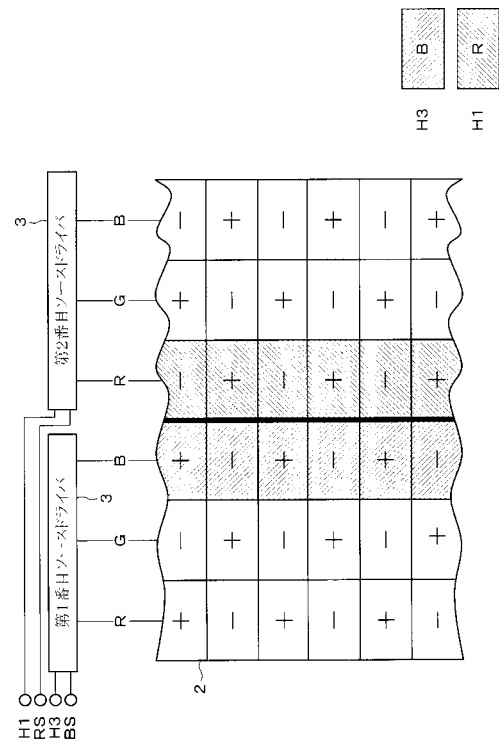
【図 5】



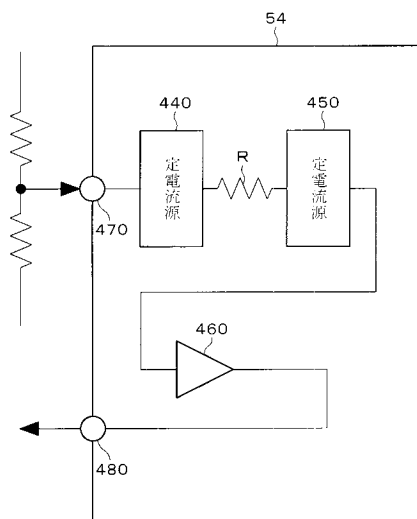
【図 6】



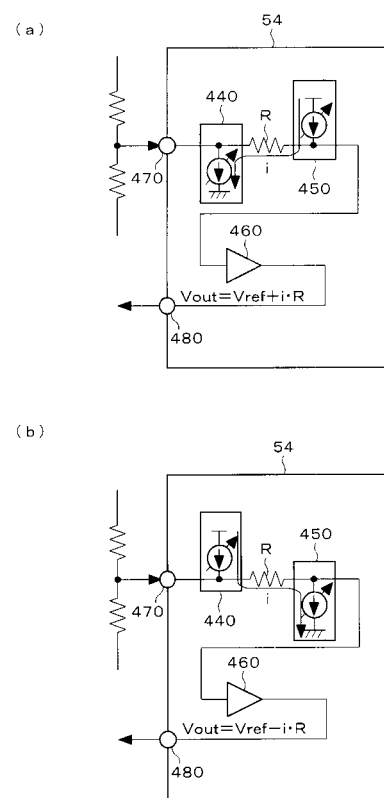
【図 7】



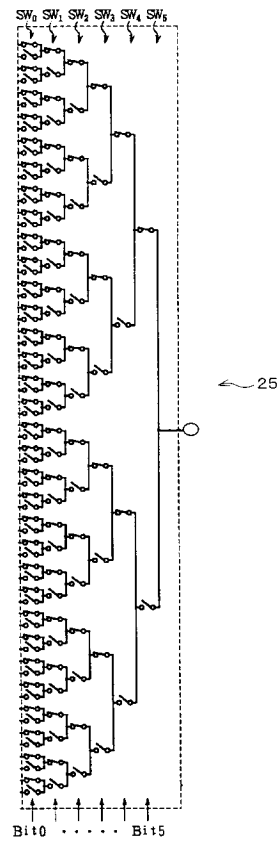
【図 8】



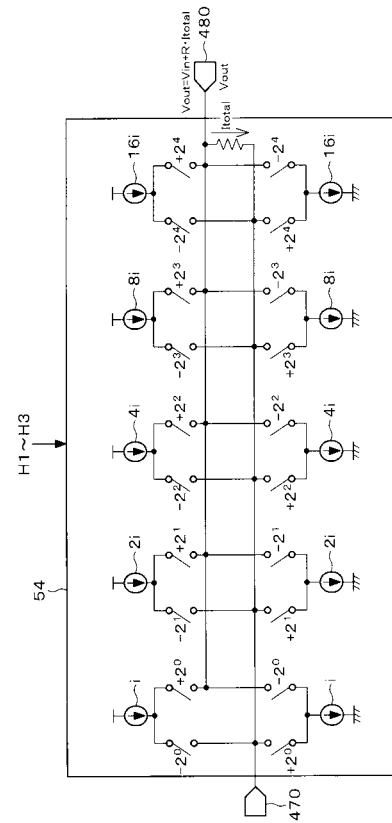
【図 9】



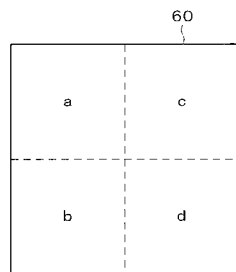
【図 10】



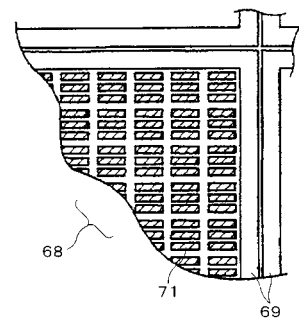
【図 11】



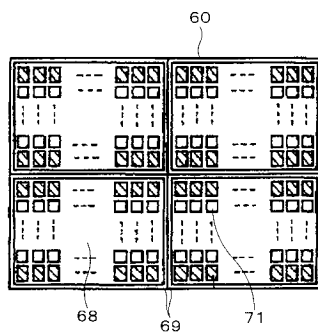
【図 12】



【図 14】



【図 13】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 2 F	1/1333	
G 0 9 F	9/35	
G 0 9 G	3/20	6 1 2 F
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 Q
G 0 9 G	3/20	6 4 2 B
G 0 9 G	3/20	6 4 2 L
G 0 9 G	3/20	6 8 0 E

F ターム(参考) 2H089 HA33 QA16 TA09

2H093	NA16	NA53	NC04	NC13	NC14	NC22	NC27	NC34	ND05	ND15
	ND17									
5C006	AA16	AA22	AC11	AC27	AF01	AF13	AF35	AF43	AF46	AF52
	AF71	AF83	BB14	BB16	BC12	BC23	BF02	BF03	BF04	BF05
	BF09	BF11	BF16	BF22	BF24	BF25	BF27	BF43	BF46	EB04
	FA20	FA22	FA51	FA56						
5C080	AA10	BB06	CC03	CC06	CC07	DD05	DD28	EE29	EE30	FF03
	FF11	FF13	GG12	JJ01	JJ02	JJ03	JJ04	JJ06		
5C094	AA03	AA07	AA08	AA14	AA43	AA44	AA48	AA51	AA53	AA55
	AA56	BA03	BA43	CA19	CA24	CA25	DA09	DA13	DB01	DB04
	EA04	EA05	EB02	FA01	FB12	FB14	FB15			

专利名称(译)	表示装置		
公开(公告)号	JP2004279482A	公开(公告)日	2004-10-07
申请号	JP2003067210	申请日	2003-03-12
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	小川嘉規 田中茂樹		
发明人	小川 嘉規 田中 茂樹		
IPC分类号	G02F1/1333 G02F1/133 G09F9/35 G09G3/20 G09G3/36		
CPC分类号	G09G3/3696 G09G3/3688 G09G2310/027 G09G2320/0233 G09G2320/0276 G09G2320/0285 G09G2320/0606 G09G2320/068		
FI分类号	G09G3/36 G02F1/133.510 G02F1/133.520 G02F1/133.550 G02F1/133.575 G02F1/1333 G09F9/35 G09G3/20.612.F G09G3/20.631.V G09G3/20.641.C G09G3/20.641.Q G09G3/20.642.B G09G3/20.642. L G09G3/20.680.E		
F-TERM分类号	2H089/HA33 2H089/QA16 2H089/TA09 2H093/NA16 2H093/NA53 2H093/NC04 2H093/NC13 2H093/ /NC14 2H093/NC22 2H093/NC27 2H093/NC34 2H093/ND05 2H093/ND15 2H093/ND17 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC27 5C006/AF01 5C006/AF13 5C006/AF35 5C006/AF43 5C006/ /AF46 5C006/AF52 5C006/AF71 5C006/AF83 5C006/BB14 5C006/BB16 5C006/BC12 5C006/BC23 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF05 5C006/BF09 5C006/BF11 5C006/BF16 5C006/ /BF22 5C006/BF24 5C006/BF25 5C006/BF27 5C006/BF43 5C006/BF46 5C006/EB04 5C006/FA20 5C006/FA22 5C006/FA51 5C006/FA56 5C080/AA10 5C080/BB06 5C080/CC03 5C080/CC06 5C080/ /CC07 5C080/DD05 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF03 5C080/FF11 5C080/FF13 5C080/GG12 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA03 5C094/AA07 5C094/AA08 5C094/AA14 5C094/AA43 5C094/AA44 5C094/AA48 5C094/AA51 5C094/AA53 5C094/ /AA55 5C094/AA56 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/CA25 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA05 5C094/EB02 5C094/FA01 5C094/ /FB12 5C094/FB14 5C094/FB15 2H189/AA37 2H189/HA16 2H189/LA10 2H193/ZA04 2H193/ZC13 2H193/ZD23 2H193/ZD34 2H193/ZF03 2H193/ZF34		
代理人(译)	木岛隆一 金子 一郎		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够在增加尺寸的同时抑制成本增加的液晶显示装置。提供一种具有以矩阵布置的多个像素的液晶面板。提供了源极驱动器（3），用于沿垂直方向沿水平方向顺序驱动每个像素的每行，以在液晶面板上显示基于显示数据的图像。提供了灰度参考电压生成电路27，该灰度参考电压生成电路27生成与用于在多灰度等级中显示图像的多灰度等级相对应的每个参考电压。为了对显示数据进行 γ 校正，设置了用于调整各基准电压的 γ 校正调整电路。为了减少彼此相邻的像素中的显示不均匀，提供了控制单元，该控制单元控制 γ 校正调整单元以改变 γ 校正的参考电压。[选型图]图1

