

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-110036

(P2004-110036A)

(43) 公開日 平成16年4月8日(2004.4.8)

(51) Int.Cl.<sup>7</sup>

G02F 1/133  
G09G 3/20  
G09G 3/36

F I

G02F 1/133 525  
G02F 1/133 550  
G09G 3/20 612E  
G09G 3/20 621B  
G09G 3/20 621F

テーマコード (参考)

2H093  
5C006  
5C080

審査請求 未請求 請求項の数 7 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2003-324053 (P2003-324053)  
(22) 出願日 平成15年9月17日 (2003.9.17)  
(31) 優先権主張番号 2002-056508  
(32) 優先日 平成14年9月17日 (2002.9.17)  
(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
三星電子株式会社  
大韓民国京畿道水原市靈通区梅灘洞 4 1 6  
(74) 代理人 100094145  
弁理士 小野 由己男  
(74) 代理人 100106367  
弁理士 稲積 朋子  
(72) 発明者 文 勝 煥  
大韓民国京畿道龍仁市水枝邑上▲ヒョン▼  
里現代アイパーク 6 次アパート 2 0 5 棟 1  
5 0 4 号

F ターム (参考) 2H093 NA16 NA31 NA43 NA53 NB13  
NC03 NC05 NC09 NC11 NC34  
NC35 NC49 NC65 ND06 ND12  
ND35 ND58 NH18

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

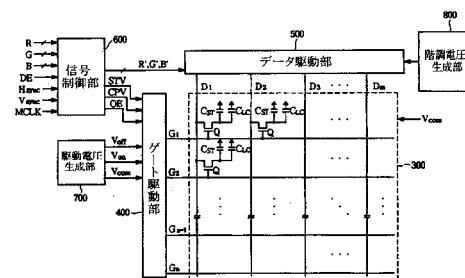
【課題】 液晶表示装置の残像を除去して画質を向上させることにある。

【解決手段】 複数のゲート線及びデータ線が各々行及び列方向に形成されており、ゲート線とデータ線との交差によって定義される領域に、各々ゲート線及びデータ線に連結されているスイッチング素子を有する複数の画素が形成されている液晶パネル、スイッチング素子を駆動させるためのゲート駆動電圧をゲート線に供給するゲート駆動部、及び印加されるデータ信号によって該当する階調電圧をデータ線に供給するデータ駆動部を含み、ゲート駆動電圧は、Von1からVon2まで電圧降下し、

【数1】

$$\frac{Von1 + Vconst}{2} - \frac{Von1 + Vconst}{2} \times 10\% \leq Von2 \leq \frac{Von1 + Vconst}{2} + \frac{Von1 + Vconst}{2} \times 10\% ,$$

$$Von1 > Von2$$



を満たす。

【選択図】 図8

## 【特許請求の範囲】

## 【請求項 1】

複数のゲート線及びデータ線が各々行及び列方向に形成されており、前記ゲート線とデータ線との交差によって定義される領域に、各々前記ゲート線及びデータ線に連結されているスイッチング素子を有する複数の画素が形成されている液晶パネルと、

前記スイッチング素子を駆動させるためのゲート駆動電圧を前記ゲート線に印加するゲート駆動部と、

印加されるデータ信号によって該当する階調電圧を前記データ線に印加するデータ駆動部と、

を含み、前記ゲート駆動部は、互いに異なるレベルのゲート駆動電圧を選択的に印加する、液晶表示装置。 10

## 【請求項 2】

複数のゲート線及びデータ線が各々行と列方向に形成されており、前記ゲート線とデータ線との交差によって定義される領域に、各々前記ゲート線及びデータ線に連結されているスイッチング素子を有する複数の画素が形成されている液晶パネルと、

前記スイッチング素子を駆動させるためのゲート駆動電圧を前記ゲート線に供給するゲート駆動部と、

印加されるデータ信号によって該当する階調電圧を前記データ線に供給するデータ駆動部と、

を含み、前記ゲート駆動電圧は、 $V_{on1}$  から  $V_{on2}$  まで電圧降下し、 20

## 【数 1】

$$\frac{V_{on1} + V_{const}}{2} - \frac{V_{on1} + V_{const}}{2} \times 10\% \leq V_{on2} \leq \frac{V_{on1} + V_{const}}{2} + \frac{V_{on1} + V_{const}}{2} \times 10\%,$$

$$V_{on1} > V_{on2}$$

を満たす液晶表示装置。

## 【請求項 3】

前記階調電圧は、同一階調を示す正極性電圧 ( $V_{n+}$ ) 及び負極性電圧 ( $V_{n-}$ ) からなり、 30

## 【数 2】

$$(V_{n+} + V_{n-})/2 = V_{const} \quad (n = 1, 2, 3, \dots)$$

を満たす、請求項 2 に記載の液晶表示装置。

## 【請求項 4】

一定のレベルの電圧を発生する電圧源と、

一定の周期のパルス信号を発生するスイッチ制御部と、

前記発生した電圧を選択的に伝達する第 1 スイッチと、 40

前記電圧源から出力された電圧を分圧する電圧分圧部と、

前記スイッチ制御部のパルス信号によって前記電圧分圧部を通じて印加される電圧を充電して前記第 1 スイッチのターンオン電圧とターンオフ電圧を生成する第 1 キャパシタと、

前記スイッチ制御部のパルス信号によってターンオン又はターンオフされる第 2 スイッチと、

前記第 1 スイッチを通じて印加される電圧を充電し、前記第 2 スイッチのターンオン時に、充電された電圧を設定された時定数で前記第 2 スイッチを通じて放電する時定数決定部と、

を含み、前記第 1 スイッチと前記第 2 スイッチが交互に動作する駆動電圧生成部をさらに 50

含む、請求項 1 又は 2 に記載の液晶表示装置。

【請求項 5】

前記第 1 スイッチは、PNP バイポーラトランジスタであり、前記第 2 スイッチは、NPN バイポーラトランジスタであることを特徴とする、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記電圧分圧部は、前記電圧源と接地と間に直列連結された第 1 抵抗と第 2 抵抗とからなり、前記第 1 スイッチのベースに連結され、

【数 3】

$$\frac{V_{be2}}{V_n} \leq \frac{R_1}{R_1 + R_2} < \frac{V_{be2} + (V_{high} - V_{low})}{V_n} \quad 10$$

(ただし、 $V_{be2}$ ：前記 PNP トランジスタのベースとエミッタとの間の電圧、 $V_n$ ：前記電圧源から出力される電圧、 $V_{high}$ ：前記スイッチ制御部から出力されるハイレベル電圧、 $V_{low}$ ：前記スイッチ制御部から出力されるローレベル電圧)を満たす、請求項 5 に記載の液晶表示装置。

【請求項 7】

複数のゲート線、前記複数のゲート線と絶縁して交差する複数のデータ線、及び前記複数のデータ線と前記ゲート線とが交差する領域に形成され、各々前記ゲート線及びデータ線に連結されているスイッチング素子を有する複数の画素を含む液晶表示装置の駆動方法において、

【数 4】

$$(V_n^+ + V_n^-) / 2 = V_{const} \quad (n = 1, 2, 3, \dots)$$

の条件を満たす正極性電圧 ( $V_n^+$ ) 及び負極性電圧 ( $V_n^-$ ) を含む複数の階調電圧を生成する段階と、

前記スイッチング素子をターンオンするゲート駆動電圧を生成する段階と、

前記ゲート駆動電圧を前記ゲート線に供給する段階と、

前記階調電圧を前記データ線に供給する段階と、

を含み、前記ゲート駆動電圧は、 $V_{on1}$  から  $V_{on2}$  まで電圧降下し、 $V_{on2}$  は、

【数 5】

$$\frac{V_{on1} + V_{const}}{2} - \frac{V_{on1} + V_{const}}{2} \times 10\% \leq V_{on2} \leq \frac{V_{on1} + V_{const}}{2} + \frac{V_{on1} + V_{const}}{2} \times 10\%$$

の条件を満たす、液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、より詳細には、残像を除去した液晶表示装置及びその駆動方法に関するものである。

【背景技術】

【0002】

一般的な液晶表示装置 (Liquid crystal display、LCD) は、二つの表示板と、その間に入っている誘電率異方性 (dielectric anisotropy) を有する液晶層とを含む。液晶層に電界を印加し、この電界の強さを調節して、液晶層を通過する光の透過率を調節することによって、所望の画像を得る。このような液晶表示装置は、携帯が簡便な平板表示装置 (flat panel display、FPD) の代表的なものであって、この中でも、薄膜トランジ

10

20

30

40

50

スタ (thin film transistor、TFT) をスイッチング素子として用いた T F T - L C D が主に用いられている。

【0003】

薄膜トランジスタが形成される表示板には、複数のゲート線及びデータ線が各々行及び列方向に形成されており、薄膜トランジスタを通じてこれらゲート線及びデータ線に連結された画素電極が形成されている。薄膜トランジスタは、ゲート線を通じて伝達されるゲート信号によってデータ線を通じて伝達されるデータ信号を制御して、画素電極に伝達する。ゲート信号は、駆動電圧生成部で生成されたゲートオン電圧及びゲートオフ電圧の供給を受ける複数のゲート駆動 I C (integrated circuit) が、信号制御部からの制御信号によって、これらを組み合わせて形成する。データ信号は、信号制御部からの階調信号を複数のデータ駆動 I C がアナログ電圧に変換することによって形成される。 10

【0004】

このような液晶表示装置は、静画像の表示だけでなく動画像の表示にも用いられる。しかし、動画像を表示する場合や同一なパターンの画像を一定の時間表示する場合には、液晶の特性により残像が発生する。残像とは、1 フレームの画像を表示した後に、次のフレームの画像を表示する場合に、直前のフレームの画面パターンが消えずにそのまま残って現在のフレームの画像に影響を与える現象を示す。

【0005】

残像は、既存の画面パターンが新たな画像に影響を与えるため、視認性に相当な悪影響を及ぼす不良のうちの一つである。残像の要因としては、液晶内のイオン不純物の濃度、配向力の強さ、キックバック電圧量などがある。 20

【0006】

例えば、イオン不純物の濃度が適切でないために液晶内に存在するイオン不純物が何らかの理由でポリイミド (polyimide) フィルムに吸着した場合、階調電圧が印加されていない状態でも残留 D C 電圧が存在するようになる。したがって、この残留 D C 電圧が液晶分子に作用する場合に、当該画像が液晶パネルにそのまま残って残像が発生する。

【0007】

このような理由により、液晶内のイオン不純物の濃度を最適に調節し、配向力をできるだけ増加させる方向で液晶表示装置の製造が行われており、液晶表示装置の駆動方法を改善してキックバック電圧量を減少させる方法などを用いて、液晶の応答速度を改善させる努力が行われている。 30

【0008】

しかし、キックバック電圧量を減少させることだけでは、残像を除去するのには限界があり、依然として残像が発生するという問題点がある。

【発明の開示】

【発明が解決しようとする課題】

【0009】

したがって、本発明が目的とする技術的課題は、液晶表示装置の残像を除去して画質を向上させることにある。 40

【課題を解決するための手段】

【0010】

本発明の技術的課題を達成するための本発明の特徴による液晶表示装置は、複数のゲート線及びデータ線が各々行及び列方向に形成されており、前記ゲート線とデータ線との交差によって定義される領域に、各々前記ゲート線及びデータ線に連結されているスイッチング素子を有する複数の画素が形成されている液晶パネルと、前記スイッチング素子を駆動させるためのゲート駆動電圧を前記ゲート線に供給するゲート駆動部と、及び印加されるデータ信号によって該当する階調電圧を前記データ線に供給するデータ駆動部とを含み、前記ゲート駆動部は、互いに異なるレベルのゲート駆動電圧を選択的に供給する。

【0011】

本発明の他の特徴による液晶表示装置は、複数のゲート線及びデータ線が各々行及び列方向に形成されており、前記ゲート線とデータ線との交差によって定義される領域に、各々前記ゲート線及びデータ線に連結されているスイッチング素子を有する複数の画素が形成されている液晶パネルと、前記スイッチング素子を駆動させるためのゲート駆動電圧を前記ゲートラインに供給するゲート駆動部と、及び印加されるデータ信号によって該当する階調電圧を前記データ線に供給するデータ駆動部とを含み、前記ゲート駆動電圧は、 $V_{on1}$  から  $V_{on2}$  まで電圧降下し、

【0012】

【数1】

$$\frac{V_{on1} + V_{const}}{2} - \frac{V_{on1} + V_{const}}{2} \times 10\% \leq V_{on2} \leq \frac{V_{on1} + V_{const}}{2} + \frac{V_{on1} + V_{const}}{2} \times 10\% ,$$

$$V_{on1} > V_{on2}$$

10

の条件を満たす。

【0013】

ここで、前記階調電圧は、同一階調を示す正極性電圧 ( $V_{n+}$ ) 及び負極性電圧 ( $V_{n-}$ ) からなり、

【0014】

【数2】

$$(V_{n+} + V_{n-})/2 = V_{const} \quad (n = 1, 2, 3, \dots)$$

20

の条件を満たす。

【0015】

その他にも、前記液晶表示装置は一定のレベルの電圧を発生する電圧源と、一定の周期のパルス信号を発生するスイッチ制御部と、前記発生した電圧を選択的に伝達する第1スイッチと、前記電圧源から出力された電圧を分圧する電圧分圧部と、前記スイッチ制御部のパルス信号によって前記電圧分圧部を通じて印加される電圧を充電して前記第1スイッチのターンオン電圧とターンオフ電圧を生成する第1キャパシタと、前記スイッチ制御部のパルス信号によってターンオン又はターンオフされる第2スイッチと、前記第1スイッチを通じて印加される電圧を充電し、前記第2スイッチのターンオン時に、充電された電圧を設定された時定数で前記第2スイッチを通じて放電する時定数決定部とを含み、前記第1スイッチと前記第2スイッチが交互に動作する駆動電圧生成部をさらに含む。

30

【0016】

ここで、前記第1スイッチは、PNPバイポーラトランジスタであり、前記第2スイッチは、NPNバイポーラトランジスタである。

【0017】

本発明の特徴による液晶表示装置の駆動方法は、複数のゲート線、前記複数のゲート線と絶縁して交差する複数のデータ線、及び前記複数のデータ線と前記ゲート線とが交差する領域に形成され、各々前記ゲート線及びデータ線に連結されているスイッチング素子を有する複数の画素を含む液晶表示装置の駆動方法において、

40

【0018】

【数3】

$$(V_{n+} + V_{n-})/2 = V_{const} \quad (n = 1, 2, 3, \dots)$$

の条件を満たす正極性電圧 ( $V_{n+}$ ) 及び負極性電圧 ( $V_{n-}$ ) を含む複数の階調電圧を生成する段階と、前記スイッチング素子をターンオンするゲート駆動電圧を生成する段階と

50

、前記ゲート駆動電圧を前記ゲート線に供給する段階と、前記階調電圧を前記データ線に供給する段階とを含み、前記ゲート駆動電圧は、 $V_{on1}$  から  $V_{on2}$  まで電圧降下し、 $V_{on2}$  は、

【0019】

【数4】

$$\frac{V_{on1} + V_{const}}{2} - \frac{V_{on1} + V_{const}}{2} \times 10\% \leq V_{on2} \leq \frac{V_{on1} + V_{const}}{2} + \frac{V_{on1} + V_{const}}{2} \times 10\%$$

10

の条件を満たす。

【発明の効果】

【0020】

このように本発明の実施例によれば、TFT-LCDの駆動能力を低下させずに、ゲートオン電圧を低くすることによって、キックバック電圧量を減少させることができる。また、この場合にも、キックバック電圧を残像が発生しない低い電圧になるようにすることで、残像を除去することができる。

【0021】

また、同一階調を示す正極性電圧  $V^+$  及び負極性電圧  $V^-$  の印加時に発生するキックバック電圧間の差を減少させて、残像をより効果的に除去することができる。

20

【0022】

したがって、液晶表示装置の画質がより向上する。

【発明を実施するための最良の形態】

【0023】

添付した図面を参考にして、本発明の実施例について、本発明の属する技術分野で通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は多様な相違した形態で実現でき、ここで説明する実施例に限定されない。

【0024】

まず、本発明の実施例による残像除去方法について説明する。

【0025】

残像を除去するための一般的な方法としては、正極性電圧  $V^+$  及び負極性電圧  $V^-$  が各々画素電極に印加されて、ゲート駆動電圧が  $V_{on} \rightarrow V_{off}$  に変わる時に、キックバック電圧  $V_k$  が減少する場合、液晶キャパシタの両端の電圧差が反対極性で大きさが同一になるように、共通電極に印加される電圧（以下、共通電圧とする） $V_{com}$  を次のように設定する方法がある。

【0026】

【数5】

$$(V^+ - V_k) - V_{com} = V_{com} - (V^- - V_k) \cdots (\text{数式1})$$

40

しかし、このような方法で共通電圧を設定しても、依然として残像が発生する。

【0027】

したがって、前記方法で駆動した時に残像が発生する原因を分析すると、次の通りである。

【0028】

一番目に、同一階調を示すための  $V^+$  及び  $V^-$  であっても、 $V_k$  が一定でないということである。これは、キックバック電圧  $V_k$  を示す下記の数式2で寄生容量（ $C_{gs}$ ）が定数でないためである。

【0029】

50

【数 6】

$$V_k = \frac{C_{gs}}{C_{gs} + C_{st} + C_{lc}} (V_{on} - V_{off}) \cdots (\text{数式 2})$$

キックバック電圧は、各画素のスイッチング素子である T F T がオン状態となった場合に、液晶容量 ( $C_{lc}$ ) 及び保持容量 ( $C_{st}$ ) に印加された電圧が T F T がオフ状態となった後にも持続され続けなければならないが、T F T のゲート電極とソース電極との間にある寄生容量 ( $C_{gs}$ ) のために、画素電極に印加された電圧に生じる歪曲電圧を示す。

【0030】

10

T F T 液晶表示装置は、半導体上に絶縁膜がある構造なので、T F T のゲート電極とソース電極との間にかかるゲート電圧 ( $V_{gs}$ ) に対して寄生容量 ( $C_{gs}$ ) が敷居電圧を基準にゲート電圧 ( $V_{gs}$ ) によって急激に変化する特性を有する。しかし、正極性電圧  $V^+$  及び負極性電圧  $V^-$  を印加した時、ゲート電圧 ( $V_{gs}$ ) は各々次のような値を有する。

【0031】

【数 7】

$$\begin{aligned} V_{gs}^+ &= V_{on} - V^+ \\ V_{gs}^- &= V_{on} - V^- \end{aligned} \cdots (\text{数式 3})$$

20

したがって、常に  $V_{gs}^+ < V_{gs}^-$  の関係が成立する。したがって、 $V_k^+ < V_k^-$  の関係が成立する。

【0032】

図 1 に、同一階調を示す 8 V ( $V^+$ ) 及び 0 V ( $V^-$ ) の階調電圧を印加し、 $V_{on} = 20$  V、 $V_{off} = -7$  V を印加した時に発生するキックバック電圧の波形図が示されている。

【0033】

同一階調を示す正極性電圧 ( $V^+$ ) 及び負極性電圧 ( $V^-$ ) として各々 8 V 及び 0 V を印加した時、キックバック電圧が発生した後の正極性電圧  $V^+$  及び負極性電圧  $V^-$  を確認してみると、図 1 に示されているように、 $8 \text{ V} \rightarrow 7.0495 \text{ V}$ 、 $0 \text{ V} \rightarrow -1.0840 \text{ V}$  になることが分かる。したがって、 $V_k^+ = 0.9505 \text{ V}$  であり、 $V_k^- = 1.084 \text{ V}$  があるので、 $V_k^+ < V_k^-$  の関係が成立することが分かる。

30

【0034】

したがって、同一階調を示すための  $V^+$  及び  $V^-$  であっても、 $V_k$  が一定でなく、寄生容量 ( $C_{gs}$ ) が定数でない。

【0035】

二番目に、前記数式 2 で、液晶容量 ( $C_{lc}$ ) は階調表示ごとに異なり、これにより  $V_k^+$  及び  $V_k^-$  が変わって、数式 1 を等式にする共通電圧 ( $V_{com}$ ) が階調表示ごとに異なるようになる。したがって、共通電圧 ( $V_{com}$ ) が固定された場合には、 $V^+$  及び  $V^-$  を多様な階調ごとに同時に相殺することができないため、残像が発生するのである。

40

【0036】

図 2 に、液晶容量特性を示したグラフが示されている。図 2 に示されたグラフは、ノーマリーホワイト (normally white) T N (twisted nematic) 液晶表示装置において、液晶の両端間の電位差による液晶容量 ( $C_{lc}$ ) の特性を示したものであって、液晶容量 ( $C_{lc}$ ) が左右対称な形態である。

【0037】

図 2 に示されたグラフで、液晶容量  $C_1 < C_2 < C_3$  である正極性電圧  $V^+$  が各々 5 V、6.5 V、8 V であり、負極性電圧  $V^-$  が各々 3 V、1.5 V、0 V である階調電圧を T F T 液晶パネルに印加した場合の結果が図 3 に示されている。図 3 に示された結果を数

50

値的に示すと下の表 1 の通りである。

【0038】

【表 1】

| C  | V <sup>+</sup> | V <sup>-</sup> | V <sub>p</sub> <sup>+</sup> | V <sub>p</sub> <sup>-</sup> | V <sub>k</sub> <sup>+</sup> | V <sub>k</sub> <sup>-</sup> | ΔV <sub>k</sub> |
|----|----------------|----------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------|
| C3 | 8V             | 0V             | 7.0495V                     | -1.0840V                    | 0.9505V                     | 1.084V                      | -0.1335V        |
| C2 | 6.5V           | 1.5V           | 5.3362V                     | 0.23795V                    | 1.1638V                     | 1.26205V                    | -0.09825V       |
| C1 | 5V             | 3V             | 3.5236V                     | 1.4750V                     | 1.4764V                     | 1.525V                      | -0.0486V        |

10

上の表 1 で、ΔV<sub>k</sub> は、同一階調を示す正極性電圧 V<sup>+</sup> 及び負極性電圧 V<sup>-</sup> を印加した時に、各々の電圧で発生するキックバック電圧間の差を示す。

【0039】

表 1 及び図 3 から分かるように、V<sup>+</sup> - V<sup>-</sup> - V<sub>com</sub> = V<sub>com</sub> - (V<sup>-</sup> - V<sup>+</sup>) の方法で液晶表示装置を駆動した時、液晶容量 C 3 の階調電圧では約 134 mV の残留 DC 電圧が発生することがあり、ΔV<sub>k</sub> によって、液晶容量 C 2 では約 98 mV、そして液晶容量 C 1 では約 49 mV の残留 DC 電圧が発生することがある。このような残留 DC 電圧は、5 階調以上の画像表示時に異常が発生させる可能性のある液晶容量の残留電圧であって、少なくとも 10 mV 以下まで抑制しないと、残像の発生によって画質が著しく落ちる。

【0040】

20

したがって、本発明の実施例では、前記のように、V<sup>+</sup> - V<sup>-</sup> - V<sub>com</sub> = V<sub>com</sub> - (V<sup>-</sup> - V<sup>+</sup>) の方法で液晶表示装置を駆動する場合に残像が発生する原因を考慮して、各階調の正極性電圧 V<sub>n</sub><sup>+</sup> 及び負極性電圧 V<sub>n</sub><sup>-</sup> が次のような条件を満たすようにする。

【0041】

【数 8】

$$(V_n^+ + V_n^-)/2 = V_{\text{const}} \quad (n=1, 2, 3, \dots) \quad \text{〔数式 4〕}$$

また、本発明の実施例では、V<sub>on</sub> → V<sub>off</sub> 遷移時間付近でだけ V<sub>on</sub> 電圧を低くすることによって、キックバック電圧の大きさを小さくするようにする。つまり、ゲートオン電圧 V<sub>on</sub> を第 1 ゲートオン電圧 V<sub>on1</sub> 及び第 2 ゲートオン電圧 V<sub>on2</sub> にして各々供給する。ここで、V<sub>on1</sub> > V<sub>on2</sub> である場合、V<sub>on</sub> → V<sub>off</sub> 遷移時間付近では V<sub>on2</sub> を液晶パネルに供給し、残りのゲート駆動区間の間に V<sub>on1</sub> を液晶パネルに供給する。特に、本発明の実施例では、ゲートオン電圧 V<sub>on</sub> を V<sub>on1</sub> 及び V<sub>on2</sub> で供給しても依然として発生する ΔV<sub>k</sub> を補償するために、次のような条件を満たすようにゲートオン電圧、つまり V<sub>on2</sub> 電圧を生成して供給する。

【0042】

【数 9】

40

$$\frac{V_{\text{on1}} + V_{\text{const}}}{2} - \frac{V_{\text{on1}} + V_{\text{const}}}{2} \times 10\% \leq V_{\text{on2}} \leq \frac{V_{\text{on1}} + V_{\text{const}}}{2} + \frac{V_{\text{on1}} + V_{\text{const}}}{2} \times 10\%$$

.....〔数式 5〕

本発明の実施例によって、残像を除去するための条件である数式 5 を考慮せずにゲートオン電圧 V<sub>on</sub> を V<sub>on1</sub> 及び V<sub>on2</sub> で供給する場合には残像が発生し、図 4 にこの場合に該当する電圧の波形図が示されている。図 4 に示された波形は、図 3 と同様に、C 1 < C 2 < C 3 の正極性電圧 V<sup>+</sup> が各々 5 V、6.5 V、8 V であり、負極性電圧 V<sup>-</sup> が各々 3 V、1.5 V、0 V である階調電圧を TFT 液晶パネルに印加し、ゲートオン電圧 V<sub>o</sub>

50



n 1 及び V o n 2 を各々 2 0 V、1 0 V で供給し、ゲートオフ電圧を - 7 V で供給した時の波形図である。図 4 に示された結果を数値的に示すと下の表 2 の通りである。

【 0 0 4 3 】

【表 2】

| C  | V <sup>+</sup> | V <sup>-</sup> | V <sub>p</sub> <sup>+</sup> | V <sub>p</sub> <sup>-</sup> | V <sub>k</sub> <sup>+</sup> | V <sub>k</sub> <sup>-</sup> | ΔV <sub>k</sub> |
|----|----------------|----------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------|
| C3 | 8V             | 0V             | 7.1863V                     | -0.757913V                  | 0.8137V                     | 0.757913V                   | 0.055787V       |
| C2 | 6.5V           | 1.5V           | 5.5806V                     | 0.620468V                   | 0.9194V                     | 0.879514V                   | 0.039886V       |
| C1 | 5V             | 3V             | 3.9247V                     | 1.9419V                     | 1.0753V                     | 1.0581V                     | 0.0172V         |

10

上記の表 2 及び図 4 から分かるように、キックバック電圧 (V<sub>k</sub><sup>+</sup>、V<sub>k</sub><sup>-</sup>) は表 1 に比べて減少したが、同一階調を示す正極性電圧 V<sup>+</sup> 及び負極性電圧 V<sup>-</sup> を印加した時、各々の電圧で発生するキックバック電圧間の差 (ΔV<sub>k</sub>) が依然として発生し、その差も大きい  
ため、依然として残像が発生する。

【 0 0 4 4 】

したがって、本発明の実施例では、ゲートオン電圧を V o n 1 及び V o n 2 で各々供給しながら、

【 0 0 4 5 】

【数 1 0】

20

$$\frac{V_{on1} + V_{const}}{2} - \frac{V_{on1} + V_{const}}{2} \times 10\% \leq V_{on2} \leq \frac{V_{on1} + V_{const}}{2} + \frac{V_{on1} + V_{const}}{2} \times 10\%$$

の条件を満たすようにして、残像が発生しないようにする。

【 0 0 4 6 】

図 5 に、本発明の実施例によって、各階調の正極性電圧 V<sub>n</sub><sup>+</sup> 及び負極性電圧 V<sub>n</sub><sup>-</sup> が数式 4 の条件を満たし、ゲートオン電圧の V o n 1 及び V o n 2 が数式 5 を満たすようにしながら液晶表示装置を駆動した場合の結果が示されている。

【 0 0 4 7 】

30

図 5 は、数式 4 及び数式 5 を満たすように、正極性電圧 V<sub>n</sub><sup>+</sup> 及び負極性電圧 V<sub>n</sub><sup>-</sup> の平均電圧である V c o n s t を 4 V とし、V o n 2 を 1 2 V とし、従来の方法でテストした時と同一に C 1 < C 2 < C 3 の正極性電圧 V<sup>+</sup> が各々 5 V、6 . 5 V、8 V であり、負極性電圧 V<sup>-</sup> が各々 3 V、1 . 5 V、0 V である階調電圧を T F T 液晶パネルに印加した時の波形図である。ここでゲートオフ電圧は - 7 V である。図 5 に示された結果を数値的に示すと下の表 3 の通りである。

【 0 0 4 8 】

【表 3】

| C  | V <sup>+</sup> | V <sup>-</sup> | V <sub>p</sub> <sup>+</sup> | V <sub>p</sub> <sup>-</sup> | V <sub>k</sub> <sup>+</sup> | V <sub>k</sub> <sup>-</sup> | ΔV <sub>k</sub> |
|----|----------------|----------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------|
| C3 | 8V             | 0V             | 7.1987V                     | -0.794937V                  | 0.8013V                     | 0.794937V                   | 0.0006363V      |
| C2 | 6.5V           | 1.5V           | 5.5724V                     | 0.575174V                   | 0.9276V                     | 0.924826V                   | 0.002774V       |
| C1 | 5V             | 3V             | 3.8894V                     | 1.8903V                     | 1.1106V                     | 1.1097V                     | 0.0009V         |

40

図 5 及び表 3 から分かるように、同一階調を示す正極性電圧 V<sup>+</sup> 及び負極性電圧 V<sup>-</sup> を印加した時、各々の電圧で発生するキックバック電圧間の差 (ΔV<sub>k</sub>) が 1 0 mV 以下となることにより、残留 D C 電圧が残像が発生しない水準まで抑制されることが分かる。

【 0 0 4 9 】

一方、V o n 2 が 1 2 V であるので、前記数式 5 によって、V o n 2 は 1 0 . 8 V ≤ V 50

on 2 ≤ 13. 2 V の範囲を満たさなければならないということが分かる。

【0050】

図6に、全ての条件を図5と同一にしながらVon2を10.8Vとした時の波形図が示されており、図6に示された結果を数値的に示すと下の表4の通りである。

【0051】

【表4】

| C  | V <sup>+</sup> | V <sup>-</sup> | V <sub>p</sub> <sup>+</sup> | V <sub>p</sub> <sup>-</sup> | V <sub>k</sub> <sup>+</sup> | V <sub>k</sub> <sup>-</sup> | ΔV <sub>k</sub> |
|----|----------------|----------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------|
| C3 | 8V             | 0V             | 7.1906V                     | -0.771301V                  | 0.8094V                     | 0.771301V                   | 0.038099V       |
| C2 | 6.5V           | 1.5V           | 5.5769V                     | 0.603251V                   | 0.9231V                     | 0.896749V                   | 0.026351V       |
| C1 | 5V             | 3V             | 3.9104V                     | 1.921V                      | 1.0896V                     | 1.079V                      | 0.0106V         |

10

図7に、全ての条件を図5と同一にしながらVon2を13.2Vとした時の波形図が示されており、図7に示された結果を数値的に示すと下の表5の通りである。

【0052】

【表5】

| C  | V <sup>+</sup> | V <sup>-</sup> | V <sub>p</sub> <sup>+</sup> | V <sub>p</sub> <sup>-</sup> | V <sub>k</sub> <sup>+</sup> | V <sub>k</sub> <sup>-</sup> | ΔV <sub>k</sub> |
|----|----------------|----------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------|
| C3 | 8V             | 0V             | 7.1921V                     | -0.825383V                  | 0.8079V                     | 0.825383V                   | -0.01748V       |
| C2 | 6.5V           | 1.5V           | 5.5557V                     | 0.541593V                   | 0.9443V                     | 0.958407V                   | -0.01411V       |
| C1 | 5V             | 3V             | 3.8558V                     | 1.8477V                     | 1.1442V                     | 1.1523V                     | -0.0081V        |

20

前記表4及び表5の結果を分析してみると、Von2が12Vの値を有する場合に比べてキックバック電圧差ΔV<sub>k</sub>の絶対値が大きくなるが、画面全体に残像が表示されないようにするキックバック電圧差間の差が最小化することが分かる。

【0053】

このような本発明の実施例による結果は、従来の駆動方法と比較すると次の通りである。

30

【0054】

【表6】

|             | MaxΔV <sub>k</sub> | MinΔV <sub>k</sub> | MaxΔV <sub>k</sub> -MinΔV <sub>k</sub> |
|-------------|--------------------|--------------------|----------------------------------------|
| 従来の駆動方法(表1) | -48.6 mV           | -133.5 mV          | 84.9 mV                                |
| 従来の駆動方法(表2) | 55.8 mV            | 17.2 mV            | 38.6 mV                                |
| 本発明(表3)     | 6.4 mV             | 0.9 mV             | 5.5 mV                                 |
| 本発明(表4)     | 38.1 mV            | 10.6 mV            | 27.5 mV                                |
| 本発明(表5)     | -8.1 mV            | -17.5 mV           | 9.4 mV                                 |

40

ここで、MaxΔV<sub>k</sub>及びMinΔV<sub>k</sub>の値は、液晶表示装置で表示される残像の水準と比例する値である。前記表6により、本発明の実施例によれば、従来の駆動方法に比べて、残像を除去し、残像の水準をより下げることができることが分かる。

【0055】

一方、本発明の実施例で、ゲートオン電圧Von1を変換させた時、前記数式5によってVon2電圧を算出し、各々Von1及びVon2で液晶表示装置を駆動させた時の残像の発生程度が分かる結果値が下の表7に記載されている。

【0056】

50

【表 7】

| Von1 | Max $\Delta V_k$ | Min $\Delta V_k$ | Max $\Delta V_k$ -Min $\Delta V_k$ |
|------|------------------|------------------|------------------------------------|
| 25V  | 4.8 mV           | -2.2 mV          | 7.0 mV                             |
| 35V  | 5.0 mV           | 2.3 mV           | 2.7 mV                             |

Von1 が 25 V である場合には、前記数式 5 によって Von2 は 14.5 になり、Von1 が 35 V である場合には、前記数式 5 によって Von2 は 19.5 になり、表 7 はこの場合に該当する結果値である。前記表 7 の結果を分析してみると、残像を除去し、残像の水準をより下げることができることが分かる。 10

【0057】

一方、前記表 7 のように Von1 及び Von2 を供給した状態でゲートオフ電圧 Voff を変化させた時の結果値が表 8 に記載されている。

【0058】

【表 8】

| Voff | Max $\Delta V_k$ | Min $\Delta V_k$ | Max $\Delta V_k$ -Min $\Delta V_k$ |
|------|------------------|------------------|------------------------------------|
| -7V  | 5.0 mV           | -2.3 mV          | 2.7 mV                             |
| -15V | -5.6 mV          | -5.2 mV          | 0.6 mV                             |

前記表 8 により、本発明の実施例では、ゲートオフ電圧 Voff の影響力は弱いものであり、ゲートオフ電圧 Voff に関係なく著しい残像除去効果を得ることができる。 20

【0059】

次に、前述の本発明の概念に基き、本発明の実施例による液晶表示装置の具体的な構造及び動作について説明する。

【0060】

図 8 は、本発明の実施例による液晶表示装置のブロック図であり、図 9 は、本発明の一実施例による液晶表示装置の一つの画素に対する等価回路図である。 30

【0061】

図 8 に示したように、本発明による液晶表示装置は、液晶表示板組立体 300 とこれに連結されたゲート駆動部 400 及びデータ駆動部 500、ゲート駆動部 400 に連結された駆動電圧生成部 700、データ駆動部 500 に連結された階調電圧生成部 800、そしてこれらを制御する信号制御部 600 を含む。

【0062】

液晶表示板組立体 300 は、等価回路で見れば、複数の信号線 ( $G_1 - G_n$ 、 $D_1 - D_m$ ) とこれに連結された複数の画素を含み、各画素は、信号線 ( $G_1 - G_n$ 、 $D_1 - D_m$ ) に連結されたスイッチング素子 (Q) とこれに連結された液晶蓄電器 ( $C_{lc}$ ) 及び維持蓄電器 ( $C_{st}$ ) を含む。信号線 ( $G_1 - G_n$ 、 $D_1 - D_m$ ) は、走査信号又はゲート信号を伝達し、行方向に延びている複数の走査信号線又はゲート線 ( $G_1 - G_n$ ) と、画像信号又はデータ信号を伝達し、列方向に延びているデータ信号線又はデータ線 ( $D_1 - D_m$ ) とを含む。スイッチング素子 (Q) は、三端子素子であって、その制御端子はゲート線 ( $G_1 - G_n$ ) に連結され、入力端子はデータ線 ( $D_1 - D_m$ ) に連結され、出力端子は液晶蓄電器 ( $C_{lc}$ ) 及び維持蓄電器 ( $C_{st}$ ) の一つの端子に連結されている。 40

【0063】

液晶蓄電器 ( $C_{lc}$ ) は、スイッチング素子 (Q) の出力端子と共通電圧 ( $V_{com}$ ) 又は基準電圧に連結されている。維持蓄電器 ( $C_{st}$ ) の他の端子は、他の電圧、例えば基準電 50

圧に連結されている。しかし、維持蓄電器 ( $C_{st}$ ) の他の端子は、真上のゲート線（以下、“前端ゲート線”とする）に連結されることもある。前者の連結方式を独立配線方式といい、後者の連結方式を前端ゲート方式という。

#### 【0064】

一方、液晶表示板組立体300を構造的に見れば、図9のように概略的に示すことができる。便宜上、図9には一つの画素だけを示した。

#### 【0065】

図9に示したように、液晶表示板組立体300は、互いに対向する下部表示板100及び上部表示板200とその間の液晶層3を含む。下部表示板100には、ゲート線 ( $G_{i-1}$ 、 $G_i$ ) 及びデータ線 ( $D_j$ ) とスイッチング素子 ( $Q$ ) 及び維持蓄電器 ( $C_{st}$ ) とが備えられている。液晶蓄電器 ( $C_{lc}$ ) は、下部表示板100の画素電極190及び上部表示板200の基準電極270を二つの端子とし、二つの電極190、270間の液晶層3は誘電体として機能する。

10

#### 【0066】

画素電極190はスイッチング素子 ( $Q$ ) に連結され、基準電極270は上部表示板200の全面に形成されて、共通電圧 ( $V_{com}$ ) に連結される。

#### 【0067】

ここで、液晶分子は、画素電極190及び基準電極270が生成する電場の変化によってその配列を変え、これにより液晶層3を通過する光の偏光が変化する。このような偏光の変化は、表示板100、200に付着された偏光子（図示せず）によって光の透過率変化として現れる。

20

#### 【0068】

画素電極190は、また、基準電圧の印加を受ける別個の配線が下部表示板100に備えられ、画素電極190と重なることによって、維持蓄電器 ( $C_{st}$ ) を構成する。前端ゲート方式の場合、画素電極190は、絶縁体を媒介として前端ゲート線 ( $G_{i-1}$ ) と重なることにより、前端ゲート線 ( $G_{i-1}$ ) と共に維持蓄電器 ( $C_{st}$ ) の二つの端子を構成する。

#### 【0069】

図9は、スイッチング素子 ( $Q$ ) の例としてモス (MOS) トランジスタを示しており、このモストランジスタは、実際の工程で、非晶質シリコン又は多結晶シリコンをチャンネル層とする薄膜トランジスタで実現される。

30

#### 【0070】

図8とは異なり、基準電極270が下部表示板100に備えられる場合もあり、この場合には、二つの電極190、270が全て線状に形成される。

#### 【0071】

一方、色表示を実現するためには、各画素が色相を表示することができるようになければならず、これは画素電極190に対応する領域に赤色、緑色又は青色の色フィルター230を備えることによって可能である。色フィルター230は、図8に示したように、主に上部表示板200の該当領域に形成されるが、下部表示板100の画素電極190の上又は下に形成されることもある。

40

#### 【0072】

再び図8を参照すると、駆動電圧生成部700は、スイッチング素子 ( $Q$ ) をターンオンさせるゲートオン電圧 ( $V_{on}$ ) やスイッチング素子 ( $Q$ ) をターンオフさせるゲートオフ電圧 ( $V_{off}$ ) など生成する。ここで、ゲートオン電圧 ( $V_{on}$ ) は、一定の周期ごとに鋸の歯形態に  $\Delta V$  だけ電圧降下する形態を示す。つまり、ゲートオン電圧 ( $V_{on}$ ) は  $V_{on1}$  から  $V_{on2}$  で出力され、ここで  $V_{on1} > V_{on2}$  であり、前記  $V_{on2}$  は前述した数式5を満たす。

#### 【0073】

ゲート駆動部400は、スキャン駆動部ともいい、液晶表示板組立体300のゲート線 ( $G_1 - G_n$ ) に連結されており、駆動電圧生成部700からのゲートオン電圧 ( $V_{on}$ )

50

を補正し、補正されたゲートオン電圧 ( $V_{on}'$ ) とゲートオフ電圧 ( $V_{off}$ ) との組み合わせで形成されるゲート信号をゲート線 ( $G_1 - G_n$ ) に印加する。

【0074】

データ駆動部 500 は、ソース駆動部ともいい、液晶表示板組立体 300 のデータ線 ( $D_1 - D_m$ ) に連結されて階調電圧生成部 800 からの階調電圧を選択し、データ信号としてデータ線 ( $D_1 - D_m$ ) に印加する。

【0075】

信号制御部 600 は、ゲート駆動部 400、データ駆動部 500、及び駆動電圧生成部 700 などの動作を制御する制御信号を生成して、各々該当する制御信号をゲート駆動部 400、データ駆動部 500 及び駆動電圧生成部 700 に供給する。

10

【0076】

このような構造からなる本発明の実施例による液晶表示装置において、前記駆動電圧生成部 700 は、一定の周期ごとに鋸の歯形態に  $\Delta V$  だけ電圧降下する形態のゲートオン電圧 ( $V_{on}$ ) を生成する。

【0077】

以下、図 10 及び図 11 を参照して、ゲートオン電圧を出力するための駆動電圧生成部 700 の駆動回路及び動作について詳細に説明する。

【0078】

図 10 に、本発明の実施例による駆動電圧生成部のゲートオン電圧を生成するための回路が示されている。図 10 に示されているように、駆動電圧生成部 700 は、一定のレベルの DC 電圧を発生する電圧源 ( $V_n$ )、電圧源 ( $V_n$ ) と接地端との間に形成され、互いに直列連結された抵抗 ( $R_1$ 、 $R_2$ )、電圧源 ( $V_n$ ) と抵抗 ( $R_1$ ) の一端との接点にエミッタが連結され、抵抗 ( $R_1$ 、 $R_2$ ) の接点にベースが連結された PNP トランジスタ ( $Q_2$ )、トランジスタ ( $Q_2$ ) のベースと抵抗 ( $R_1$ 、 $R_2$ ) との接点に一端が連結されたキャパシタ ( $C_1$ )、キャパシタ ( $C_1$ ) の他端と接地端との間に形成され、一定の周期の信号を発生するスイッチング制御部 ( $V_c$ )、トランジスタ ( $Q_2$ ) のコレクターに一端が連結された抵抗 ( $R_3$ )、抵抗 ( $R_3$ ) の他端にコレクターが連結され、スイッチング制御部 ( $V_c$ ) にベースが連結され、エミッタが接地された NPN トランジスタ ( $Q_1$ )、及び抵抗 ( $R_3$ ) とトランジスタ ( $Q_2$ ) のコレクターとの接点に一端が連結され、他端が接地されたキャパシタ ( $C_2$ ) を含む。

20

30

【0079】

ここで、電圧源を  $V_n$  と称し、その出力もまた  $V_n$  と称する。そして、出力端を  $V_{n1}$  と称し、出力端を通じて出力される信号を  $V_{n1}$  (この電圧がゲートオン電圧 ( $V_{on}$ ) として用いられる) と称する。また、スイッチング制御部を  $V_c$  と称し、その出力信号を  $V_c$  と称する。そして、前記キャパシタ ( $C_2$ ) は、直接部品を実装したり、直接部品を実装しない場合には、出力 ( $V_{n1}$ ) 経路上の寄生キャパシタを意味する。

【0080】

前記で、電圧源 ( $V_n$ ) は、図 11 の a) のように、一定のレベルの DC 電圧 ( $V_n$ ) を発生し、スイッチング制御部 ( $V_c$ ) は、図 11 の b) のように、 $t_1$  の間ハイレベルの周期信号を発生する。そして、抵抗 ( $R_1$ ) 及び抵抗 ( $R_2$ ) は電圧分圧の機能をし、DC 電圧 ( $V_n$ ) を設計者の所望のレベルまで落とす。この時、抵抗 ( $R_1$ 、 $R_2$ ) によって分圧された電圧は、トランジスタ ( $Q_2$ ) の駆動電圧として作用するが、トランジスタ ( $Q_2$ ) の臨界値以上のレベルであるのが好ましい。

40

【0081】

具体的な動作を説明すると、電圧源 ( $V_n$ ) で DC 電圧を発生し、スイッチング制御部 ( $V_c$ ) の出力がローレベルの状態である場合には、抵抗 ( $R_1$ ) 及び抵抗 ( $R_2$ ) は DC 電圧を分圧し、この分圧電圧はキャパシタ ( $C_1$ ) 電圧となってトランジスタ ( $Q_2$ ) のベースに印加され、トランジスタ ( $Q_2$ ) をターンオンさせる。

【0082】

したがって、キャパシタ ( $C_2$ ) に一定の電圧が形成され、出力端 ( $V_{n1}$ ) には、ス

50

スイッチング制御部（V<sub>c</sub>）の出力がローレベルの区間で、図11のc）のように一定のレベルのDC電圧（V<sub>on1</sub>）が出力される。

【0083】

そして、スイッチング制御部（V<sub>c</sub>）の出力がt<sub>1</sub>区間のようにハイレベルになれば、トランジスタ（Q<sub>1</sub>）はターンオンし、キャパシタ（C<sub>2</sub>）に充電されている電荷を放電させる経路を提供するスイッチの役割として作用する。

【0084】

したがって、キャパシタ（C<sub>2</sub>）に充電された電荷は抵抗（R<sub>3</sub>）及びトランジスタ（Q<sub>1</sub>）を通じて接地端に流れ、出力端（V<sub>n1</sub>）の出力はキャパシタ（C<sub>2</sub>）の放電により電圧降下が見れる。

10

【0085】

この時に現れる電圧の波形は、図11のc）において、スイッチング制御部の出力がハイレベル区間であるt<sub>1</sub>区間のように、R<sub>3</sub>×C<sub>2</sub>の時定数で一定の傾きで電圧が降下する形態（鋸の歯形態）（V<sub>on2</sub>）を示す。

【0086】

ここで、電圧が降下する大きさ（ΔV：V<sub>on1</sub>－V<sub>on2</sub>）は、下の数式6で示される。

【0087】

【数11】

20

$$\Delta V = V_n \times (1 - \exp(\frac{-t_1}{R_3 \times C_2})) \cdots (\text{数式6})$$

数式6で、ΔVは、t<sub>1</sub>及びC<sub>2</sub>が固定されている場合には、抵抗（R<sub>3</sub>）の抵抗値に決定される。

【0088】

一方、スイッチング制御部（V<sub>c</sub>）の出力がハイレベルである場合、つまりトランジスタ（Q<sub>1</sub>）がターンオン状態である時に、トランジスタ（Q<sub>2</sub>）は、キャパシタ（C<sub>1</sub>）の電圧がレベルシフトされてトランジスタ（Q<sub>2</sub>）の臨界電圧以下となり、したがってターンオフされる。

30

【0089】

ここで、トランジスタ（Q<sub>2</sub>）は、トランジスタ（Q<sub>1</sub>）がターンオンされる時にターンオフして、トランジスタ（Q<sub>2</sub>）のエミッタに連結されているV<sub>n</sub>が抵抗（R<sub>3</sub>）経路に放電されないようにする。

【0090】

一方、トランジスタ（Q<sub>2</sub>）をターンオンさせるためには、分割抵抗（R<sub>1</sub>、R<sub>2</sub>）の抵抗比が、抵抗（R<sub>1</sub>）による電圧降下分（V<sub>x</sub>）がトランジスタ（Q<sub>2</sub>）のV<sub>be</sub>より大きいか同一でなければならない。つまり、トランジスタ（Q<sub>2</sub>）をターンオンさせるための電圧降下分（V<sub>x</sub>）は下の数式7のように示すことができる。

【0091】

【数12】

40

$$V_x = \frac{R_1 \times V_n}{R_1 + R_2} \geq V_{be2} \cdots (\text{数式7})$$

ここで、V<sub>be2</sub>はトランジスタ（Q<sub>2</sub>）のエミッタとベースとの間の電圧である。

【0092】

したがって、スイッチング制御部（V<sub>c</sub>）の出力信号がローレベル（V<sub>low</sub>）である時、抵抗（R<sub>1</sub>、R<sub>2</sub>）によって決定されたV<sub>n</sub>－V<sub>x</sub>電圧はC<sub>1</sub>に充電され、スイッチング制御部（V<sub>c</sub>）の出力信号がハイレベル（V<sub>high</sub>）になれば、トランジスタ（Q

50

2) のベース端子には、 $(V_n - V_x)$  にスイッチング制御部 ( $V_c$ ) の電圧である ( $V_{high} - V_{low}$ ) が足されて現れ、トランジスタ ( $Q_2$ ) がターンオフする。

【0093】

つまり、スイッチング制御部 ( $V_c$ ) の出力がハイレベルである時のトランジスタ ( $Q_2$ ) のベースにかかる電圧は、 $(V_n - V_x) + (V_{high} - V_{low})$  となり、この電圧  $(V_n - V_x) + (V_{high} - V_{low})$  は、 $V_n - V_{be2}$  より大きくなければならない。したがって、電圧降下分 ( $V_x$ ) は下の数式 8 のように示されることができる。

【0094】

【数 1 3】

10

$$(V_n - V_x) + (V_{high} - V_{low}) > V_n - V_{be2} \dots (\text{数式 8})$$

数式 7 及び数式 8 により、電圧降下分 ( $V_x$ ) を決定するための  $R_1$  及び  $R_2$  の抵抗比は次の数式 9 の範囲に決定される。

【0095】

【数 1 4】

$$\frac{V_{be2}}{V_n} \leq \frac{R_1}{R_1 + R_2} < \frac{V_{be2} + (V_{high} - V_{low})}{V_n} \dots (\text{数式 9})$$

20

そして、キャパシタ ( $C_1$ ) によってレベルシフトされて発生した電圧  $(V_n - V_x) + (V_{high} - V_{low})$  は、 $t_1$  区間の間でトランジスタ ( $Q_2$ ) をターンオンさせる程に放電されてはならない。例えば、 $V_x = V_{be}$  とし、放電量を  $Q_d$  とした場合で、抵抗 ( $R_1$ 、 $R_2$ ) による放電量を無視した場合、 $Q_d = I_b (Q_2 \text{ のベース電流}) \times t_1 \ll C_1 \times (V_{high} - V_{low})$  とならなければならないので、下の数式 10 の条件でキャパシタ ( $C_1$ ) 値を設定しなければならない。

【0096】

【数 1 5】

30

$$C_1 \gg \frac{I_b \times t_1}{V_{high} - V_{low}}, \text{つまり、} C_1 \gg I_b \times t_1 \dots (\text{数式 10})$$

ここで、 $I_b$  は、トランジスタ ( $Q_2$ ) のベース電流である。

【0097】

そして、抵抗 ( $R_1$ ) による放電を考慮する場合、下の数式 11 に基づいて抵抗 ( $R_1$ ) の大きさを決定する。

【0098】

【数 1 6】

40

$$R_1 \times C_1 \gg 1, R_1 \gg \frac{t_1}{C_1} \dots (\text{数式 11})$$

結局、駆動電圧生成部 700 の出力端 ( $V_{n1}$ ) を通じて出力される信号の波形は、図 11 の c) のように、一定の周期ごとに鋸の歯形態に電圧が降下する形態を示す。

【0099】

50

図 11 の c) のような信号の波形は、ゲート駆動部 400 に入力され、ゲート駆動部 400 は、液晶表示板組立体 300 の駆動時に、ゲート線に図 11 の d) のように一定の傾きで  $\Delta V$  だけの電圧降下するゲートオン電圧を印加する。つまり、一定の周期の間  $V_{on1}$  を出力し、途中で  $\Delta V$  だけ電圧が降下した  $V_{on2}$  を出力する。この時の  $V_{on2}$  は、前記数式 5 のように、

【0100】

【数 17】

$$\frac{V_{on1} + V_{const}}{2} - \frac{V_{on1} + V_{const}}{2} \times 10\% \leq V_{on2} \leq \frac{V_{on1} + V_{const}}{2} + \frac{V_{on1} + V_{const}}{2} \times 10\%$$

10

の条件を満たす。

【0101】

前述した実施例により、一定の傾きで  $\Delta V$  だけ電圧降下するゲートオン電圧がゲート駆動部 400 に入力され、信号制御部 600 で処理された RGB 画像データはデータ駆動部 500 に印加される。

【0102】

データ駆動部 500 は、水平開始信号 (Hstart) に同期して印加される RGB 画像データを、各々対応する階調電圧生成部 800 から印加される階調電圧、つまりデータ電圧に変換させた後に印加されるロード信号によって、液晶表示板組立体 300 のスイッチング素子、つまり薄膜トランジスタのソース電極に印加する。そして、ゲート駆動部 400 は、信号制御部 600 から出力されるゲートクロック信号に同期してゲートオン電圧を薄膜トランジスタのゲート電極に印加し、その結果、ソース電極に印加されたデータ電圧が画素電極に充電される。

20

【0103】

したがって、各々の画素電極に供給されたデータ電圧と共通電極の電圧との電位差によって液晶の配向状態が変わり、それによって光の透過量が変わるので、所望の画像が表示される。

【0104】

本発明は、特許請求の範囲内で様々な変更及び実施が可能である。例えば、データ駆動部が直接薄膜トランジスタ基板上に実装され、伝送用フィルムを通じてデータ駆動部が印刷回路基板に連結される COG (Chip on Glass) 形態の液晶表示装置にも、前述した実施例によるゲート電圧が供給されることができる。また、データ駆動部が印刷回路基板と薄膜トランジスタ基板との間に設置される伝送用フィルム (FPC: flexible printed circuit) 上に実装される形態の液晶表示装置にも、前記実施例によるゲート電圧が供給されることができる。

30

【0105】

以上で、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されるわけではなく、特許請求の範囲で定義している本発明の基本概念を用いた当業者のいろいろな変形及び改良形態もまた本発明の権利範囲に属する。

40

【図面の簡単な説明】

【0106】

【図 1】従来の残像除去方法によって発生するキックバック電圧の波形図である。

【図 2】液晶容量特性を示した波形図である。

【図 3】図 2 に示された液晶容量特性に基づいて階調電圧を印加した場合の画素電圧の波形図である。

【図 4】従来のゲート電圧生成方法によってゲート電圧を印加した場合の画素電圧の波形図である。

【図 5】本発明の実施例によって階調電圧を印加した場合の画素電圧の波形図である。

50



【図 6】本発明の実施例によってゲート電圧を変更した場合の画素電圧の波形図である。  
 【図 7】本発明の実施例によってゲート電圧を変更した場合の画素電圧の他の波形図である。

【図 8】本発明の実施例による液晶表示装置のブロック図である。

【図 9】本発明の実施例による液晶表示装置の一つの画素に対する等価回路図である。

【図 10】本発明の実施例による駆動電圧生成部のゲート電圧生成のための回路図である。

【図 11】図 10 に示された回路の波形図である。

【符号の説明】

【0107】

3 液晶層

100 下部表示板

190 画素電極

200 上部表示板

230 色フィルター

270 基準電極

300 液晶表示板組立体

400 ゲート駆動部

500 データ駆動部

600 信号制御部

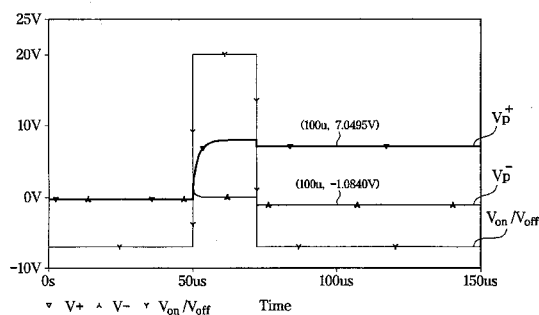
700 駆動電圧生成部

800 階調電圧生成部

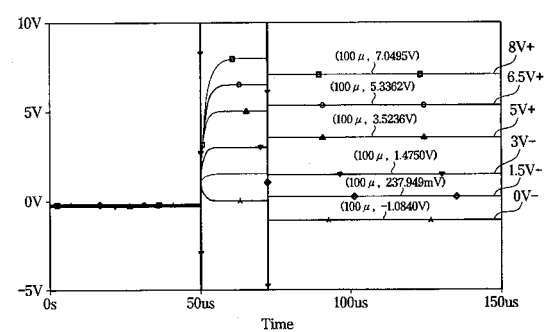
10

20

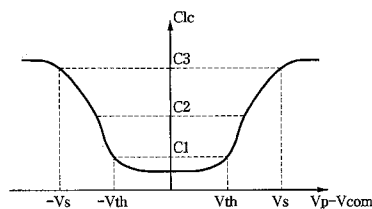
【図 1】



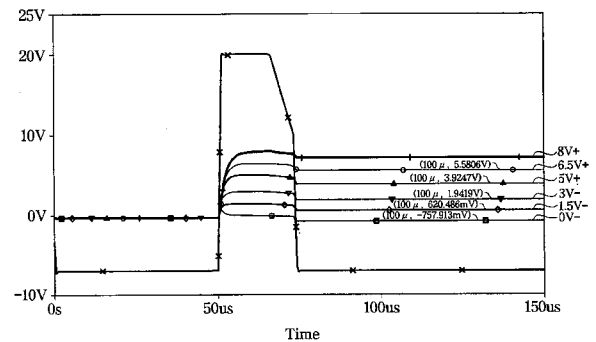
【図 3】



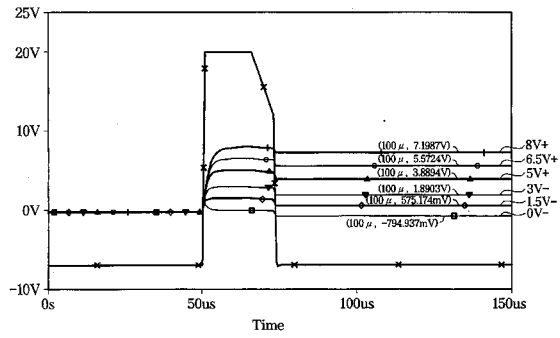
【図 2】



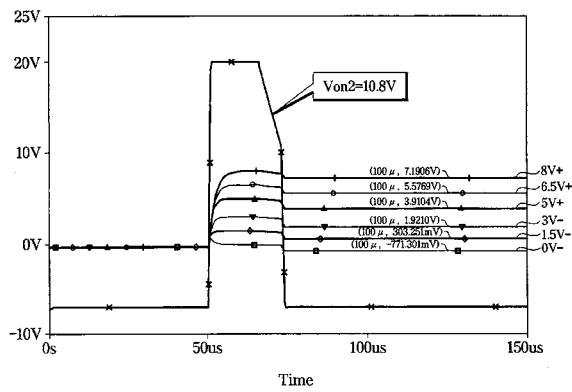
【図 4】



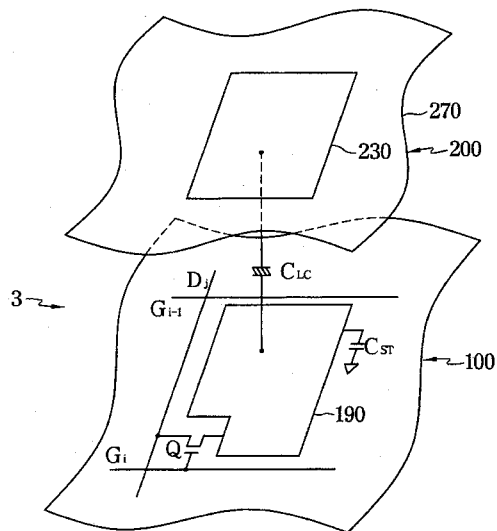
【図 5】



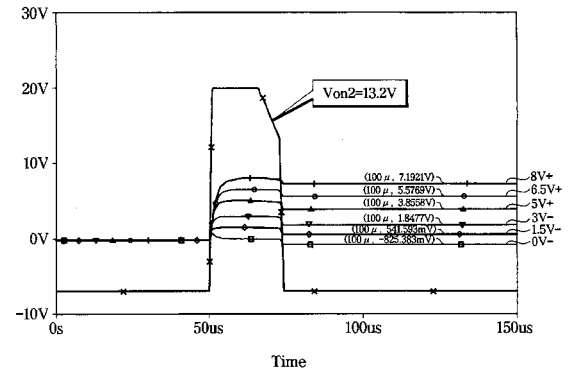
【図 6】



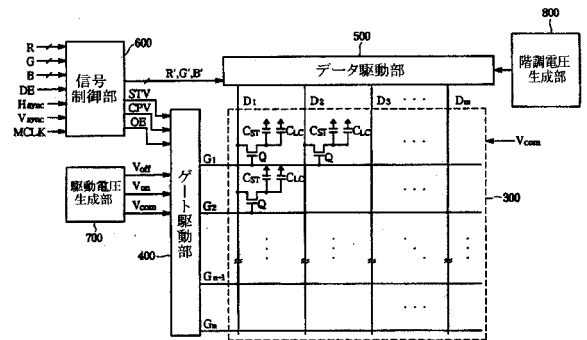
【図 9】



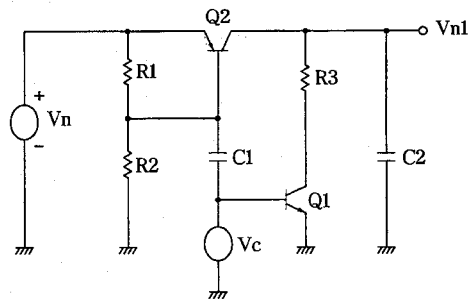
【図 7】



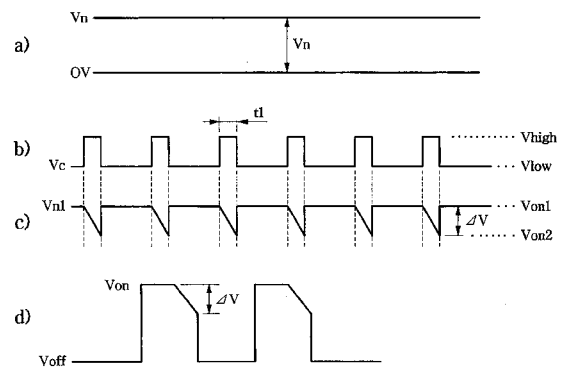
【図 8】



【図 10】



【図 11】



---

フロントページの続き(51)Int.Cl.<sup>7</sup>

F I

テーマコード (参考)

|         |      |         |
|---------|------|---------|
| G 0 9 G | 3/20 | 6 2 2 C |
| G 0 9 G | 3/20 | 6 2 2 G |
| G 0 9 G | 3/20 | 6 4 1 C |
| G 0 9 G | 3/20 | 6 4 1 R |
| G 0 9 G | 3/20 | 6 6 0 V |
| G 0 9 G | 3/36 |         |

|           |       |      |      |      |      |      |      |      |      |      |      |
|-----------|-------|------|------|------|------|------|------|------|------|------|------|
| F ターム(参考) | 5C006 | AA16 | AA22 | AC11 | AC22 | AC26 | AF21 | AF43 | AF50 | AF51 | AF52 |
|           |       | AF71 | BB16 | BC03 | BC20 | BF24 | BF27 | BF31 | BF37 | BF43 | BF46 |
|           |       | FA14 | FA18 | FA25 | FA29 | FA34 | FA37 | FA38 | GA02 | GA04 |      |
|           | 5C080 | AA10 | BB05 | CC03 | DD05 | DD08 | DD29 | EE19 | EE29 | FF11 | JJ02 |
|           |       | JJ03 | JJ04 | JJ05 | JJ06 |      |      |      |      |      |      |

【要約の続き】

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置及其驱动方法                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 公开(公告)号        | <a href="#">JP2004110036A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | 公开(公告)日 | 2004-04-08 |
| 申请号            | JP2003324053                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          | 申请日     | 2003-09-17 |
| [标]申请(专利权)人(译) | 三星电子株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| 申请(专利权)人(译)    | 三星电子株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| [标]发明人         | 文勝煥                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |         |            |
| 发明人            | 文 勝 煥                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| IPC分类号         | G02F1/133 G09G3/20 G09G3/36                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| CPC分类号         | G09G3/3696 G09G3/3648 G09G3/3677 G09G2320/0219 G09G2320/0257                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| FI分类号          | G02F1/133.525 G02F1/133.550 G09G3/20.612.E G09G3/20.621.B G09G3/20.621.F G09G3/20.622.C G09G3/20.622.G G09G3/20.641.C G09G3/20.641.R G09G3/20.660.V G09G3/36                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| F-TERM分类号      | 2H093/NA16 2H093/NA31 2H093/NA43 2H093/NA53 2H093/NB13 2H093/NC03 2H093/NC05 2H093/NC09 2H093/NC11 2H093/NC34 2H093/NC35 2H093/NC49 2H093/NC65 2H093/ND06 2H093/ND12 2H093/ND35 2H093/ND58 2H093/NH18 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC22 5C006/AC26 5C006/AF21 5C006/AF43 5C006/AF50 5C006/AF51 5C006/AF52 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF24 5C006/BF27 5C006/BF31 5C006/BF37 5C006/BF43 5C006/BF46 5C006/FA14 5C006/FA18 5C006/FA25 5C006/FA29 5C006/FA34 5C006/FA37 5C006/FA38 5C006/GA02 5C006/GA04 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD08 5C080/DD29 5C080/EE19 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H193/ZA04 2H193/ZB02 2H193/ZD23 2H193/ZF03 2H193/ZH40 |         |            |
| 优先权            | 1020020056508 2002-09-17 KR                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| 其他公开文献         | JP4644421B2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |

#### 摘要(译)

要解决的问题：通过消除液晶显示设备的残像来提高图像质量。 分别在行和列方向上形成多条栅极线和数据线，并且在由栅极线和数据线的交点限定的区域中，开关连接到栅极线和数据线。 液晶面板中，形成有分别具有元件的多个像素，将用于驱动开关元件的栅极驱动电压提供给栅极线的栅极驱动器，以及与施加至数据线的数据信号对应的灰度级电压。 包括要提供的数据驱动器在内，栅极驱动电压从Von1降至Von2，[等式1] 见面 [选择图]图8

