

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 2 F 1/133	550	G 0 2 F 1/133	550 2 H 0 9 3
G 0 9 G 3/20	611	G 0 9 G 3/20	611 J 5 C 0 0 6
	624		624 B 5 C 0 8 0
	631		631 M
3/36		3/36	
		審査請求 未請求	請求項の数 6 O L (全 8 数)

(21)出願番号	特願2001 - 394201(P2001 - 394201)	(71)出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	平成13年12月26日(2001.12.26)	(72)発明者	前田 孝志 埼玉県深谷市幡羅町一丁目9番地2 株式会 社東芝深谷工場内
		(72)発明者	綱島 貴徳 埼玉県深谷市幡羅町一丁目9番地2 株式会 社東芝深谷工場内
		(74)代理人	100083806 弁理士 三好 秀和 (外 7 名)

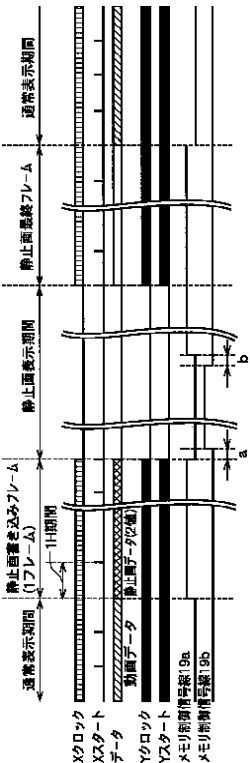
最終頁に続く

(54)【発明の名称】 表示装置の駆動方法

(57)【要約】

【課題】 デジタルメモリを備えた表示装置では、デジタルメモリから静止画データを取り出す2つのスイッチ素子が同時にオンしてしまい、液晶層に正常な書き込み電圧を印加できないことがある。

【解決手段】 静止画表示期間において、2つのメモリ制御信号のオン期間におけるパルス幅が、オフ期間におけるパルス幅よりも狭くなるように信号波形を制御する。これにより、2つのメモリ制御信号のそれぞれのオン期間が重複しなくなるため、前記2つのスイッチ素子は同時にオンすることがなくなる。



【特許請求の範囲】

【請求項 1】 マトリクス状に配置された複数の走査線及び複数の信号線、このマトリクスの各格子毎に配置された画素電極、前記走査線に供給される走査信号により前記信号線と前記画素電極間を導通させて前記信号線に供給された映像データを前記画素電極に書き込む、前記各格子毎に設けられた画素スイッチ素子、前記画素電極に書き込む二値の映像データを保持し、出力／反転出力として取り出し可能なデジタルメモリ、前記画素電極と前記デジタルメモリとの間の導通を制御し、前記デジタルメモリに保持された前記二値の映像データを出力／反転出力として取り出すための 2 つのメモリスイッチ素子、前記 2 つのメモリスイッチ素子をそれぞれオン／オフ制御するための 2 つのメモリ制御信号を伝達する 2 つのメモリ制御信号線、を有するアレイ基板と、すべての前記画素電極と所定間隔をもって対向配置される共通の対向電極を有する対向基板と、前記アレイ基板と前記対向基板との間に保持された表示層とを備えた表示装置の駆動方法において、通常表示期間では、前記 2 つのメモリスイッチ素子により前記画素電極と前記デジタルメモリとの間の導通をオフする一方、前記画素スイッチ素子を所定周期でオンして、前記信号線に供給された映像データを前記画素電極に書き込むことで表示を行い、静止画表示期間では、前記画素スイッチ素子により前記信号線と前記画素電極間の導通をオフする一方、前記メモリ制御信号により前記 2 つのメモリスイッチ素子を所定周期で交互にオンして、前記デジタルメモリに保持された二値の映像データを交互に出力／反転出力として取り出して前記画素電極に書き込むことで表示を行い、且つ、前記 2 つのメモリスイッチ素子のそれぞれのオン期間は重複しないことを特徴とする表示装置の駆動方法。

【請求項 2】 前記 2 つのメモリ制御信号のオン期間におけるパルス幅は、オフ期間におけるパルス幅よりも狭いことを特徴とする請求項 1 に記載の表示装置の駆動方法。

【請求項 3】 前記オン期間におけるパルス幅は、少なくとも、前記オフ期間におけるパルス幅よりも、前記メモリ制御信号線の時定数による立ち上がり時間及び立ち下がり時間の分だけ狭いことを特徴とする請求項 2 に記載の表示装置の駆動方法。

【請求項 4】 前記 2 つのメモリスイッチ素子を所定周期で交互にオンする周期に合わせて、前記対向電極の電位を反転させることを特徴とする請求項 1、2 又は 3 に記載の表示装置の駆動方法。

【請求項 5】 前記対向電極の電位は、前記メモリ制御信号のオン期間におけるパルス幅と等しい期間だけ印加されることを特徴とする請求項 4 に記載の表示装置の駆動方法。

【請求項 6】 前記デジタルメモリに保持される二値の映像データは、黒表示又は白表示に対応する書き込み電圧であることを特徴とする請求項 1、2、3、4 又は 5 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、携帯電話や電子ブック等に使用される高画質、低消費電力な表示装置に関し、詳しくはデジタルメモリを備えた表示装置の駆動方法に関する。

【0002】

【従来の技術】近年、液晶表示装置は軽量、薄型、低消費電力という利点を活かして携帯電話や電子ブック等の小型情報端末のディスプレイとして使われている。このような小型情報端末は、一般にバッテリー駆動方式が採用されていることから、低消費電力化が重要な課題となっている。

【0003】とくに携帯電話においては、待ち受け時間中に低消費電力で表示できることが求められており、これを実現するための技術としては、例えば特開 2001-264814 号公報に開示された液晶表示装置がある。この液晶表示装置は、画素内にデジタルメモリを備えており、待ち受け時（以下、静止画表示時）には、液晶を交流駆動するための交流駆動回路のみを動作させ、その他の周辺駆動回路を止めることにより、大幅な消費電力の低減を図っている。

【0004】

【発明が解決しようとする課題】上記特開 2001-264814 号公報に開示された液晶表示装置では、静止画表示時に液晶を交流駆動するため、デジタルメモリの出力側に 2 つのスイッチ素子を備えている。そして、この 2 つのスイッチ素子を、それぞれ独立した 2 つのメモリ制御信号により 1 フレーム毎に交互にオンすることにより、デジタルメモリの出力／反転出力（二値出力）を交互に画素電極に印加し、この周期に合わせて対向電極の電位を反転させている。これによると、対向電極の電位と画素電極の電位が同位相となる画素では液晶層に電圧がかからず、また対向電極と画素電極が逆位相となる画素では液晶層に電圧がかかることになる。この動作を繰り返すことにより、液晶を交流駆動することができる。

【0005】ところで、前記メモリ制御信号を伝達するメモリ制御信号線には、配線抵抗や配線容量が存在するため、メモリ制御信号の波形も立ち上がり時間と立ち下がり時間に遅れを生じる場合がある。こうした遅れにより、2 つのスイッチ素子が同時にオンしてしまうと、デジタルメモリの出力／反転出力が同時に画素電極に印加され、液晶層に正常な書き込み電圧を印加することができず、表示不良となることがあった。

【0006】この発明の目的は、デジタルメモリの誤

動作を解消して、静止画表示時においても優れた表示品位を得ることができる表示装置の駆動方法を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は、マトリクス状に配置された複数の走査線及び複数の信号線、このマトリクスの各格子毎に配置された画素電極、前記走査線に供給される走査信号により前記信号線と前記画素電極間を導通させて前記信号線に供給された映像データを前記画素電極に書き込む、前記各格子毎に設けられた画素スイッチ素子、前記画素電極に書き込む二値の映像データを保持し、出力／反転出力として取り出し可能なデジタルメモリ、前記画素電極と前記デジタルメモリとの間の導通を制御し、前記デジタルメモリに保持された前記二値の映像データを出力／反転出力として取り出すための2つのメモリスイッチ素子、前記2つのメモリスイッチ素子をそれぞれオン／オフ制御するための2つのメモリ制御信号を伝達する2つのメモリ制御信号線を有するアレイ基板と、すべての前記画素電極と所定間隔をもって対向配置される共通の対向電極を有する対向基板と、前記アレイ基板と前記対向基板との間に保持された表示層とを備えた表示装置の駆動方法において、通常表示期間では、前記2つのメモリスイッチ素子により前記画素電極と前記デジタルメモリとの間の導通をオフする一方、前記画素スイッチ素子を所定周期でオンして、前記信号線に供給された映像データを前記画素電極に書き込むことで表示を行い、静止画表示期間では、前記画素スイッチ素子により前記信号線と前記画素電極間の導通をオフする一方、前記メモリ制御信号により前記2つのメモリスイッチ素子を所定周期で交互にオンして、前記デジタルメモリに保持された二値の映像データを交互に出力／反転出力として取り出して前記画素電極に書き込むことで表示を行い、且つ、前記2つのメモリスイッチ素子のそれぞれのオン期間は重複しないことを特徴とする。

【0008】請求項2の発明は、請求項1において、前記2つのメモリ制御信号のオン期間におけるパルス幅は、オフ期間におけるパルス幅よりも狭いことを特徴とする。

【0009】請求項3の発明は、請求項2において、前記オン期間におけるパルス幅は、少なくとも、前記オフ期間におけるパルス幅よりも、前記メモリ制御信号線の時定数による立ち上がり時間及び立ち下がり時間の分だけ狭いことを特徴とする。

【0010】請求項4の発明は、請求項1、2又は3において、前記2つのメモリスイッチ素子を所定周期で交互にオンする周期に合わせて、前記対向電極の電位を反転させることを特徴とする。

【0011】請求項5の発明は、請求項4において、前記メモリ制御信号のオン期間におけるパルス幅と等しい

期間だけ印加されることを特徴とする。

【0012】請求項6の発明は、請求項1、2、3、4又は5において、前記デジタルメモリに保持される二値の映像データは、黒表示又は白表示に対応する書き込み電圧であることを特徴とする。

【0013】

【発明の実施の形態】以下、この発明に係わる表示装置の駆動方法を、デジタルメモリを備えたアクティブマトリクス型液晶表示装置の駆動方法に適用した場合の実施形態について説明する。なお、本実施形態においては、通常表示において中間調表示や動画表示を行うための映像データを動画データという。また、静止画表示において黒表示又は白表示を行うための二値の映像データを静止画データという。また、前記動画データと静止画データを総称して映像データという。

【0014】図2は、この実施形態に係わるアクティブマトリクス型液晶表示装置の回路構成図であり、図3は図2の概略断面図である。

【0015】この液晶表示装置100は、複数の表示画素10が形成された表示画素部110、走査線駆動回路120及び信号線駆動回路130により構成されている。

【0016】この実施形態の走査線駆動回路120及び信号線駆動回路130は、アレイ基板101（図3）上において、後述する信号線11、走査線12及び画素電極13と一体に形成されている。ただし、走査線駆動回路120及び信号線駆動回路130は、図示しない外部駆動基板上に配置されていてもよい。

【0017】表示画素部110は、アレイ基板101上に複数本の信号線11及びこれと交差する複数本の走査線12が図示しない絶縁膜を介してマトリクス状に配置されており、前記マトリクスの各格子毎に表示画素10が形成されている。

【0018】表示画素10は、画素電極13、画素スイッチ素子14、対向電極15、液晶層16、デジタルメモリスイッチ回路（以下、DMスイッチ回路）17及びデジタルメモリ（以下、DM）18により構成されている。

【0019】表示画素10において、画素スイッチ素子14のソースは信号線11に、ゲートは走査線12に、ドレインは画素電極13にそれぞれ接続されている。また画素電極13はDMスイッチ回路17を介してDM18に接続されており、そのDMスイッチ回路17のゲートはメモリ制御信号線19に、ソースは画素電極13に、ドレインはDM18にそれぞれ接続されている。

【0020】なお、画素電極13には電氣的に並列に図示しない補助容量が接続されている。また、メモリ制御信号線19は、後述するように19a、19bとして2本配置されているが、図3では説明を容易にするために1本のメモリ制御信号線19として図示している。

【0021】各画素電極 13 はアレイ基板 101 上に形成され、すべての画素電極 13 と相対する共通の対向電極 15 は対向基板 102 (図 4) 上に形成されている。対向電極 15 には、図示しない外部駆動基板上に配置されたコントロール IC から所定の対向電位が与えられている。また、画素電極 13 と対向電極 15 の間には表示層として液晶層 16 が保持され、アレイ基板 101 及び対向基板 102 の周囲はシール材 103 により封止されている。なお、図 3 では配向膜や偏光板などの図示は省略している。

【0022】走査線駆動回路 120 は、シフトレジスタ 121 及び図示しないバッファ回路などで構成されており、図示しない外部駆動回路からコントロール信号として供給される Y クロック信号 (垂直クロック信号)、Y スタート信号 (垂直スタート信号) に基づいて、各走査線 12 に対し一水平走査期間毎に走査信号を出力する。この走査信号により走査線 12 はオンレベルとなり、その走査線 12 に接続するすべての画素スイッチ素子 14 はオン (導通) 状態となる。

【0023】走査線駆動回路 120 では、通常の間調表示や動画表示時 (以下、通常表示時) には、走査信号を供給して走査線 12 を順にオンレベルとし、静止画表示時には、すべての走査線 12 をオフレベルとする。また、走査線駆動回路 120 は、表示期間に応じて、メモリ制御信号線 19 にメモリ制御信号を供給し、DM スイッチ回路 17 のオン / オフを制御している。この実施形態では、通常表示時には、メモリ制御信号線 19 をオフレベルとし、静止画表示時には、メモリ制御信号線 19 をオン / オフレベルとしている。なお、メモリ制御信号線 19 には図示しない外部駆動回路から、走査線駆動回路 120 を介さず、直接、メモリ制御信号を供給するようにしてもよい。

【0024】信号線駆動回路 130 は、シフトレジスタ 131、ASW (アナログスイッチ) 132 などで構成されており、図示しないコントロール IC からコントロール信号として X クロック信号 (水平クロック信号)、X スタート信号 (水平スタート信号) が供給されると共に、前記コントロール IC からビデオバス 133 を通じて映像データが供給されている。信号線駆動回路 130 では、X クロック / X スタート信号に基づいて、シフトレジスタ 131 から ASW 132 にオン・オフ信号を供給することにより、ビデオバス 133 から供給される映像データを信号線 11 にサンプリングする。

【0025】ここで、通常表示を行う場合の動作について簡単に説明する。走査線駆動回路 120 から走査信号を出力して、各走査線 12 を一水平走査期間毎に上から順にオンレベルとすると、オンレベルとなった走査線 12 に接続するすべての画素スイッチ素子 14 はオン状態となる。これと同期して信号線 11 に動画データをサンプリングすると、サンプリングされた動画データは画素

スイッチ素子 14 を通じて画素電極 13 に書き込まれる。この動画データは画素電極 13 と対向電極 15 (及び図示しない補助容量) との間に書き込み電圧として充電され、この書き込み電圧の大きさに応じて液晶層 16 が応答することで各表示画素 10 からの透過光量が制御される。このような書き込み動作を一フレーム期間内にすべての走査線 12 について実施することにより、一面分の映像が完成する。

【0026】次に、本実施形態における表示画素 10 の回路構成を、図 4 及び図 5 を参照しながら説明する。

【0027】図 4 は、表示画素 10 の回路構成図、図 5 はその概略平面図である。図 4 及び図 5 では、図 3 と同等部分を同一符号で示している。

【0028】DM スイッチ回路 17 は、2 つのスイッチ素子 21、22 で構成され、DM 18 の出力端子 27 及び反転出力端子 28 と、画素電極 13 との間に挿入されている。DM スイッチ回路 17 において、スイッチ素子 21 のゲートはメモリ制御信号線 19a に接続され、スイッチ素子 22 のゲートはメモリ制御信号線 19b にそれぞれ接続されている。そして、メモリ制御信号線 19a、19b に対し走査線駆動回路 120 からメモリ制御信号が供給されることで、スイッチ素子 21、22 は独立して制御される。静止画表示期間において、メモリ制御信号線 19a、19b は、1 フレーム毎に交互にオン期間となるようにメモリ制御信号が供給される。このときに、スイッチ素子 21、22 のそれぞれのオン期間が重複しないように、2 つのメモリ制御信号のオン期間におけるパルス幅は、オフ期間におけるパルス幅よりも狭くなるように設定されている。具体的には、オン期間におけるパルス幅が、少なくとも、オフ期間におけるパルス幅よりも、メモリ制御信号線 19a、19b の時定数による立ち上がり時間及び立ち下がり時間の分だけ狭くなるように、そのパルスの立ち上がり域と立ち下がり域がカットされている。

【0029】DM 18 は、2 つのインバータ回路 23、24 と、DM 内部スイッチ素子 25 で構成されている。このうち、DM 内部スイッチ素子 25 は、画素スイッチ素子 14 とは逆チャンネルのスイッチ素子であり、これら 2 つのスイッチ素子は CMOS トランジスタで構成されている。また、DM 内部スイッチ素子 25 のゲートは、画素スイッチ素子 14 のゲートと同じ走査線 12 に接続され、ここに供給される走査信号により同時にオン / オフが制御される。ただし、画素スイッチ素子 14 と DM 内部スイッチ素子 25 のオン / オフは反転の関係にある。すなわち、画素スイッチ素子 14 がオンすると、DM 内部スイッチ素子 25 はオフとなり、画素スイッチ素子 14 がオフすると、DM 内部スイッチ素子 25 はオンとなる。

【0030】インバータ回路 23、24 の正極性側と負極性側には、それぞれ図示しない正電源配線と負電源配

線が接続され、図示しない電源回路からHigh電源電圧とLow電源電圧が供給されている。後述する静止画書き込みフレームにおいて、DM18の出力端子27から入力した静止画データが黒表示に対応する書き込み電圧とすると、例えば、インバータ回路23の出力側にはHigh電源電圧が保持され、インバータ回路24の出力側にはLow電源電圧が保持される。また、入力した静止画データが白表示に対応する書き込み電圧とすると、例えば、インバータ回路23の出力側にはLow電源電圧が保持され、インバータ回路24の出力側にはHigh電源電圧が保持される。

【0031】次に、上記ように構成された液晶表示装置100の動作を図1に示す信号波形のタイミングチャートを参照しながら説明する。

【0032】通常表示期間では、メモリ制御信号線19a、19bをともにオフレベルとし、DMスイッチ回路17をオフ状態とする。この間は、走査線駆動回路120及び信号線駆動回路130に対し、それぞれX/Yのクロック信号、スタート信号、及び動画データを供給して駆動を行うことにより、フルカラーによる中間調/動画表示を行う。なお、図中の1H期間とは一水平走査期間であり、この1H期間毎に出力されるXスタート信号に同期して走査線駆動回路120から走査信号が出力される。

【0033】一方、通常表示から静止画表示に切り替える際は、通常表示から静止画表示に移行する最後の1フレーム（静止画書き込みフレーム）において、メモリ制御信号線19aをオンレベル、メモリ制御信号線19bをオフレベルとする。そして、画素スイッチ素子14が走査信号によりオン状態となっている間に、信号線11に静止画データをサンプリングし、これを画素スイッチ素子14及びスイッチ素子21を通じてDM18に書き込む。

【0034】DM18に静止画データを書き込んだ後は、走査線12をオフレベルとし、画素スイッチ素子14をオフ、DM内部スイッチ素子25をオンとする。これにより、インバータ回路23、24はループ接続される。先に説明したように、インバータ回路23、24のそれぞれの出力側に保持されたHigh電源電圧、Low電源電圧は、このループ回路の中で保持されることになる。

【0035】続く、静止画表示期間において、メモリ制御信号線19aをオフレベル、メモリ制御信号線19bをオンレベルとすると、DM18に保持されている静止画データは、オン状態のDM内部スイッチ素子25から出力端子27を通じて取り出され、さらにDMスイッチ回路17のスイッチ素子21を通じて画素電極13に書き込まれる。この静止画表示期間、図示しないコントロールICから走査線駆動回路120及び信号線駆動回路130へのコントロール信号や映像データの供給は停止

している。

【0036】静止画表示期間において、画素電極13に書き込まれた静止画データは、短時間であればこの状態で保持することもできるが、長時間保持すると直流成分により液晶層16が劣化するため、静止画表示期間においても交流駆動する必要がある。この実施形態では、静止画表示期間において、1フレーム周期でメモリ制御信号線19a、同19bを交互にオンレベルとすることによって、スイッチ素子21、22を交互にオンし、この周期に合わせて対向電極15の電位（図1では図示を省略）を反転させることで交流駆動を実現している。

【0037】すなわち、スイッチ素子21、22を交互にオンすることで、画素電極13の電位はHigh電源電位/Low電源電位が交互に出力され、これと同期させて対向電極15の電位をHigh電源/Low電源間でシフトすることにより、対向電極15と極性が同じ表示画素10では液晶層16に電圧がかからず、逆極性の表示画素10では液晶層16に電圧がかかるため、黒又は白の二値表示を行うことができる。

【0038】先に説明したように、メモリ制御信号線19a、同19bに供給されるメモリ制御信号は、スイッチ素子21、22のそれぞれのオン期間が重複しないように、2つのメモリ制御信号のオン期間におけるパルス幅が、オフ期間におけるパルス幅よりも狭くなるように設定されている。図1の例では、メモリ制御信号19bに供給されるメモリ制御信号のオン期間におけるパルス幅が、メモリ制御信号19aに供給されるメモリ制御信号のオフ期間におけるパルス幅よりも狭くなるように、その立ち上がり域と立ち下がり域が、メモリ制御信号線19bの時定数による立ち上がり時間及び立ち下がり時間に相当する時間分（図中、a、b）だけカットされている。

【0039】なお、図1では、メモリ制御信号19bに供給されるメモリ制御信号のオン期間におけるパルス幅が、オフ期間におけるパルス幅より狭くなるようにしているが、メモリ制御信号19aに供給されるメモリ制御信号のオン期間におけるパルス幅が、オフ期間におけるパルス幅より狭くなるようにしてもよい。また、2つのメモリ制御信号のオン期間におけるパルス幅が、それぞれオフ期間におけるパルス幅より狭くなるようにしてもよい。ただし、どちらか一方のメモリ制御信号のオン期間におけるパルス幅を狭くすれば、2つの制御信号のオン期間におけるパルス幅は、オフ期間におけるパルス幅より狭くなり、それぞれのメモリ制御信号のオン期間が重複しないようにすることができる。また、図示していない対向電極15の電位は、1フレーム周期で反転させるが、メモリ制御信号のオン期間におけるパルス幅と等しい期間だけ印加することが望ましい。

【0040】上記のような駆動方法によれば、1フレーム毎の切り替えにおいて、メモリ制御信号の立ち上がり

時間と立ち下がり時間に遅れが生じて、スイッチ素子21, 22のそれぞれのオン期間は重複することがなく、スイッチ素子21, 22が同時にオンすることがない。したがって、DM18の出力/反転出力が同時に画素電極に印加されることがなくなり、液晶層には常に正常な書き込み電圧を印加することができるようになる。この結果、静止画表示時においても優れた表示品位を得ることができる。

【0041】また、静止画表示期間において、表示画素部110で動作しているのは、低周波数のメモリ制御信号線19と対向電極15だけであるため、静止画表示期間では、低消費電力でマルチカラー表示を行うことができる。

【0042】なお、画素電極13を金属薄膜で構成された光反射型の画素電極とした場合はバックライトが不要となるため、バックライトを用いた透過型の構成に比べて、さらに低消費電力での駆動が可能となる。ちなみに、対角5cm、25万画素の液晶パネルについてフレーム周波数60Hzで静止画表示を行ったところ、消費電力を5mWとすることができた。

【0043】次に、静止画表示から通常表示に切り替える際は、静止画最終フレームを経て再び2本のメモリ制御信号線19a、19bをとともオフレベルとし、走査線駆動回路120及び信号線駆動回路130に対し、それぞれX/Yのクロック信号、スタート信号及び動画データを供給する。なお、静止画最終フレームとは、静止画表示から通常表示に移行する際に設定される準備期間であり、この間、走査線駆動回路120及び信号線駆動回路130の駆動は再開されるが、映像データの書き込みは行われない。

【0044】次に、上記実施形態に示す液晶表示装置100について、その製造方法を図6を用いて説明する。

【0045】図6は、液晶表示装置の製造プロセスを示す概略断面図であり、破線の右側の領域は画素部(表示画素部110)、左側の領域が駆動回路部(走査線駆動回路120など)を示している。以下、図6の(a)~(f)の順に説明する。

【0046】(a) ガラスなどの透明絶縁基板50上に、プラズマCVD法により厚さ50nmのアモルファスシリコン(a-Si)薄膜51を堆積し、このアモルファスシリコン薄膜51を図示しないXeClエキシマレーザ装置でアニールすることで多結晶化する。ここで、前記XeClエキシマレーザ装置からのレーザ光52は、図中Aの方向に走査され、このレーザ光52が照射された領域は結晶化され多結晶シリコン膜53となる。その際、レーザ照射エネルギーを段階的に上げて複数回照射を行うことにより、アモルファスシリコン膜中の水素を効果的に抜くことができ、結晶化時のアブレーションを防ぐことができる。なお、照射エネルギーは200~500mJ/cm²とする。

【0047】(b) 多結晶シリコン膜53をフォトリソグラフィ法を用いてパターニングし、薄膜トランジスタの活性層54を形成する。

【0048】(c) シリコン酸化膜によるゲート絶縁膜55をプラズマCVD法で形成した後、モリブデン-タングステン合金膜をスパッタ法で成膜、パターニングすることでゲート電極56を形成する。また、前記パターニング時に走査線も同時に形成する。ゲート絶縁膜55としては、このほかに窒化シリコン膜や常圧CVD法によるシリコン酸化膜を使うことができる。

【0049】ゲート電極56を形成後に、ゲート電極56をマスクとしてイオンドーピング法で不純物を打ち込み、薄膜トランジスタのソース/ドレイン領域54aを形成する。不純物としては、N-chトランジスタについてはリンを、P-chトランジスタについてはボロンを用いることができる。画素部のトランジスタについてはオフ時のリーク電流を抑えるためにLDD(Lightly Doped Drain)構造を用いるのが効果的である。この場合、ソース/ドレイン電極54aへの不純物注入後にゲート電極56を再パターニングし、一定量だけ細かくした後、再度低濃度の不純物打ち込みを行う。

【0050】(d) ゲート電極56上にプラズマCVD法又は常圧CVD法でシリコン酸化膜による第1の層間絶縁膜57を形成する。

【0051】(e) 第1の層間絶縁膜57及びゲート絶縁膜55にコンタクトホールを形成後、スパッタ法でA1膜を形成、パターニングすることでソース/ドレイン電極58、59を形成する。このとき、信号線も同時に形成する。

【0052】(f) 前記A1膜上に低誘電率絶縁膜(第2の層間絶縁膜)60を形成する。低誘電率絶縁膜60としては、プラズマCVD法で作成した窒化シリコン膜や、酸化シリコン膜、有機絶縁膜等の低誘電率絶縁膜を用いることができる。そして、低誘電率絶縁膜60にコンタクトホールを形成し、A1薄膜61を形成し、パターニングすることで画素電極を形成する。

【0053】以上のプロセスにより、透明絶縁基板50上に画素部と駆動回路部とを一体で形成することができる。この後、透明絶縁基板50と、図示しない対向電極が形成された対向基板とを対向し、周囲をエポキシ樹脂からなるシール材で密閉し、内部に液晶組成物を注入、封止することで液晶表示装置を完成することができる(図3参照)。

【0054】なお、p-Si(ポリシリコン)TFTは、a-SiTFTに比べて電子の移動度が二桁程度高いため、TFTサイズを小さくすることが可能であり、周辺駆動回路をも同時に基板上に一体に形成することができる。この周辺回路としては、高速化、低消費電力化を図るためにCMOS構造とすることが望ましい。その

ため、前記不純物ドーピング工程は、レジストマスクを用いてP型及びN型不純物ドーピング工程の2回に分けて行っている。

【 0 0 5 5 】

【発明の効果】以上説明したように、この発明に係わる表示装置の駆動方法によれば、デジタルメモリから静止画データを取り出す２つのスイッチ素子が同時にオンしてしまうことがなくなり、液晶層には常に正常な書き込み電圧を印加することができるため、静止画表示時においても優れた表示品位を得ることができる。

【図面の簡単な説明】

【図 1】液晶表示装置の動作を示す信号波形のタイミングチャート。

【図2】実施形態に係わるアクティブマトリクス型液晶*

*表示装置の回路構成図。

【図3】図2の概略断面図。

【図4】表示画素の回路構成図。

【図5】図4の概略平面図。

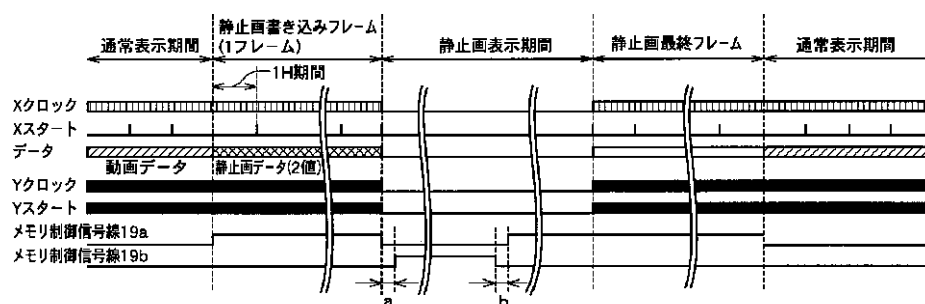
【図6】液晶表示装置の製造プロセスを示す概略断面図。

【符号の説明】

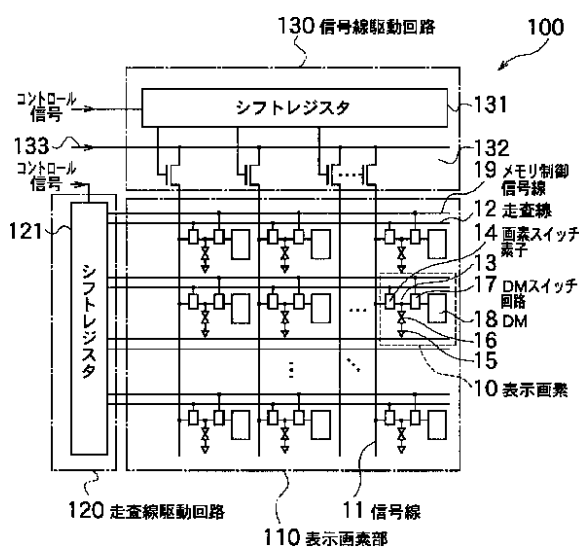
10...表示画素、11...信号線、12...信号線、13...
画素電極、14...画素スイッチ素子、15...対向電極、

10 17...DMスイッチ回路、18...デジタルメモリ(DM)、19...メモリ制御信号線、21, 22...スイッチ素子、23, 24...インバータ回路、25...DM内部スイッチ素子、110...表示画素部、120...走査線駆動回路、130...信号線駆動回路

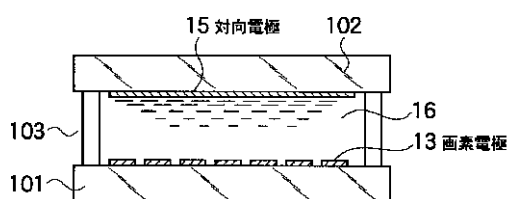
【图 1】



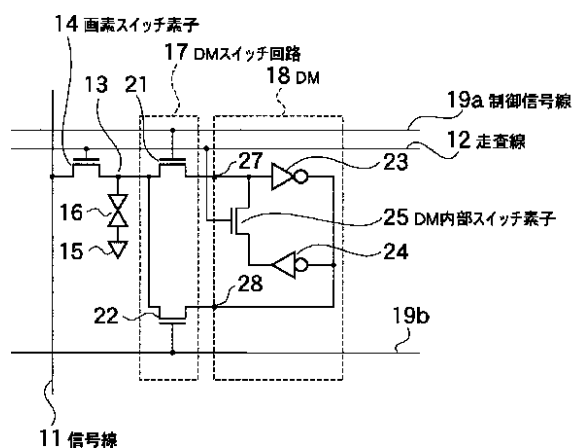
【图 2】



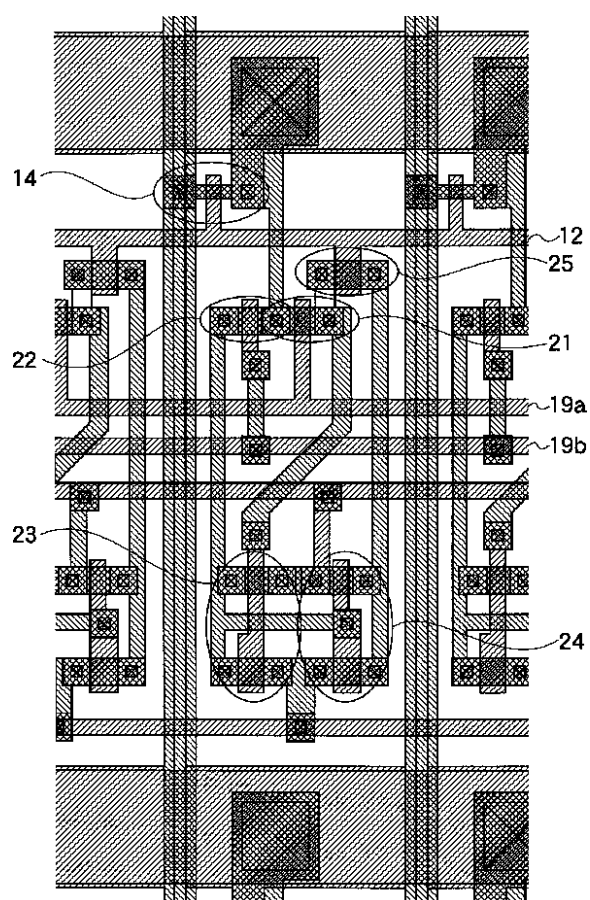
【图 3】



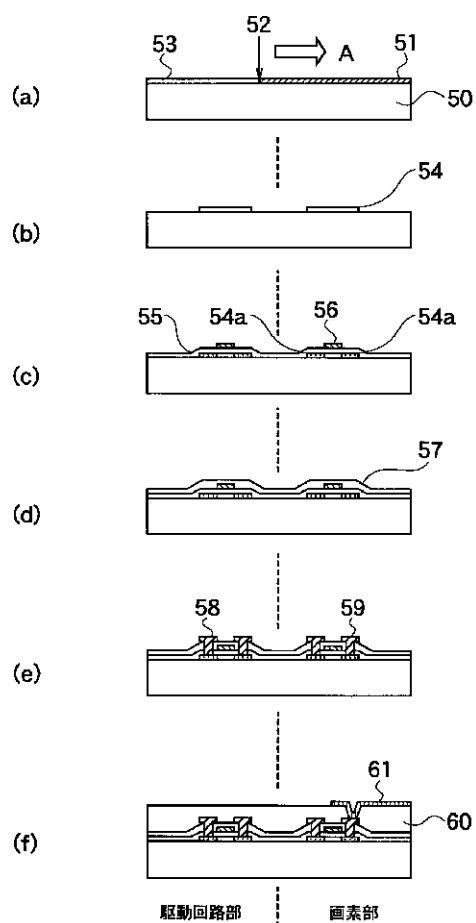
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 木村 裕之
埼玉県深谷市幡羅町一丁目 9 番地 2 株式
会社東芝深谷工場内

F ターム(参考) 2H093 NA16 NA43 NC07 NC09 NC12
NC15 NC16 NC34 NC40 NC49
ND39
5C006 AC11 AC25 AF11 AF50 BB16
BC20 BF01 FA47
5C080 AA10 BB05 DD09 JJ02 JJ03
JJ04 JJ06 KK07

解决的问题：在配备有数字存储器的显示装置中，用于从数字存储器中取出静止图像数据的两个开关元件被同时导通，并且正常的写入电压可能未施加到液晶层。在静止图像显示时段中，控制信号波形，使得在开启时段中的两个存储器控制信号的脉冲宽度比在关闭时段中的脉冲宽度窄。结果，两个存储器控制信号的导通时段不彼此重叠，使得两个开关元件不会同时导通。

