

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 44013

(P2003 - 44013A)

(43)公開日 平成15年2月14日(2003.2.14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	505	G 0 2 F 1/133	505 5 C 0 0 6
G 0 9 G 3/20	612	G 0 9 G 3/20	612 U 5 C 0 8 0
	622		622 E
			622 R

審査請求 未請求 請求項の数 8 O L (全 14数) 最終頁に続く

(21)出願番号 特願2001 - 231842(P2001 - 231842)

(22)出願日 平成13年7月31日(2001.7.31)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 宮武 正樹

埼玉県深谷市幡羅町一丁目9番地2 株式会
社東芝深谷工場内

(74)代理人 100083806

弁理士 三好 秀和 (外 7 名)

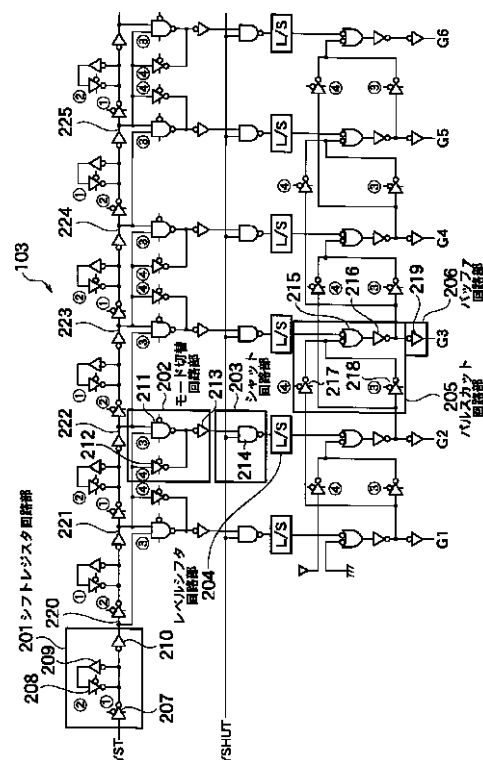
最終頁に続く

(54)【発明の名称】 駆動回路、電極基板及び液晶表示装置

(57)【要約】

【課題】 T V 画面用の液晶モニタでカーナビゲーション画面を表示すると解像度が低くなり高精細な地図表示ができなくなり、カーナビゲーション画面用の液晶モニタでT V 画面を表示すると表示画面が縮小されて画面が見づらくなる。

【解決手段】 カーナビゲーション画面を表示する時は、表示モード切替信号によりモード切替回路部202のNAND回路211をオン、インバータ回路212をオフすることにより、各シフトレジスタ回路部201から出力される走査信号を走査線1ライン毎に出力する。T V 画面を表示する時は、表示モード切替信号によりモード切替回路部202のNAND回路211をオフ、インバータ回路212をオンすることにより、各シフトレジスタ回路部201から出力される走査信号を1つおきに間引きして、1つの走査信号を走査線2ライン同時に出力する。



【特許請求の範囲】

【請求項 1】 複数段の転送回路により走査信号を順次転送し、前記各転送回路毎に出力するシフトレジスタ回路、

i (奇数) 段目の転送回路及び $i - 1$ 段目の転送回路の出力を 2 入力とするトランスミッションゲート型の第 1 NAND 回路と、前記 i 段目の転送回路の出力を前記第 1 NAND 回路の出力側に入力するトランスミッションゲート型の第 1 インバータ回路とを備えた第 1 回路と、
 $i + 1$ 段目の転送回路及び前記 i 段目の転送回路の出力を 2 入力とするトランスミッションゲート型の第 2 NAND 回路と、前記 i 段目の転送回路の出力を前記第 2 NAND 回路の出力側に入力するトランスミッションゲート型の第 2 インバータ回路とを備えた第 2 回路とが交互に配置されてなり、

前記トランスミッションゲートのオン/オフを制御する表示モード切替信号により第 1 表示モードが選択された時は前記第 1 及び第 2 NAND 回路をオン、前記第 1 及び第 2 インバータ回路をオフして、前記 i 段目の転送回路と前記 $i - 1$ 段目の転送回路の出力を NAND 演算した結果を i 段目の前記第 1 回路から走査信号として出力すると共に、前記 $i + 1$ 段目の転送回路と前記 i 段目の転送回路の出力を NAND 演算した結果を $i + 1$ 段目の前記第 2 回路から走査信号として出力し、
 前記表示モード切替信号により第 2 表示モードが選択された時は前記 NAND 回路をオフ、前記第 1 及び第 2 インバータ回路をオンして、前記 i 段目の転送回路の出力を前記第 1 及び第 2 インバータ回路を介してそれぞれ前記第 1 及び第 2 NAND 回路の出力側に入力し、 i 段目の前記第 1 回路と $i + 1$ 段目の前記第 2 回路から走査信号として出力するモード切替回路、
 を具備することを特徴とする駆動回路。

【請求項 2】 前記表示モード切替信号により第 1 表示モードが選択された時は、 i 段目の前記第 1 回路から出力される走査信号のパルス波形を $i - 1$ 段目の前記第 2 回路からのパルスカット出力信号でカットすると共に、 $i + 1$ 段目の前記第 2 回路から出力される走査信号のパルス波形を i 段目の前記第 1 回路からのパルスカット出力信号でカットし、

前記表示モード切替信号により第 2 表示モードが選択された時は、 i 段目の前記第 1 回路から出力される走査信号のパルス波形を $i - 2$ 段目の前記第 1 回路からのパルスカット出力信号でカットすると共に、 $i + 1$ 段目の前記第 2 回路から出力される走査信号のパルス波形を $i - 1$ 段目の前記第 2 回路からのパルスカット出力信号でカットするパルスカット回路を具備することを特徴とする請求項 1 に記載の駆動回路。

【請求項 3】 複数の信号線と複数の走査線とが直交するように配置され、前記両線の各交点近傍にスイッチング素子を介して画素電極が配置された画素部と、前記信

号線に映像信号を供給する信号線駆動回路と、請求項 1 又は 2 の駆動回路で構成される走査線駆動回路とを備え、

前記走査線駆動回路は、前記表示モード切替信号により第 1 表示モードが選択された時は、走査線 1 ライン毎に走査信号を出力し、また前記表示モード切替信号により第 2 表示モードが選択された時は、前記走査線 2 ライン同時に走査信号を出力することを特徴とする電極基板。

【請求項 4】 請求項 3 の電極基板からなる第 1 基板と、前記画素電極と相対する対向電極が形成された第 2 基板と、これら両基板間に保持された液晶層とを備え、前記走査線駆動回路は、外部から供給された表示モード切替信号により第 1 表示モードが選択された時は、走査線 1 ライン毎に走査信号を出力し、また前記表示モード切替信号により第 2 表示モードが選択された時は、前記走査線 2 ライン同時に走査信号を出力することを特徴とする液晶表示装置。

【請求項 5】 複数の転送回路により順次転送した走査信号を、各出力段より出力する第 1 シフトレジスタ回路、

前記出力段からの走査信号を入力とするトランスミッションゲート型のバッファ回路であって、前記トランスミッションゲートのオン/オフを制御する表示モード切替信号により第 1 表示モードが選択された時は前記出力段からの走査信号を自段の出力とし、また前記表示モード切替信号により第 2 表示モードが選択された時は出力をフローティング状態とする第 1 バッファ回路、
 を備えた第 1 駆動回路と、

複数の転送回路により走査信号を順次転送した走査信号を、各出力段より出力する第 2 シフトレジスタ回路、
 前記出力段からの走査信号を入力とするトランスミッションゲート型の 2 つのバッファ回路であって、前記トランスミッションゲートのオン/オフを制御する表示モード切替信号により第 1 表示モードが選択された時は出力をフローティング状態とし、また前記表示モード切替信号により第 2 表示モードが選択された時は前記出力段からの走査信号を自段及び次段の出力とするバッファ回路、
 を備えた第 2 駆動回路と、を具備することを特徴とする駆動回路。

【請求項 6】 前記出力段から出力される走査信号のパルス波形を前段の出力段からのパルスカット出力信号でカットするパルスカット回路を具備することを特徴とする請求項 5 に記載の駆動回路。

【請求項 7】 複数の信号線と複数の走査線とが直交するように配置され、前記両線の各交点近傍にスイッチング素子を介して画素電極が配置された画素部と、前記信号線に映像信号を供給する信号線駆動回路と、請求項 5 又は 6 の駆動回路で構成される走査線駆動回路とを備え、

前記走査線駆動回路は、前記表示モード切替信号により第 1 表示モードが選択された時は、走査線 1 ライン毎に走査信号を出力し、また前記表示モード切替信号により第 2 表示モードが選択された時は、前記走査線 2 ライン同時に走査信号を出力することを特徴とする電極基板。

【請求項 8】 請求項 7 の電極基板からなる第 1 基板と、前記画素電極と相対する対向電極が形成された第 2 基板と、これら両基板間に保持された液晶層とを備え、前記走査線駆動回路は、外部から供給された表示モード切替信号により第 1 表示モードが選択された時は、走査線 1 ライン毎に走査信号を出力し、また前記表示モード切替信号により第 2 表示モードが選択された時は、前記走査線 2 ライン同時に走査信号を出力することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は駆動回路、電極基板及び液晶表示装置に関し、詳しくは走査線に走査信号を出力する走査線駆動回路と、この走査線駆動回路を画素部と同一基板上に形成したアレイ基板と、このアレイ基板を備えたアクティブマトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は、薄型、軽量であることに加えて低消費電力という特性を活かし、携帯型情報端末の表示装置として広く用いられている。中でも、マトリクス状に配置された画素毎に薄膜トランジスタ (TFT) からなるスイッチング素子を設けたアクティブマトリクス型の液晶表示装置は、発色性に優れ、また残像が少ないことから、高精細な表示画像が要求される分野で使用されている。また近年では、スイッチング素子に走査信号を供給する走査線駆動回路や信号線を介して画素電極に映像信号を供給する信号線駆動回路などを、画素が形成された絶縁基板上に一体に形成した駆動回路内蔵型の液晶表示装置も開発されている。

【0003】

【発明が解決しようとする課題】ところで、液晶表示装置の用途の一つとして車載型モニタがある。このような車載型モニタには、カーナビゲーション画面と TV 画面の両方を表示する機能が必要とされている。一般に、カーナビゲーション画面は TV 画面に比べて解像度が高いため、TV 画面用の液晶モニタでカーナビゲーション画面を表示すると解像度が低くなり、詳細な地図表示ができなくなるという問題点があった。また、解像度の高いカーナビゲーション画面用の液晶モニタで TV 画面を表示すると、表示画面が縮小されてしまい、画面が見づらくなるという問題点があった。

【0004】この発明の目的は、カーナビゲーション画面では高精細な地図表示を行うことができ、また TV 画面では表示画面を縮小することなしに TV 画像の表示を

可能とする駆動回路、電極基板及び液晶表示装置を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するため、請求項 1 の発明は、複数段の転送回路により走査信号を順次転送し、前記各転送回路毎に出力するシフトレジスタ回路、 i (奇数) 段目の転送回路及び $i - 1$ 段目の転送回路の出力を 2 入力とするトランスミッションゲート型の第 1 NAND 回路と、前記 i 段目の転送回路の出力を前記第 1 NAND 回路の出力側に入力するトランスミッションゲート型の第 1 インバータ回路とを備えた第 1 回路と、 $i + 1$ 段目の転送回路及び前記 i 段目の転送回路の出力を 2 入力とするトランスミッションゲート型の第 2 NAND 回路と、前記 i 段目の転送回路の出力を前記第 2 NAND 回路の出力側に入力するトランスミッションゲート型の第 2 インバータ回路とを備えた第 2 回路とが交互に配置されてなり、前記トランスミッションゲートのオン/オフを制御する表示モード切替信号により第 1 表示モードが選択された時は前記第 1 及び第 2 NAND 回路をオン、前記第 1 及び第 2 インバータ回路をオフして、前記 i 段目の転送回路と前記 $i - 1$ 段目の転送回路の出力を NAND 演算した結果を i 段目の前記第 1 回路から走査信号として出力すると共に、前記 $i + 1$ 段目の転送回路と前記 i 段目の転送回路の出力を NAND 演算した結果を $i + 1$ 段目の前記第 2 回路から走査信号として出力し、前記表示モード切替信号により第 2 表示モードが選択された時は前記 NAND 回路をオフ、前記第 1 及び第 2 インバータ回路をオンして、前記 i 段目の転送回路の出力を前記第 1 及び第 2 インバータ回路を介してそれぞれ前記第 1 及び第 2 NAND 回路の出力側に入力して、 i 段目の前記第 1 回路と $i + 1$ 段目の前記第 2 回路から走査信号として出力するモード切替回路を具備することを特徴とする駆動回路である。

【0006】好ましい形態として、前記シフトレジスタ回路は半クロック型のシフトレジスタで構成される。

【0007】好ましい形態として、前記第 1 表示モードは走査線数の多いカーナビゲーション画面用の表示モードであり、前記第 2 表示モードは前記カーナビゲーション画面よりも走査線数の少ない TV 画面用の表示モードである。

【0008】好ましい形態として、前記表示モード切替信号は、High レベル又は Low レベルの直流信号である。

【0009】好ましい形態として、High 又は Low レベルのシャット信号と前記モード切替回路から出力される走査信号とを 2 入力とする NAND 回路を前記モード切替回路の後段に配置し、常時は High レベルのシャット信号を入力することで走査信号の出力を許容し、電源投入直後の所定期間は Low レベルのシャット信号を入力することで走査信号の出力を抑制する。

【0010】請求項2の発明は、請求項1において、前記表示モード切替信号により第1表示モードが選択された時は、 i 段目の前記第1回路から出力される走査信号のパルス波形を $i - 1$ 段目の前記第2回路からのパルスカット出力信号でカットすると共に、 $i + 1$ 段目の前記第2回路から出力される走査信号のパルス波形を i 段目の前記第1回路からのパルスカット出力信号でカットし、前記表示モード切替信号により第2表示モードが選択された時は、 i 段目の前記第1回路から出力される走査信号のパルス波形を $i - 2$ 段目の前記第1回路からの

10 パルスカット出力信号でカットすると共に、 $i + 1$ 段目の前記第2回路から出力される走査信号のパルス波形を $i - 1$ 段目の前記第2回路からのパルスカット出力信号でカットするパルスカット回路を具備することを特徴とする。

【0011】また、上記目的を達成するため、請求項3の発明は、複数の信号線と複数の走査線とが直交するように配置され、前記両線の各交点近傍にスイッチング素子を介して画素電極が配置された画素部と、前記信号線に映像信号を供給する信号線駆動回路と、請求項1又は2の駆動回路で構成される走査線駆動回路とを備え、前記走査線駆動回路は、前記表示モード切替信号により第1表示モードが選択された時は、走査線1ライン毎 ($G_1, G_2, \dots, G_n$) に走査信号を出力し、また前記表示モード切替信号により第2表示モードが選択された時は、前記走査線2ライン同時 ($G_1 + G_2, G_3 + G_4, \dots, G_{n-1} + G_n$) に走査信号を出力することを特徴とする電極基板である。

【0012】さらに上記目的を達成するため、請求項4の発明は、請求項3の電極基板からなる第1基板と、前記画素電極と相対する対向電極が形成された第2基板と、これら両基板間に保持された液晶層とを備え、前記走査線駆動回路は、前記外部駆動回路から出力された表示モード切替信号により第1表示モードが選択された時は、走査線1ライン毎 ($G_1, G_2, \dots, G_n$) に走査信号を出力し、また前記表示モード切替信号により第2表示モードが選択された時は、前記走査線2ライン同時 ($G_1 + G_2, G_3 + G_4, \dots, G_{n-1} + G_n$) に走査信号を出力することを特徴とする液晶表示装置である。

【0013】好ましい形態として、前記第1基板の走査線駆動回路に制御信号と表示モード切替信号を供給し、また信号線駆動回路に制御信号と映像信号を供給する外部駆動回路を備える。前記制御信号として、前記信号線駆動回路には、例えば水平スタート信号 XST 、水平クロック信号 XCK などが供給される。また前記走査線駆動回路には、垂直スタート信号 YST 、垂直クロック信号 YCK 、シャット信号 $YSHUT$ 、表示モード切替信号 ENA などが供給される。

【0014】上記目的を達成するため、請求項5の発明は、複数の転送回路により順次転送した走査信号を、各

出力段より出力する第1シフトレジスタ回路、前記出力段からの走査信号を入力とするトランスミッションゲート型のバッファ回路であって、前記トランスミッションゲートのオン/オフを制御する表示モード切替信号により第1表示モードが選択された時は前記出力段からの走査信号を自段の出力とし、また前記表示モード切替信号により第2表示モードが選択された時は出力をフローティング状態とする第1バッファ回路を備えた第1駆動回路と、複数の転送回路により走査信号を順次転送した走査信号を、各出力段より出力する第2シフトレジスタ回路、前記出力段からの走査信号を入力とするトランスミッションゲート型の2つのバッファ回路であって、前記トランスミッションゲートのオン/オフを制御する表示モード切替信号により第1表示モードが選択された時は出力をフローティング状態とし、また前記表示モード切替信号により第2表示モードが選択された時は前記出力段からの走査信号を自段及び次段の出力とするバッファ回路を備えた第2駆動回路とを具備することを特徴とする駆動回路である。

【0015】好ましい形態として、前記第1シフトレジスタ回路及び第2シフトレジスタ回路は半クロック型のシフトレジスタで構成される。

【0016】請求項6の発明は、請求項5において、前記出力段から出力される走査信号のパルス波形を前段の出力段からのパルスカット出力信号でカットするパルスカット回路を具備することを特徴とする。

【0017】また上記目的を達成するため、請求項7の発明は、複数の信号線と複数の走査線とが直交するように配置され、前記両線の各交点近傍にスイッチング素子を介して画素電極が配置された画素部と、前記信号線に映像信号を供給する信号線駆動回路と、請求項5又は6の駆動回路で構成される走査線駆動回路とを備え、前記走査線駆動回路は、前記表示モード切替信号により第1表示モードが選択された時は、走査線1ライン毎 ($G_1, G_2, \dots, G_n$) に走査信号を出力し、また前記表示モード切替信号により第2表示モードが選択された時は、前記走査線2ライン同時 ($G_1 + G_2, G_3 + G_4, \dots, G_{n-1} + G_n$) に走査信号を出力することを特徴とする電極基板である。

【0018】好ましい形態として、前記走査線駆動回路を構成する第1駆動回路と第2駆動回路は、画素部の両端に配置される。

【0019】さらに上記目的を達成するため、請求項8の発明は、請求項7の電極基板からなる第1基板と、前記画素電極と相対する対向電極が形成された第2基板と、これら両基板間に保持された液晶層とを備え、前記走査線駆動回路は、前記外部駆動回路から出力された表示モード切替信号により第1表示モードが選択された時は、走査線1ライン毎 ($G_1, G_2, \dots, G_n$) に走査信号を出力し、また前記表示モード切替信号により第2表

示モードが選択された時は、前記走査線 2 ライン同時 ($G1 + G2, G3 + G4, \dots Gn - 1 + Gn$) に走査信号を出力することを特徴とする液晶表示装置である。

【0020】好ましい形態として、前記第 1 基板の走査線駆動回路に制御信号と表示モード切替信号を供給し、また信号線駆動回路に制御信号と映像信号を供給する外部駆動回路を備える。前記制御信号として、前記信号線駆動回路には、例えば水平スタート信号 XST 、水平クロック信号 XCK などが供給される。また前記走査線駆動回路の一方を構成する第 1 駆動回路には、例えば垂直

スタート信号 YST 、垂直クロック信号 YCK 、シャット信号 $YSHUT$ 、表示モード切替信号 ENA などが供給され、前記走査線駆動回路の他方を構成する第 2 駆動回路には、例えば垂直スタート信号 YST 、垂直クロック信号 YCK 、シャット信号 $YSHUT$ 、表示モード切替信号 ENB などが供給される。

【0021】

【発明の実施の形態】以下、この発明に係わる駆動回路、電極基板及び液晶表示装置をアクティブマトリクス型の液晶表示装置に適用した場合について説明する。

【0022】[実施形態 1] 実施形態 1 では、1 つの走査線駆動回路で 2 つの表示モードの切り替えができるようにした例について説明する。

【0023】図 2 は、実施形態 1 に係わる液晶表示装置の概略構成を示すブロック図である。

【0024】画素アレイ部 101 には、複数の信号線 $S1, S2, \dots Sm$ (以下、総称 S) と複数の走査線 $G1, G2, \dots Gn$ (以下、総称 G) が互いに交差するように配線されており、これら両線の各交差部にはスイッチング素子としての画素トランジスタ 106 が配置されている。画素トランジスタ 106 のゲートは 1 水平ライン毎に共通に走査線 G に共通に接続され、ソースは 1 垂直ライン毎に信号線 S に共通に接続されている。またドレインは画素電極 107 (及び図示しない補助容量) に接続されている。この画素電極 107 と電氣的に相対する対向電極 108 は、アレイ基板 104 と対向配置された図示しない対向基板上に形成されており、両基板間には液晶層 109 が保持されている。なお、画素アレイ部は本実施形態における画素部を構成している。

【0025】信号線駆動回路 102 は、図示しないシフトレジスタ、レベルシフタ、バッファ回路などで構成され、後述する外部駆動回路 105 から供給される各種タイミング信号に従って、映像信号を対応する信号線 S に順次サンプリングする。

【0026】走査線駆動回路 103 は、後述するシフトレジスタ回路部 201、モード切替回路部 202 などで構成され、外部駆動回路 105 から供給される各種タイミング信号に従って、走査線 G に走査信号を順次出力する。本実施形態の走査線駆動回路 103 では、外部駆動回路 105 から送られてくる後述の表示モード切替信号

$ENA (/ENA)$ により、走査線 1 ライン毎 ($G1, G2, \dots Gn$) に走査信号を出力する第 1 表示モードと、走査線 2 ライン同時 ($G1 + G2, G3 + G4, \dots Gn - 1 + Gn$) に走査信号を出力する第 2 表示モードの 2 つの表示モードの切り替えができるように構成されている。本実施形態では、第 1 表示モードをカーナビゲーション画面の表示モードとし、第 2 表示モードを TV 画面の表示モードとする。

【0027】外部駆動回路 105 は、アレイ基板 104 外に配置された制御回路であり、信号線駆動回路 102 には水平スタート信号 XST 、水平クロック信号 XCK を供給し、走査線駆動回路 103 には垂直スタート信号 YST 、垂直クロック信号 YCK 、後述するシャット信号 $YSHUT$ 、表示モード切替信号 ENA を供給している。また外部から供給される映像信号は、外部駆動回路 105 を経由して (又は経由せずに)、図示しないビデオパスにより信号線駆動回路 102 に供給されている。

【0028】図 1 は、走査線駆動回路 103 の回路構成図である。走査線駆動回路 103 は、シフトレジスタ回路部 201、モード切替回路部 202、シャット回路部 203、レベルシフタ回路部 (L/S) 204、パルスカット回路部 205 及びバッファ回路部 206 により構成されている。以下、上記各部の構成を説明する。ただし図 1 では、実線の枠で囲まれた範囲を上記各部の回路単位とし、その一つを代表して説明するものとする。

【0029】シフトレジスタ回路部 201 は、外部駆動回路 105 から供給される垂直スタート信号 YST を垂直クロック信号 YCK 、 $/YCK$ のタイミングで順次転送して、各段毎に走査信号として出力する回路であり、トランスマッションゲート付きインバータ回路 207、208 と、インバータ回路 209、210 とで構成されている。このうち、トランスマッションゲート付きインバータ回路 207、208 は、図 3 に示すような CMOS 回路で構成されている。図 3 に示す $p-ch$ 及び $n-ch$ トランスマッションゲートは、垂直クロック信号 YCK 、 $/$ (反転) YCK によりオン/オフが制御される。また IN には垂直スタート信号 YST が入力される。

【0030】図 1 では、インバータ回路 207 の $p-ch$ 及び $n-ch$ トランスマッションゲートを と記し、インバータ回路 208 の $p-ch$ 及び $n-ch$ トランスマッションゲートを と記している。そして、 と記された $n-ch$ トランスマッションゲート及び と記された $p-ch$ トランスマッションゲートには垂直クロック信号 YCK が、また と記された $p-ch$ トランスマッションゲート及び と記された $n-ch$ トランスマッションゲートには $/YCK$ がそれぞれ入力される。

【0031】図 5 のタイミングチャートに示すように、垂直クロック信号 YCK 、 $/YCK$ のタイミングで順次転送された垂直スタート信号 YST は、図 1 の出力段 2

20, 221, ... 225 からそれぞれ半クロックの位相差で走査信号として出力される。

【0032】なお、シフトレジスタ回路部 201 は本実施形態における転送回路であり、複数のシフトレジスタ回路部 201 は本実施形態におけるシフトレジスタ回路を構成している。

【0033】モード切替回路部 202 は、表示モード切替信号 ENA ($/ENA$) に応じて走査信号の出力形式を切り替える回路であり、トランスミッションゲート付き NAND 回路 211 と、トランスミッションゲート付きインバータ回路 212 と、インバータ回路 213 とで構成されている。このうち NAND 回路 211 は、自段及び前段の出力段からの出力が 2 つの入力端に入力されるように接続されている。またインバータ回路 212 は、走査線 2 ライン ($G1 + G2, G3 + G4, \dots G_n - 1 + G_n$) に対応する 2 つのモード切替回路部 202 をペアとしたときに、奇数段 ($G1, G3, G5, \dots$) の出力段から出力された走査信号が各インバータ回路 212 を介してそれぞれの NAND 回路 211 の出力側に入るように接続されている。

【0034】なお、図 1 に示す実線の枠内の NAND 回路 211、インバータ回路 212 はそれぞれ本実施形態における第 2 NAND 回路、第 2 インバータ回路であり、これらの回路を備えたモード切替回路部 202 は本実施形態における第 1 回路を構成している。また、上記モード切替回路部 202 の左隣りに位置する NAND 回路 211、インバータ回路 212 は本実施形態における第 1 NAND 回路、第 1 インバータ回路であり、これらの回路を備えたモード切替回路部 202 は本実施形態における第 2 回路を構成している。更に、複数のモード切替部 202 は本実施形態におけるモード切替回路を構成している。

【0035】上記構成によると、前記走査線 2 ラインに対応する 2 つのモード切替回路部 202 において、NAND 回路 211 をオン、インバータ回路 212 をオフとした時には、各 NAND 回路 211 に自段及び前段の出力段から出力された走査信号が半クロックの位相差で入力するため、その NAND 演算の結果が各走査線毎に走査信号として出力される。また、NAND 回路 211 をオフ、インバータ回路 212 をオンとした時には、奇数段 ($G1, G3, G5, \dots$) の出力段から出力された 1 つの走査信号が各 NAND 回路 211 の出力側ラインに供給され、走査線 2 ライン同時に出力される。

【0036】トランスミッションゲート付き NAND 回路 211 は、図 4 に示すような CMOS 回路で構成されている。そして、 $p-ch$ 及び $n-ch$ トランスミッションゲートは、表示モード切替信号 ENA , $/$ (反転) ENA によりオン/オフが制御される。また $IN1$ には自段のシフトレジスタ回路部からの出力が、 $IN2$ には前段のシフトレジスタ回路部からの出力がそれぞれ入力

される。また、トランスミッションゲート付きインバータ回路 212 は、図 3 に示すような CMOS 回路で構成されている。

【0037】図 1 のモード切替回路部 202 において、NAND 回路 211 の $p-ch$ 及び $n-ch$ トランスミッションゲートを と記し、インバータ回路 212 の $p-ch$ 及び $n-ch$ トランスミッションゲートを と記している。そして、 と記された $n-ch$ トランスミッションゲート及び と記された $p-ch$ トランスミッションゲートには表示モード切替信号 ENA が、また と記された $p-ch$ トランスミッションゲート及び と記された $n-ch$ トランスミッションゲートには $/ENA$ がそれぞれ入力される。

【0038】外部駆動回路 105 から供給される表示モード切替信号 ENA は、High レベル又は Low レベルの直流信号である。したがって、表示モード切替信号 ENA が High レベルであれば、 $/ENA$ は Low レベルとなり、表示モード切替信号 ENA が Low レベルであれば、 $/ENA$ は High レベルとなる。本実施形態では、カーナビゲーション画面の表示モードでは、表示モード切替信号 $ENA = H$, $/ENA = L$ とし、TV 画面の表示モードでは、表示モード切替信号 $ENA = L$, $/ENA = H$ としている。

【0039】なお、High レベルは本実施形態における第 1 電位であり、Low レベルは本実施形態における第 2 電位である。

【0040】シャット回路部 203 は、走査線駆動回路 102 としての機能を一時的に停止する回路であり、NAND 回路 214 により構成されている。NAND 回路 214 の一方の入力端には H 又は L レベルのシャット信号 $YSHUT$ が入力され、他方の入力端には自段のモード切替回路部 202 から出力された走査信号が入力される。通常、シャット回路部 203 には H レベルのシャット信号 $YSHUT$ が与えられ、モード切替回路部 202 から出力された走査信号は、そのまま後段のレベルシフタ回路部 204 に送られる。一方、電源投入直後の所定期間は L レベルのシャット信号 $YSHUT$ が与えられ、この期間中は走査信号が出力されないようにして、不要な画像が表示されないように制御される。

【0041】レベルシフタ回路部 204 は、シャット回路部 203 を経て送られてきた走査信号の振幅を画素トランジスタの駆動に必要な電圧まで昇圧する回路である。

【0042】パルスカット回路部 205 は、1 ライン毎 (又は 2 ライン毎) に隣接する走査線に出力される走査信号のパルス波形が、トランジスタのパラツキにより重なるのを防ぐための回路であり、NOR 回路 215 と、インバータ回路 216 と、トランスミッションゲート付きインバータ回路 217, 218 とで構成されている。このうち、トランスミッションゲート付きインバータ回

路 217, 218 は、図 3 に示すような CMOS 回路で構成されている。

【0043】図 1 のパルスカット回路部 205 において、インバータ回路 217 の p - ch 及び n - ch トランスミッションゲートを と記し、インバータ回路 218 の p - ch 及び n - ch トランスミッションゲートを と記している。そして、 と記された n - ch トランスミッションゲート及び と記された p - ch トランスミッションゲートには表示モード切替信号 ENA が、また と記された p - ch トランスミッションゲート及び と記された n - ch トランスミッションゲートには / ENA がそれぞれ入力される。

【0044】なお、複数のパルスカット回路部 205 は、本実施形態におけるパルスカット回路を構成している。

【0045】バッファ回路部 206 は、パルスカット回路部 205 から出力された走査信号を各走査線 G1, G2, ... Gn に出力する回路であり、インバータ回路 219 で構成されている。

【0046】次に、上記のように構成された走査線駆動回路 102 において、第 1 表示モードであるカーナビゲーション画面の表示を行う場合と、第 2 表示モードである TV 画面の表示を行う場合の動作をそれぞれ説明する。なお、ここでは上記各部のうち主要な回路部の動作についてのみ説明する。

【0047】まず、カーナビゲーション画面の表示を行う場合は、図 5 のタイミングチャートに示すように、表示モード切替信号 ENA = H、/ ENA = L とする。各モード切替回路部 202 では、各段の NAND 回路 211 がオン、インバータ回路 212 がオフするため、例えば出力段 221 から出力された走査信号は NAND 回路 211 の一方の入力端に入力され、また出力段 222 からの走査信号は NAND 回路 211 の他方の入力端に半クロックの位相差で入力されることになる。この結果、モード切替回路部 202 では、NAND 回路 211 の入力端が 2 つとも H レベルとなる期間だけ出力が有効となり、図 5 に示すように走査線 1 ライン毎 (G1, G2, ...) に走査信号が出力される。

【0048】この時に、パルスカット回路部 205 では、表示モード切替信号 ENA = H、/ ENA = L であるため、インバータ回路 218 がオン、インバータ回路 217 がオフする。このため、自段の出力信号のパルス波形を前段の出力信号のパルス波形でカットした波形が走査信号として出力されることになる。

【0049】なお、自段の出力信号とは走査信号であり、前段の出力信号とは前段から出力される走査信号であって、本実施形態におけるパルスカット出力信号を意味している。

【0050】一方、TV 画面の表示を行う場合は、図 6 のタイミングチャートに示すように、表示モード切替信

号 ENA = L、/ ENA = H とする。各モード切替回路部 202 では、各段の NAND 回路 211 がオフ、インバータ回路 212 がオンするため、例えば出力段 221 から出力された走査信号は NAND 回路 211 に入力されることなく、走査線 G1, G2 に対応するモード切替回路 202 のインバータ回路 212 に同時に入力されることになる。この結果、走査線 G1, G2 に対応するそれぞれのモード切替回路部 202 からは、出力段 211 から入力された同一の出力が取り出されることになり、走査線 2 ライン同時 (G1 + G2, G3 + G4, ... Gn - 1 + Gn) に走査信号が出力されることになる。

【0051】この時に、パルスカット回路部 205 では、表示モード切替信号 ENA = L、/ ENA = H であるため、インバータ回路 218 がオフ、インバータ回路 217 がオンする。このため、自段の出力信号のパルス波形を前々段の出力信号のパルス波形でカットした波形が走査信号として出力されることになる。

【0052】上記実施形態 1 の走査線駆動回路 103 によれば、カーナビゲーション画面を表示する際には、表示モード切替信号 ENA = H、/ ENA = L とすることにより、走査線 1 ライン毎 (G1, G2, ... Gn) に走査信号を出力することができるので、高精細な地図表示を行うことができる。また TV 画面を表示する際には、表示モード切替信号 ENA = L、/ ENA = H とすることにより、走査線 2 ライン同時 (G1 + G2, G3 + G4, ... Gn - 1 + Gn) に走査信号を出力することができるため、表示画面を縮小することなく TV 画像の表示を行うことが可能となる。

【0053】また、パルスカット回路部 205 では、自段の出力信号のパルス波形を前段又は前々段の出力信号のパルス波形でカットした波形を走査信号として出力するため、トランジスタのバラツキにより 1 ライン毎 (又は 2 ライン毎) に隣接する走査線に出力される走査信号のパルス波形が重なるのを防止することができる。したがって、表示ムラを生じることがなく、また選択画素への映像信号の書き込み不足などを生じることがないので、良好な表示品位を得ることができる。

【0054】[実施形態 2] 実施形態 2 では、表示モードに対応した走査線駆動回路を 2 つ配置し、選択された表示モードに対応する走査線駆動回路のみ動作させることで、2 つの表示モードの切り替えができるようにした例について説明する。

【0055】図 7 は、実施形態 2 に係わる液晶表示装置の概略構成を示すブロック図である。図 7 では、図 2 と同等部分を同一符号で示している。ここでは、画素アレイ 101 と信号線駆動回路 102 の説明を省略する。

【0056】走査線駆動回路 301, 303 は、後述するシフトレジスタ回路部 401 などで構成され、外部駆動回路 305 から供給される各種タイミング信号に従って、走査線 G に走査信号を順次出力する。走査線駆動回

路 301, 303 は、走査線 G の両端に配置されている。走査線駆動回路 301 は、走査線 1 ライン毎 (G1, G2, ... Gn) に走査信号を出力する第 1 表示モードで動作する駆動回路であり、走査線駆動回路 303 は、走査線 2 ライン同時 (G1 + G2, G3 + G4, ... Gn - 1 + Gn) に走査信号を出力する第 2 表示モードで動作する駆動回路である。この 2 つの走査線駆動回路の動作は、外部駆動回路 305 から送られてくる表示モード切替信号 ENA (/ ENA), 同 ENB (/ ENB) により切り替えられる。本実施形態においては、第 1 表示モードをカーナビゲーション画面の表示モードとし、第 2 表示モードを TV 画面の表示モードとする。

【0057】なお、図 7 において、走査線駆動回路 301 と走査線駆動回路 303 の位置関係は逆であってもよい。

【0058】外部駆動回路 305 は、アレイ基板 104 外に配置された制御回路であり、信号線駆動回路 102 には水平スタート信号 XST、水平クロック信号 XCK を供給し、走査線駆動回路 301 には垂直スタート信号 YST、垂直クロック信号 YCK、シャット信号 YSHUT、表示モード切替信号 ENA を供給している。また走査線駆動回路 303 には垂直スタート信号 YST、垂直クロック信号 YCK、シャット信号 YSHUT、表示モード切替信号 ENB を供給している。更に、外部から供給される映像信号は、外部駆動回路 305 を経由して (又は経由せずに)、図示しないビデオバスにより信号線駆動回路 102 に供給されている。

【0059】図 8 は、走査線駆動回路 301 の回路構成図である。走査線駆動回路 301 は、シフトレジスタ回路部 401、シャット回路部 402、レベルシフト回路部 (L / S) 403、パルスカット回路部 404 及びバッファ回路部 405 により構成されている。以下、各部の構成について説明するが、図 8 においても実線の枠で囲まれた範囲を上記各部の回路単位とし、その一つを代表して説明する。またシャット回路部 402、レベルシフト回路部 403 の構成は図 1 のシャット回路部 203、レベルシフト回路部 204 と同じであるため説明を省略する。

【0060】シフトレジスタ回路部 401 は、外部駆動回路 305 から供給される垂直スタート信号 YST を垂直クロック信号 YCK、 / YCK のタイミングで順次転送する回路であり、本実施形態では、二段毎に 1 つの走査信号が出力されるように構成されている。またシフトレジスタ回路部 401 は、トランスミッションゲート型のインバータ回路 406、407 と、インバータ回路 408 とで構成されている。このうち、トランスミッションゲート型のインバータ回路 406、407 は、図 3 に示すような CMOS 回路で構成されている。図 3 に示す p - ch 及び n - ch トランスミッションゲートは、垂直クロック信号 YCK、 / (反転) YCK によりオン /

オフが制御される。また IN には垂直スタート信号 YST が入力される。

【0061】図 8 では、インバータ回路 406 の p - ch 及び n - ch トランスミッションゲートを と記し、インバータ回路 407 の p - ch 及び n - ch トランスミッションゲートを と記している。そして、 と記された n - ch トランスミッションゲート及び と記された p - ch トランスミッションゲートには垂直クロック信号 YCK が、また と記された p - ch トランスミッションゲート及び と記された n - ch トランスミッションゲートには / YCK がそれぞれ入力される。

【0062】なお、シフトレジスタ回路部 401 は本実施形態における転送回路である。そして、複数のシフトレジスタ回路部 401 は本実施形態における第 1 シフトレジスタ回路を構成している。

【0063】パルスカット回路部 404 は、NOR 回路 410 と、インバータ回路 411、412 とで構成され、NOR 回路 410 において自段の出力信号のパルス波形を前段からの出力信号のパルス波形でカットすることにより、隣接する走査線に出力される走査信号が重なるのを防いでいる。

【0064】なお、自段の出力信号とは走査信号であり、前段の出力信号とは前段から出力される走査信号であって、本実施形態におけるパルスカット出力信号を意味している。

【0065】バッファ回路部 405 は、パルスカット回路部 404 から出力された走査信号を走査線 1 ライン毎 G1, G2, ... Gn に出力する回路であり、トランスミッションゲート型のインバータ回路 413 で構成されている。インバータ回路 413 は、図 10 に示すような CMOS 回路からなり、n - ch トランスミッションゲート及び p - ch トランスミッションゲートには表示モード切替信号 ENA (又は / ENA) が入力される。

【0066】なお、バッファ回路部 405 は本実施形態における第 1 バッファ回路である。そして、シフトレジスタ回路部 401 とバッファ回路部 405 を備えた走査線駆動回路 301 は本実施形態における第 1 駆動回路を構成している。

【0067】図 9 は、走査線駆動回路 303 の回路構成図である。走査線駆動回路 303 は、シフトレジスタ回路部 501、シャット回路部 502、レベルシフト回路部 (L / S) 503、パルスカット回路部 504 及びバッファ回路部 505 により構成されている。以下、各部の構成について説明するが、図 9 においても実線の枠で囲まれた範囲を上記各部の回路単位とし、その一つを代表して説明する。またシャット回路部 502、レベルシフト回路部 503 の構成は図 1 のシャット回路部 203、レベルシフト回路部 204 と同じであるため説明を省略し、またパルスカット回路部 504 の構成は図 8 のパルスカット回路部 404 と同じであるため説明を省略

する。

【0068】シフトレジスタ回路部501は、外部駆動回路305から供給される垂直スタート信号YSTを垂直クロック信号YCK、/YCKのタイミングで順次転送する回路であり、本実施形態では、二段毎に1つの走査信号が出力されるように構成されている。またシフトレジスタ回路部501は、トランスミッションゲート型のインバータ回路506、507と、インバータ回路508とで構成されている。このうち、トランスミッションゲート型のインバータ回路506、507は、図3に示すようなCMOS回路で構成されている。図9では、インバータ回路506のp-ch及びn-chトランスミッションゲートを と記し、インバータ回路507のp-ch及びn-chトランスミッションゲートを と記している。そして、 と記されたn-chトランスミッションゲート及び と記されたp-chトランスミッションゲートには垂直クロック信号YCKが、また と記されたp-chトランスミッションゲート及び と記されたn-chトランスミッションゲートには/YCKがそれぞれ入力される。ただし、走査線駆動回路303に与えられるYCK(/YCK)は、図13のタイミングチャートに示すように、図12に示したYCK(/YCK)の周波数の1/2となっている。

【0069】なお、シフトレジスタ回路部501は本実施形態における転送回路である。そして、複数のシフトレジスタ回路部501は本実施形態における第2シフトレジスタ回路を構成している。

【0070】バッファ回路部505は、パルスカット回路部504から出力された走査信号を走査線2ライン同時($G1 + G2$, $G3 + G4$, ..., $Gn - 1 + Gn$)に出力する回路であり、トランスミッションゲート型のインバータ回路511、512で構成されている。インバータ回路511、512は、図11に示すようなCMOS回路からなり、それぞれのn-chトランスミッションゲート及びp-chトランスミッションゲートには表示モード切替信号ENB(又は/ENB)が入力される。

【0071】なお、複数のバッファ回路部505は本実施形態における第2バッファ回路である。そして、シフトレジスタ回路部501とバッファ回路部505を備えた走査線駆動回路303は本実施形態における第2駆動回路を構成している。

【0072】次に、上記のように構成された走査線駆動回路301及び303において、第1表示モードであるカーナビゲーション画面の表示を行う場合と、第2表示モードであるTV画面の表示を行う場合の動作について説明する。なお、ここでは上記各部のうち主要な回路部の動作についてのみ説明する。

【0073】カーナビゲーション画面の表示を行う場合、走査線駆動回路301に対しては、図12のタイミングチャートに示すように、表示モード切替信号ENA

= H、/ENA = Lを供給し、走査線駆動回路303に対しては、表示モード切替信号ENB = H、/ENB = L(図示せず)を供給する。

【0074】この時は、走査線駆動回路301のバッファ回路部405では、表示モード切替信号ENAによりインバータ回路413がオンするため、シフトレジスタ回路部401から二段毎に出力された走査信号は、図12に示すように走査線1ライン毎($G1$, $G2$, ..., Gn)に出力される。一方、走査線駆動回路303のバッファ回路部505では、表示モード切替信号ENBによりインバータ回路511、512はオフするため、バッファ回路部505の出力はフローティング状態となる。

【0075】このように、カーナビゲーション画面の表示を行う期間中は、走査線駆動回路301からは走査線1ライン毎に走査信号が出力される一方、走査線駆動回路303は停止した状態となる。

【0076】TV画面の表示を行う場合は、走査線駆動回路301に対しては、表示モード切替信号ENA = L、/ENA = H(図示せず)を供給し、走査線駆動回路303に対しては、図13のタイミングチャートに示すように、表示モード切替信号ENB = L、/ENB = Hを供給する。

【0077】この時は、走査線駆動回路303のバッファ回路部505では、表示モード切替信号ENBによりインバータ回路511、512がオンするため、シフトレジスタ回路部501から二段毎に出力された走査信号は、図13に示すように走査線2ライン同時($G1 + G2$, $G3 + G4$, ..., $Gn - 1 + Gn$)に出力される。一方、走査線駆動回路301のインバータ回路413がオフするため、バッファ回路部405の出力はフローティング状態となる。

【0078】このように、TV画面の表示を行う期間中は、走査線駆動回路303からは走査線2ライン同時に走査信号が出力される一方、走査線駆動回路301は停止した状態となる。

【0079】上記実施形態2の走査線駆動回路301、303によれば、カーナビゲーション画面を表示する際には、表示モード切替信号ENA = H、/ENA = L、且つ表示モード切替信号ENB = H、/ENB = Lとすることにより、走査線駆動回路301から走査線1ライン毎($G1$, $G2$, ..., Gn)に走査信号を出力させ、且つ走査線駆動回路303を停止させることができるので、高精細な地図表示を行うことができる。またTV画面を表示する際には、表示モード切替信号ENA = L、/ENA = H、且つ表示モード切替信号ENB = L、/ENB = Hとすることにより、走査線駆動回路303から走査線2ライン同時($G1 + G2$, $G3 + G4$, ..., $Gn - 1 + Gn$)に走査信号を出力させ、且つ走査線駆動回路301を停止させることができるため、表示画面を縮小することなくTV画像の表示を行うことができる。

【0080】とくに、実施形態 2 の走査線駆動回路 301, 303 では、実施形態 1 の走査線駆動回路 103 に比べて回路構成を簡素化することができ、回路設計も容易となる。

【0081】また、パルスカット回路部 404, 504 では、自段の出力信号のパルス波形を前段の出力信号のパルス波形でカットした波形を走査信号として出力するため、トランジスタのパラツキにより 1 ライン毎（又は 2 ライン毎）に隣接する走査線に出力される走査信号のパルス波形が重なるのを防止することができる。したがって、表示ムラを生じることがなく、また選択画素への映像信号の書き込み不足などを生じることがないので、良好な表示品位を得ることができる。

【0082】ところで、上述した実施形態 1 及び 2 の液晶表示装置に関連する従来例として、特開平 6 - 95071 号公報には、一つの液晶表示装置でインターレース駆動、2 ライン同時駆動、順次駆動等の各種の駆動が行えるようにした技術が提案されている。

【0083】しかし、この特開平 6 - 95071 号公報の液晶表示装置では、2 ライン同時駆動（インターレース駆動でも同じ）を行う場合には奇数、偶数の各フィールド毎に制御信号の信号波形を変化させる必要があり、とくに順次走査駆動を行う場合にはシフトパルスに同期したクロック波形の制御信号を入力する必要があるため、この制御信号を供給する外部回路の負担が大きいという問題点がある。これに対して上記実施形態 1 及び 2 の液晶表示装置では、いずれの駆動方式においても表示モード切替信号は High レベル又は Low レベルの直流信号であり、従来例に比べて制御信号の供給が容易となるため、外部回路での負担を軽減することができる。

【0084】なお、各実施形態の走査線駆動回路は、アレイ基板 104 上に画素アレイ部 101 と一体に形成されたものでなくてもよい。例えば、信号線駆動回路と共に外部駆動回路上に配置されたものであってもよい。

【0085】さらに、各実施形態の走査線駆動回路は、液晶表示装置又はその電極基板に適用されるだけでなく、例えば電極基板上に有機 EL を形成した構造の平面表示装置、又は対向配置された電極基板間に有機 EL を保持した構造の平面表示装置にも適用することができる。

【0086】

【発明の効果】以上説明したように、本発明によれば、カーナビゲーション画面を表示する場合は走査線 1 ライン毎に走査信号を出力することにより、高精細な地図表

示を行うことができ、また TV 画面を表示する場合は走査線 2 ライン同時に走査信号を出力することにより、表示画面を縮小することなく TV 画像の表示を行うことが可能となる。したがって、本発明を適用した車載型モニタでは、一つのモニタ画面でカーナビゲーション画面と TV 画面のどちらにも適した表示画像を得ることができる。

【図面の簡単な説明】

【図 1】実施形態 1 における走査線駆動回路の回路構成図。

【図 2】実施形態 1 に係わる液晶表示装置の概略構成を示すブロック図。

【図 3】トランスマッションゲート型のインバータ回路の具体例を示す回路構成図。

【図 4】トランスマッションゲート型の NAND 回路の具体例を示す回路構成図。

【図 5】実施形態 1 においてカーナビゲーション画面の表示を行う場合のタイミングチャート。

【図 6】実施形態 1 において TV 画面の表示を行う場合のタイミングチャート。

【図 7】実施形態 2 に係わる液晶表示装置の概略構成を示すブロック図。

【図 8】実施形態 2 における走査線駆動回路の回路構成図。

【図 9】実施形態 2 における走査線駆動回路の回路構成図。

【図 10】トランスマッションゲート型のインバータ回路の具体例を示す回路構成図。

【図 11】トランスマッションゲート型のインバータ回路の具体例を示す回路構成図。

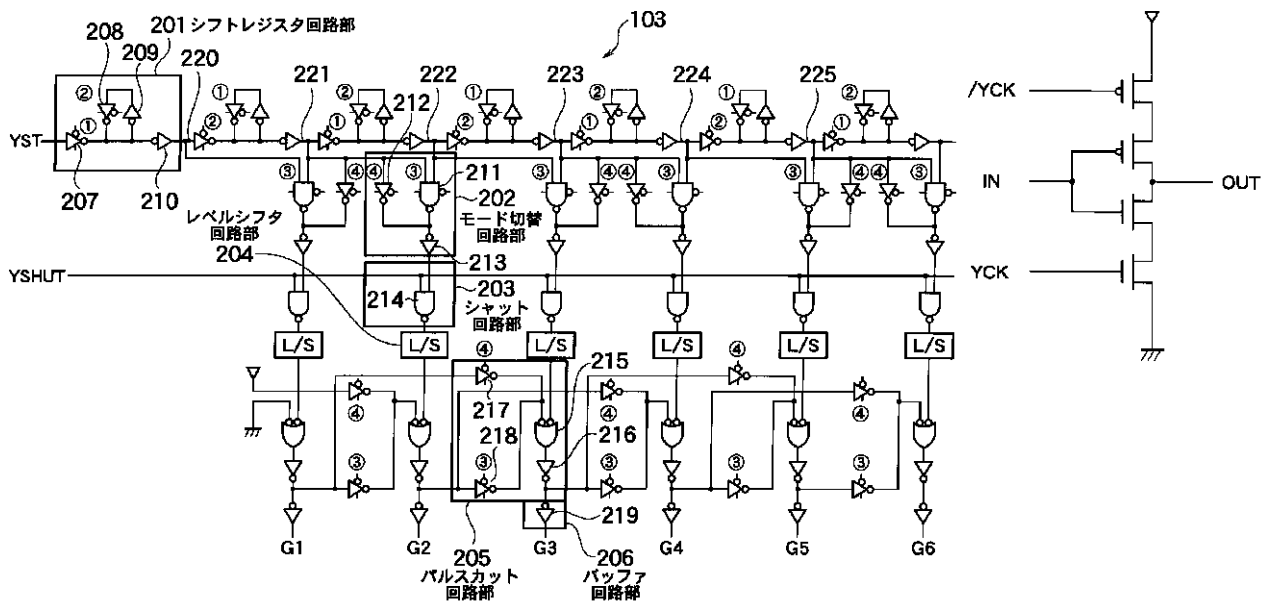
【図 12】実施形態 1 においてカーナビゲーション画面の表示を行う場合のタイミングチャート。

【図 13】実施形態 1 において TV 画面の表示を行う場合のタイミングチャート。

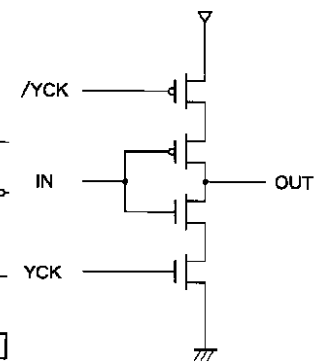
【符号の説明】

101...画素アレイ部、102...信号線駆動回路、103, 301, 303...走査線駆動回路、104...アレイ基板、105, 305...外部駆動回路、201, 401, 501...シフトレジスタ回路部、202...モード切替回路部、203, 402, 502...シャット回路部、204, 403, 503...レベルシフト回路部、205, 404, 504...パルスカット回路部、206, 405, 505...バッファ回路部

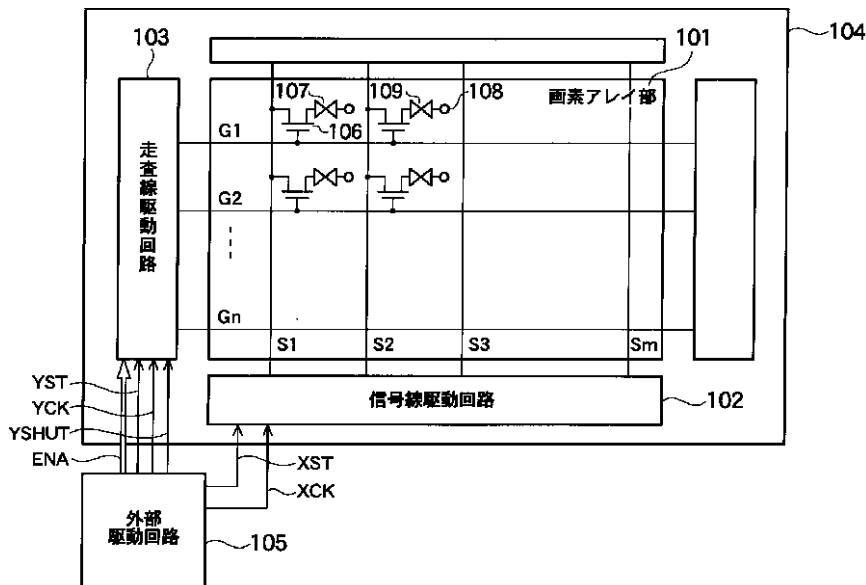
【図 1】



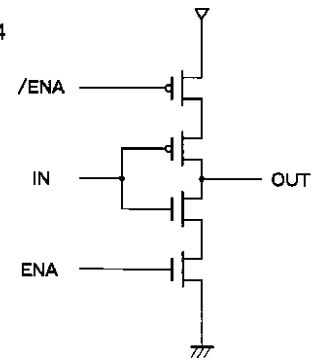
【図 3】



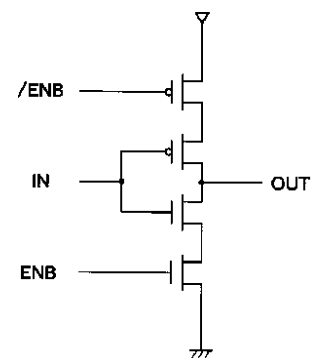
【図 2】



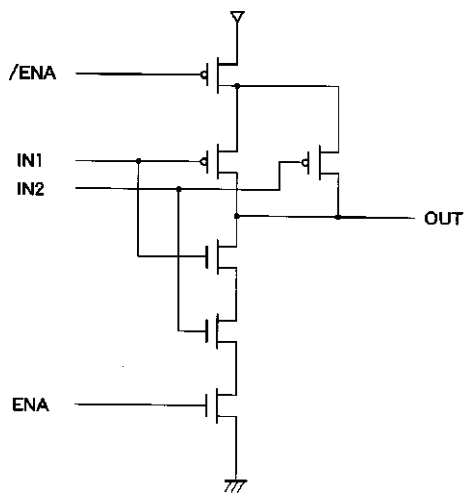
【図 10】



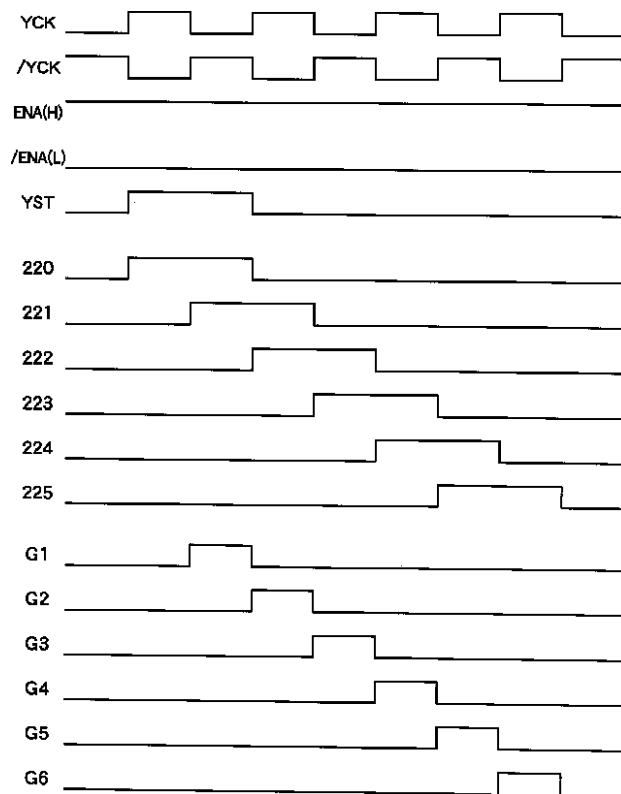
【図 11】



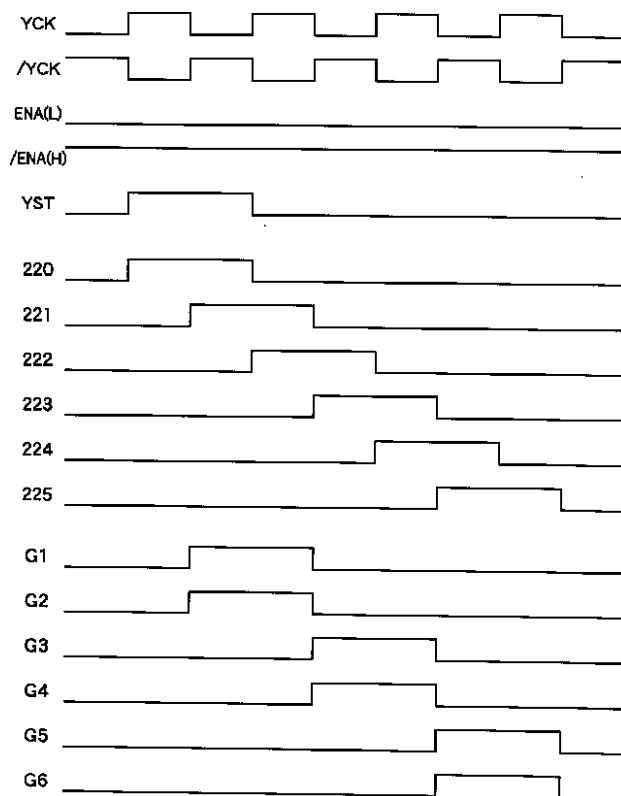
【図 4】



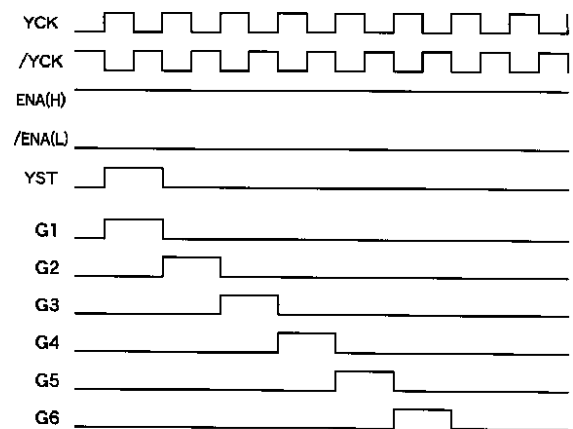
【図 5】



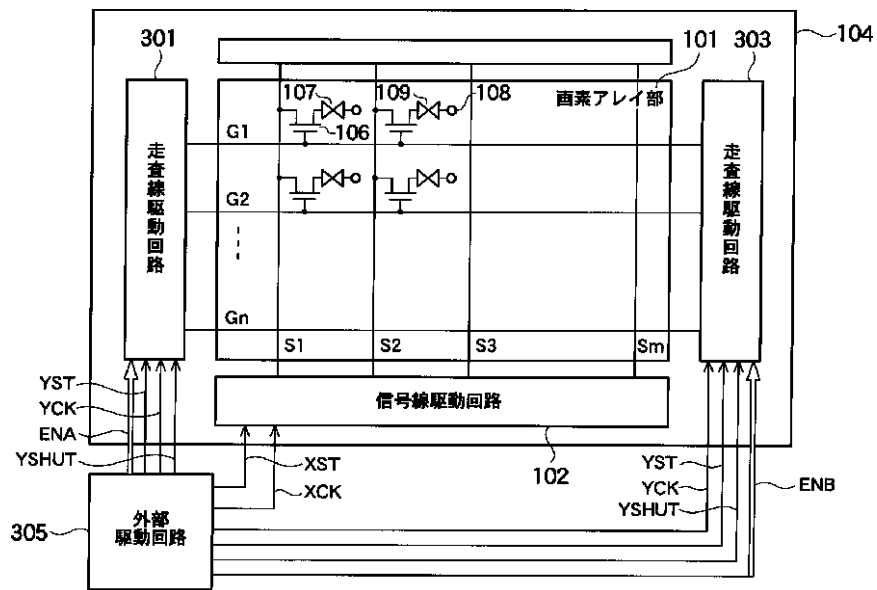
【図 6】



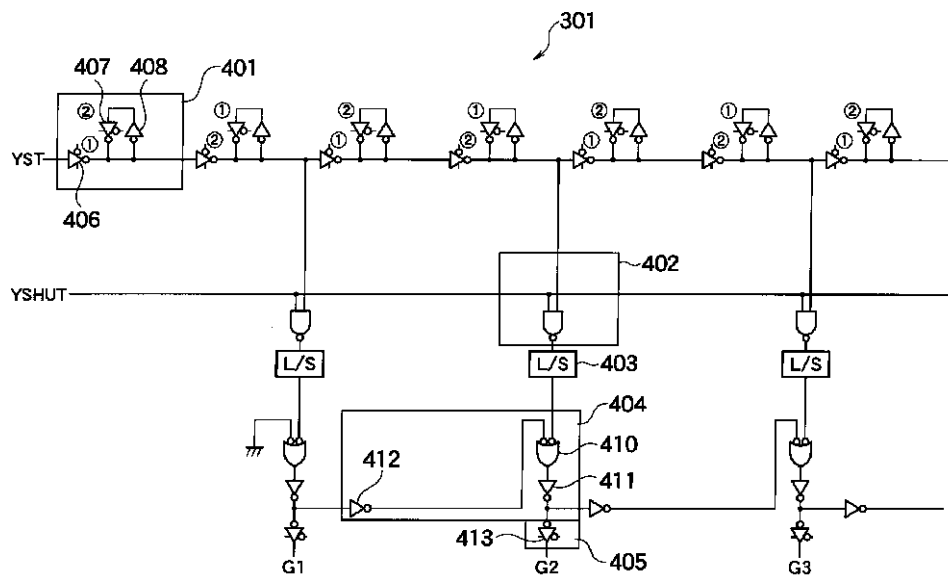
【図 12】



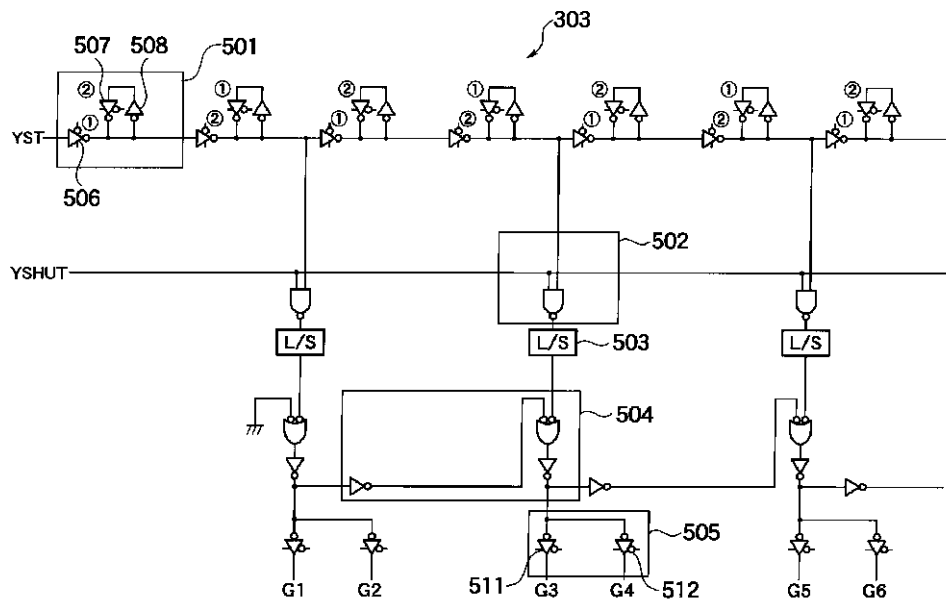
【図 7】



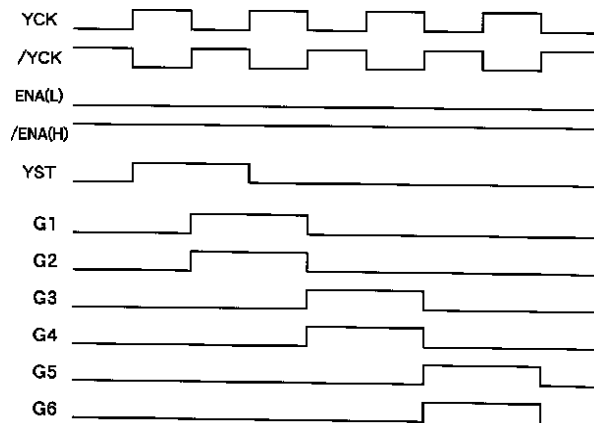
【図 8】



【図 9】



【図 13】



フロントページの続き

(51) Int. Cl. ⁷

G 0 9 G 3/20

識別記号

6 6 0

F I

G 0 9 G 3/20

テ-マコード (参考)

6 6 0 C

F タ-ム(参考) 2H093 NA79 NC09 NC11 NC22 NC34

ND60

5C006 AA01 AA02 AB01 AF45 AF47

BB16 BC03 BF26 BF27 FA04

5C080 AA10 BB05 DD21 EE17 EE21

GG07 GG08 JJ02 JJ03 JJ04

KK20

专利名称(译)	驱动回路、电极基板及び液晶表示装置		
公开(公告)号	JP2003044013A	公开(公告)日	2003-02-14
申请号	JP2001231842	申请日	2001-07-31
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	宫武正樹		
发明人	宫武 正樹		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.612.U G09G3/20.622.E G09G3/20.622.R G09G3/20.660.C G09G3/20.621.K G09G3/20.622.D G09G3/20.650.B G09G3/20.650.C		
F-TERM分类号	2H093/NA79 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC34 2H093/ND60 5C006/AA01 5C006/AA02 5C006/AB01 5C006/AF45 5C006/AF47 5C006/BB16 5C006/BC03 5C006/BF26 5C006/BF27 5C006/FA04 5C080/AA10 5C080/BB05 5C080/DD21 5C080/EE17 5C080/EE21 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK20 2H193/ZA04		
其他公开文献	JP4846133B2		
外部链接	Espacenet		

摘要(译)

解决的问题：为了在用于电视屏幕的液晶显示器上显示汽车导航屏幕时降低分辨率，并防止高清晰度地图显示；当在用于汽车导航屏幕的液晶显示器上显示电视屏幕时，显示屏被缩小为 变得很难看。 当显示汽车导航屏幕时，通过打开模式切换电路单元202的NAND电路211并且通过显示模式切换信号关闭逆变器电路212来执行从每个移位寄存器电路单元201输出的扫描。 为每条扫描线输出信号。 当显示电视屏幕时，通过关闭模式切换电路单元202的NAND电路211并通过显示模式切换信号开启反相器电路212，从每个移位寄存器电路单元201输出的每隔一个扫描信号。 并且对于两条扫描线同时输出一个扫描信号。

