

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 29293

(P2003 - 29293A)

(43)公開日 平成15年1月29日(2003.1.29)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1347		G 0 2 F 1/1347	2 H 0 8 9
	1/1343	1/1343	2 H 0 9 2
	1/1368	1/1368	5 C 0 9 4
G 0 9 F 9/00	342	G 0 9 F 9/00	5 G 4 3 5
	9/30	338	

審査請求 未請求 請求項の数 5 O L (全 17数) 最終頁に続く

(21)出願番号 特願2001 - 214089(P2001 - 214089)

(22)出願日 平成13年7月13日(2001.7.13)

(71)出願人 000006079
ミノルタ株式会社
大阪府大阪市中央区安土町二丁目3番13号
大阪国際ビル
(72)発明者 増田 敏
大阪府大阪市中央区安土町二丁目3番13号
大阪国際ビル ミノルタ株式会社内
(72)発明者 浅井 克彦
大阪府大阪市中央区安土町二丁目3番13号
大阪国際ビル ミノルタ株式会社内
(74)代理人 100074125
弁理士 谷川 昌夫

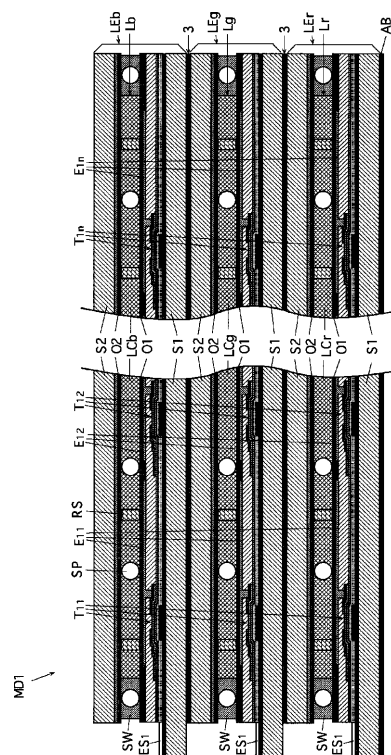
最終頁に続く

(54)【発明の名称】 積層型表示装置及びその製造方法

(57)【要約】

【課題】 液晶層等の表示層が複数積層された積層型表示装置であって、開口率の高く、比較的容易に作製することができる積層型表示装置及びその製造方法を提供する。

【解決手段】 三つの液晶層 L b、L g、L r が積層された積層型液晶表示装置 M D 1。各液晶層はそれぞれ透明基板 S 1 と S 2 の間に配置されている。基板 S 1 にはマトリクス状に配置された透明画素電極 E₁₁ ~ E_{mn} と、これら画素電極にそれぞれ接続された透明薄膜トランジスタ E₁₁ ~ E_{mn} が形成されている。また、基板 S 2 上には画素電極 E₁₁ ~ E_{mn} のいずれにも臨む透明対向電極 E c が形成されている。表示装置 M D 1 は、液晶表示素子 L E b、L E g、L E r をそれぞれ作製した後、それらを積層することで作製される。



【特許請求の範囲】

【請求項 1】積層された複数の表示層を有する積層型表示装置であって、

該各表示層がそれぞれマトリクス状に配置された複数の透明な画素電極及び該画素電極に接続された複数の透明な薄膜トランジスタが形成された透明な第 1 基板と、該第 1 基板上の複数の画素電極の全てに臨む透明な対向電極が形成された透明な第 2 基板との間に挟持されていることを特徴とする積層型表示装置。

【請求項 2】前記薄膜トランジスタの半導体活性層が、酸化亜鉛（ZnO）を主成分とする材料からなる請求項 1 記載の積層型表示装置。

【請求項 3】前記薄膜トランジスタ上には透明な絶縁膜が形成されており、該絶縁膜上に前記画素電極が形成されており、該画素電極は該絶縁膜に設けられたコンタクトホールを介して該薄膜トランジスタに電氣的に接続されている請求項 1 又は 2 記載の積層型表示装置。

【請求項 4】前記第 1 及び第 2 基板のうちの少なくとも一方に、前記画素電極又は前記対向電極との間に、基板面に沿う横電界を発生させるための共通電極がさらに形成されている請求項 1 から 3 のいずれかに記載の積層型表示装置。

【請求項 5】積層された複数の表示層を有する積層型表示装置の製造方法であって、

マトリクス状に配置された複数の透明な画素電極及び該画素電極に接続された複数の透明な薄膜トランジスタが形成された透明な第 1 基板と、該第 1 基板上の複数の画素電極の全てに臨ませる透明な対向電極が形成された透明な第 2 基板との間に表示層を配置して、複数の表示素子をそれぞれ作製する表示素子作製工程と、該表示素子作製工程で作製された複数の表示素子を積層する積層工程とを含む積層型表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、積層された複数の表示層（例えば液晶層）を有する積層型表示装置に関する。また、本発明は、積層型表示装置の製造方法に関する。

【0002】

【従来の技術】カラー表示を行うなどのために液晶層が複数積層された積層型液晶表示装置が提案されている。

【0003】例えば特開 2000 - 284316 号公報の教える積層型液晶表示装置においては、第 1 及び第 2 の基板間に積層された三つの液晶層（第 1 ～ 第 3 液晶層）が配置されている。この積層型液晶表示装置においては、アクティブマトリクス駆動を行うために、画素電極や薄膜トランジスタ（TFT）等が各液晶層に対して次のように設けられている。第 1 基板と第 2 基板の間には、第 1 画素電極、第 1 液晶層、第 2 画素電極、第 2 液晶層、第 3 画素電極、第 3 液晶層、共通電極がこの順に

積層されている。第 1 基板上には、第 1 ～ 第 3 画素電極にそれぞれ接続された第 1 ～ 第 3 の TFT が形成されている。第 2 TFT と第 2 画素電極は、第 1 液晶層をまたぐ高さのある柱状電極によって接続されている。同様に、第 3 TFT と第 3 画素電極は第 1 及び第 2 液晶層をまたぐ高さのある柱状電極によって接続されている。

【0004】

【発明が解決しようとする課題】しかしながら、特開 2000 - 284318 号公報の教える積層型液晶表示装置は、製造方法が複雑であり、それだけ製造コストがかかる。

【0005】このような不具合とは別に TFT をスイッチング素子として採用する表示装置においては次のような不具合が発生することもある。表示装置における TFT としては、a-Si（アモルファスシリコン）TFT や、p-Si（ポリシリコン）TFT が実用化されている。アモルファスシリコン TFT や、ポリシリコン TFT に可視光が入射すると TFT が誤動作することがあり、それを防止するために TFT に可視光が入射するのを防止するための遮光層が表示装置に設けられる。しかし、遮光層を設けると開口率が低下し、明るい表示を行うことが難しくなる。

【0006】そこで、本発明は液晶層等の表示層が複数積層された積層型表示装置であって、開口率の高い積層型液晶表示装置を提供することを課題とする。

【0007】また、本発明は比較的容易に作製することができる積層型表示装置を提供することを課題とする。

【0008】さらに、本発明は積層型表示装置を比較的容易に作製することができる製造方法を提供することを課題とする。

【0009】

【課題を解決するための手段】§ 1. 積層型表示装置 前記課題を解決するために本発明は、積層された複数の表示層を有する積層型表示装置であって、該各表示層がそれぞれマトリクス状に配置された複数の透明な画素電極及び該画素電極に接続された複数の透明な薄膜トランジスタが形成された透明な第 1 基板と、該第 1 基板上の複数の画素電極の全てに臨む透明な対向電極が形成された透明な第 2 基板との間に挟持されていることを特徴とする積層型表示装置を提供する。

§ 1. 1. 本発明の積層型表示装置は、積層された複数の表示層を有している。

【0010】表示層は、電圧印加、或いは、電流を流すことなどによってその状態を変化させる層であり、さらに言えば、電圧印加などによってその状態が変化し得る層である。表示層は、例えば、電圧印加などによって光の透過率、光の反射率が変化する層とすればよい。表示層は、電圧印加などによって発光状態が変化する層としてもよい。表示層は例えば液晶を含む液晶層とすればよい。表示層の他の例については後述する。

【0011】各表示層は、それぞれ一对の基板（第1基板と第2基板）の間に配置され、それら基板に挟持、保持されている。

【0012】積層型表示装置には、例えば、複数の表示層それぞれに対して一对の基板を設ければよい。この場合、表示層の数がN（Nは2以上の整数）個であるとすると、積層型表示装置が有する基板の数は $2 \cdot N$ 個である。

【0013】積層型表示装置が有する基板の数は $2 \cdot N$ 個よりも少ないこともある。例えば、ある表示層（第1表示層という）を保持するための基板を、第1表示層に隣合う第2表示層の保持にも利用する場合、つまり、隣合う二つの表示層の間に基板を一つだけ配置して、その基板をこれら二つの表示層の保持に共通に利用する場合である。

【0014】いずれにしても、各表示層を保持する第1基板と第2基板はそれぞれ次のようなものである。

【0015】第1基板と第2基板はいずれも透明である。

【0016】第1基板上には、複数の透明な画素電極と、半導体活性層のバンドギャップが3 eV以上である材料を用いた透明な薄膜トランジスタ（TFT：Thin Film Transistor）が複数形成されている。複数の画素電極は第1基板上にマトリクス状に配置されている。各画素電極は例えば四角形状とすればよい。複数の薄膜トランジスタは、複数の画素電極のそれぞれに対して設けられている。各薄膜トランジスタは、対応する画素電極に電気的に接続されている。

【0017】第2基板上には、透明な対向電極が設けられている。第2基板上の対向電極は、第1基板上の複数の画素電極の全てに臨んでいる。対向電極は例えば第2基板の全面に形成すればよい。

【0018】なお、前述のように隣合う二つの表示層の間に一つの基板（共通基板という）だけを配置して、その基板をそれら二つの表示層の保持に共通に利用する場合には、共通基板の二つの面には電極等を次のように形成すればよい。例えば、共通基板の一方の面に画素電極と薄膜トランジスタを形成し、他方の面に対向電極を形成すればよい。この場合、画素電極と薄膜トランジスタが形成された面に臨む表示層に対しては共通基板は第1基板として機能し、対向電極が形成された面に臨む表示層に対しては共通基板は第2基板として機能する。これに代えて、共通基板のいずれの面にも画素電極と薄膜トランジスタを形成してもよく、或いは、いずれの面にも対向電極を形成してもよい。

【0019】本発明の積層型表示装置においては、表示層を挟持するための第1基板上に形成されている複数の薄膜トランジスタはいずれも透明であり、その特性は入射光によって影響を受けない。したがって、薄膜トランジスタに可視光が入射しても誤動作することがない。そ

のため、薄膜トランジスタに光が入射するのを防止するためのブラックマトリクスマスク等の遮光層を基板上に設ける必要がない。また、第1及び第2基板、画素電極及び対向電極も透明である。これらにより、本発明の積層型表示装置においてはほぼ100%の開口率を達成できる。

【0020】§1.2. 以下、本発明の積層型表示装置についてさらに説明する。

（a）表示層

表示層は、例えば、入射光の反射制御、透過制御を行うための光制御層とすればよい。表示層としての光制御層は例えば液晶表示素子で用いられる液晶を含む液晶層とすればよい。

【0021】表示層は、自ら発光する自発光層としてもよい。表示層としての自発光層は例えば有機EL素子で用いられる有機発光膜、無機EL素子で用いられる無機発光膜などとすればよい。

【0022】積層型表示装置の複数の表示層は全て同じ種類の表示層（例えば全て液晶層）としてもよく、1又は2以上の表示層の種類を他の表示層の種類と異なるものとしてもよい。

【0023】積層型表示装置の複数の表示層は、例えば、それぞれ異なる色の表示を行うためのものとすればよい。積層型表示装置には例えば三つの表示層を設けておき、それら表示層をそれぞれ赤色、緑色及び青色の表示を行うものとすればよい。このようにすれば、これら三つの表示層でマルチカラー又は加法混色によるフルカラー表示を行うことができる。

（b）液晶層

表示層として液晶層を採用する場合には、その液晶層中の液晶は例えば室温でコレステリック相を示すものとすればよい。コレステリック相を示す液晶は、液晶のヘリカルピッチに応じた波長の光を選択的に反射することができる。そのため、コレステリック相を示す液晶を含む液晶層を有する積層型表示装置は、反射型の表示装置として利用できる。

【0024】液晶層中の液晶は、例えば、室温でコレステリック相を示し、所定波長の可視光を選択的に反射できるものとすればよい。積層型表示装置の複数の表示層をいずれも液晶層として、いずれの液晶層中の液晶も室温でコレステリック相を示し、所定波長の可視光を選択的に反射できるものとしてもよい。この場合、例えば各液晶層中の液晶の選択反射のピーク波長を互いに異なるものとすればよい。例えば、積層型表示装置に三つの液晶層を表示層として設け、これら液晶層の選択反射のピーク波長をそれぞれ赤色領域、緑色領域及び青色領域とすればよい。

【0025】コレステリック相を示す液晶としては、例えば、それ自体がコレステリック相を示すコレステリック液晶や、ネマティック液晶にカイラル材料を添加した

カイラルネマティック液晶などを採用すればよい。カイラルネマティック液晶は、カイラル材料の添加量によって、ヘリカルピッチを調整でき、選択反射波長を簡単に調整できる利点がある。

【0026】液晶層中の液晶は、コレステリック相を示す液晶に代えて、ゲスト・ホスト型液晶としてもよい。例えば、それぞれイエロー、マゼンタ、シアンの色素を含む三つのゲスト・ホスト型液晶を含む液晶層を積層することで、マルチカラー又は減法混色によるフルカラー表示を行うことができる。

(c) 基板

表示層を挟持するための基板(第1、第2基板)は、例えば、無アルカリガラス基板等のガラス基板とすればよい。基板は、薄膜トランジスタ等を形成するときの成膜温度等にもよるが、有機材料や高分子材料、例えば、ポリエーテルスルホン(PES)、ポリカーボネイト(PC)、ポリエチレンテレフタレート(PET)、ポリアリレート(PA)、ポリエーテルエーテルケトン(PEEK)、アクリル(PMMA)、ABS、ポリ四フッ化エチレンからなるものとしてもよい。第1及び第2基板 20のうちの少なくとも一方の基板は、可撓性を有するものとしてもよい。第1及び第2基板は同じ材料からなるものとしてもよく、異なる材料からなるものとしてもよい。

【0027】第1基板上には、薄膜トランジスタや画素電極の他に、代表的には、薄膜トランジスタを駆動制御するためのゲート信号線及びソース信号線をさらに形成しておけばよい。第1基板上には、絶縁膜、配向膜等をさらに形成してもよい。第2基板上にも、対向電極の他に、例えば、絶縁膜、配向膜等を形成してもよい。 30

(d) 薄膜トランジスタ

第1基板上に設けられている透明薄膜トランジスタは、代表的には、次のような半導体活性層、ゲート電極、ソース電極、ドレイン電極及びゲート絶縁膜を有している。

【0028】ゲート絶縁膜は、ゲート電極と半導体活性層とを電氣的に絶縁するなどのために、ゲート電極と半導体活性層の間に配置されている。つまり、ゲート電極はゲート絶縁膜を介して半導体活性層に臨んでいる。

【0029】ゲート絶縁膜は、電氣的に高抵抗であり絶縁性を有している。ゲート絶縁膜の抵抗率は、例えば、 10^7 cm以上、より好ましくは 10^9 cm以上、さらに好ましくは 10^{12} cm以上とすればよい。 40

【0030】ソース電極は半導体活性層に臨んでいる。ソース電極は半導体活性層に直接接する位置に設けてもよく、ソース電極と半導体活性層の間には別の層(例えばオーミックコンタクト層)を設けてもよい。

【0031】ドレイン電極も半導体活性層に臨んでいる。ドレイン電極は半導体活性層に直接接する位置に設けてもよく、ドレイン電極と半導体活性層の間には別の 50

層(例えばオーミックコンタクト層)を設けてもよい。

【0032】半導体活性層、ゲート電極、ソース電極、ドレイン電極及びゲート絶縁膜は、例えば、逆スタガ構造(ボトムゲート構造)又は正スタガ構造(トップゲート構造)となるように配置すればよい。

【0033】薄膜トランジスタの構成要素(ゲート電極、ソース電極、ドレイン電極、ゲート絶縁膜及び半導体活性層)をいずれも透明とすることで、薄膜トランジスタ全体を透明にすることができる。薄膜トランジスタの透明な構成要素の材料としては、従来より知られている透明材料を採用することができる。例えば、酸化亜鉛(ZnO)を母材とする材料により、ゲート電極、ソース電極、ドレイン電極、ゲート絶縁膜及び半導体活性層を形成すればよい。ZnOはエネルギーバンドギャップが3 eV以上と大きく、また、これに不純物をドーピングすることで導電性を制御することができる。各構成要素の材料の具体例を次に示す。

(d1) 電極

電極としての透明導電膜は、可視光に対して透明であって、低抵抗率が得られるのであれば、どのような材料からなるものでもよい。例えば、酸化インジウム(In_2O_3)、酸化錫(SnO_2)、ZnO等の酸化物材料や、この酸化物材料に不純物をドーピングしたものを透明導電膜材料として採用することができる。

【0034】具体的に言うと、透明導電膜材料としては、例えば、 In_2O_3 に錫(Sn)をドーピングしたもの(一般的にITO(Indium Tin Oxide)と呼ばれる)、 SnO_2 にアンチモン(Sb)又はフッ素(F)をドーピングしたもの、ZnOにInをドーピングしたもの、ZnOにガリウム(Ga)をドーピングしたもの(一般的にGZOと呼ばれる)、ZnOにAlをドーピングしたもの(一般的にAZOと呼ばれる)などを採用すればよい。

【0035】上記述べた透明電極材料は、薄膜トランジスタのゲート電極、ソース電極、ドレイン電極の材料としてだけでなく、第1基板上の透明画素電極材料及び第2基板上の対向電極材料や、後述する共通電極材料としても採用することができる。

(d2) ゲート絶縁膜

ゲート絶縁膜材料としては、例えば、酸化シリコンを主成分とする材料(酸化シリコンのみからなる材料を含む。以下、単に酸化シリコンという)を挙げることができる。ゲート絶縁膜としての酸化シリコン膜は、例えば SiO_2 膜とすればよい。

【0036】ゲート絶縁膜材料は、窒化シリコンを主成分とする材料(窒化シリコンのみからなる材料も含む。以下、単に窒化シリコン(SiN)という)や、酸窒化シリコンを主成分とする材料(酸窒化シリコンのみからなる材料も含む。以下、単に酸窒化シリコンという)としてもよい。ゲート絶縁膜としての窒化シリコン膜や酸窒化シリコン膜は、その所期の目的を達成できる範囲

で、不純物を含んでいてもよい。窒化シリコン (SiN) 膜は、例えば、アモルファス SiN 又は Si_3N_4 からなる膜、或いは、アモルファス SiN 又は Si_3N_4 を主成分とする膜とすればよい。

【0037】ゲート電極と半導体活性層の間に配置するゲート絶縁膜は、酸化シリコン膜と窒化シリコン膜の二層構造としてもよい。この場合、例えば窒化シリコン膜を半導体活性層に臨ませればよい。

(d3) 半導体活性層

半導体活性層は、例えば、伝導帯と価電子帯の間のエネルギーバンドギャップが 3 eV 以上と可視光に対して透明で、キャリア濃度が 10^{18} cm^{-3} 以下である材料により形成すればよい。

【0038】半導体活性層は、例えば酸化亜鉛 (ZnO) を主成分とする膜 (以下単に酸化亜鉛膜 (ZnO 膜) という) とすればよい。

(e) 第1基板上の画素電極と、この画素電極に対して設けられた薄膜トランジスタ (この画素電極に接続されている薄膜トランジスタ) は、互いに少なくとも一部が重なるように配置してもよい。例えば、薄膜トランジスタを覆うように画素電極を配置してもよい。このようにすれば、画素電極のサイズを大きくすることができる。

【0039】このようにする場合、画素電極と薄膜トランジスタの間の電氣的絶縁状態を保つために、例えば、画素電極と薄膜トランジスタの間には透明な絶縁膜を配置すればよい。そして、画素電極と薄膜トランジスタは、例えば、絶縁膜にコンタクトホールを設けておき、そのコンタクトホールを介して電氣的に接続すればよい。

【0040】複数の薄膜トランジスタ上に透明な一つの絶縁膜を形成して、この絶縁膜上に複数の画素電極を形成してもよい。この場合には、その絶縁膜に複数のコンタクトホールを形成しておき、各コンタクトホールを介して画素電極と薄膜トランジスタとを電氣的に接続してもよい。

【0041】画素電極と薄膜トランジスタの間に配置する絶縁膜の画素電極側の面を平坦にしてもよい。このようにすれば、絶縁膜上に形成されている画素電極を平坦にすることができる。第1基板上の画素電極が平坦であれば、この画素電極と第2基板上の対向電極との間に電圧を印加することで、第1基板と第2基板の間に配置された表示層に一樣な平行電界を印加することができる。これにより、表示層が液晶層であるときには、コントラストを向上させることができる。また、画素電極の上にさらに配向膜及び (又は) 絶縁膜を形成する場合には、配向膜及び (又は) 絶縁膜も平坦にすることができる。配向膜が平坦であれば、配向膜にラビング処理を施すときにはラビング不良を抑制でき、これに接する液晶の配向欠陥を抑制することができる。

(f) 各表示層の同じ画素に対して設けられた薄膜トランジスタは、第1基板の法線方向から見たときの位置を互いにずらしてもよい。

【0042】前述のように薄膜トランジスタは透明ではあるが、それでも薄膜トランジスタが形成されていない第1基板部分に比べて、薄膜トランジスタが形成されている第1基板部分における光の透過率は低くなりやすい。したがって、同じ画素の薄膜トランジスタの位置をずらすことで、同じ画素の薄膜トランジスタが互いに重なる位置に配置されている場合に比べて、表示画面の明るさのむらを抑制することができる。

(g) 前述のように表示層を液晶層 (例えばコレステリック相を示す液晶を含む液晶層) とする場合には、第1及び第2基板のうちの少なくとも一方に、画素電極又は対向電極との間に、基板面に沿う向きの横電界を発生させるための共通電極をさらに形成してもよい。つまり、第1基板上に共通電極をさらに形成して、第1基板上の画素電極と共通電極の間に電圧を印加したときに横電界を形成できるようにしてもよく、これに代えて或いはこれとともに、第2基板上にさらに共通電極を形成して、第2基板上の対向電極と共通電極の間に電圧を印加したときに横電界を形成できるようにしてもよい。

【0043】例えば、第1基板上に画素電極の他に、画素電極に対して第1基板面に平行な方向にずれた部分を少なくとも一つ有する共通電極を少なくとも一つさらに設ければよい。共通電極は例えば少なくとも一つの歯部分を有する櫛歯状のものとし、画素電極も少なくとも一つの歯部分を有する櫛歯状のものとすればよい。この場合、例えば、櫛歯状共通電極の歯部分と、櫛歯状画素電極の歯部分の位置を第1基板面に平行な方向にずらしておけばよい。

【0044】このような共通電極を第1基板上に設けた場合、横電界に加えて、第1基板上の画素電極と第2基板上の対向電極の間に電圧を印加したときには、第1基板面にほぼ垂直な向きの縦電界を液晶層 (画素電極に臨む液晶) に印加することができる。第1基板上の共通電極と第2基板上の対向電極の間に電圧を印加したときにも、縦電界を液晶層 (共通電極に臨む液晶) に印加することができる。液晶層に縦電界を印加するときには、画素電極と対向電極の間に電圧を印加するとともに、共通電極と対向電極の間に電圧を印加してもよい。

【0045】したがって、第1基板上に画素電極の他に共通電極を設けることで、液晶層には縦電界又は横電界を選択的に印加することができる。第2基板上に共通電極を設けるときにも同様に、液晶層には縦電界又は横電界を選択的に印加することができる。

【0046】画素電極と共通電極の間に電圧を印加するとき、画素電極と対向電極の間に電圧を印加するとき、又は (及び) 共通電極と対向電極の間に電圧を印加するときには、液晶の螺旋構造を完全に解くことなく液晶の

状態（例えばヘリカル軸の向き）を変化させる電圧（例えばパルス電圧）を印加してもよい。パルス電圧を印加する場合には、例えば、そのパルス電圧の大きさ、パルス幅、パルス数及びデューティ比の組み合わせを液晶の螺旋構造を完全に解かないものとすればよい。液晶に縦電界及び横電界のいずれも印加することができるので、液晶の螺旋構造を完全に解かなくても、液晶のヘリカル軸の向きを所望の向きに向かせることができる。液晶の螺旋構造を完全に解くためには比較的大きな電圧を液晶に印加しなければならないので、上記のようにする

ことでそれほど大きな電圧を液晶に印加する必要がなくなる。したがって、画素電極と、共通電極又は対向電極の間に電圧を印加するときには、その画素電極への電圧印加を制御する薄膜トランジスタへの負荷を低減できる。

【0047】共通電極は例えばマトリクス状に配置された画素電極のうちの所定方向に一行に並ぶ画素電極群に対して共通のものとすればよい。この場合、共通電極は代表的には第1基板上に複数設ければよい。共通電極は第1基板上に形成された全ての画素電極に対して共通のものと

§ 2 . 積層型表示装置の製造方法

本発明は上記説明した積層された複数の表示層を有する積層型表示装置の製造方法も提供する。

【0049】本発明に係る製造方法は、積層された複数の表示層を有する積層型表示装置の製造方法であって、マトリクス状に配置された複数の透明な画素電極及び該画素電極に接続された複数の透明な薄膜トランジスタが形成された透明な第1基板と、該第1基板上の複数の画素電極の全てに臨ませる透明な対向電極が形成された透明な第2基板との間に表示層を配置して、複数の表示素子をそれぞれ作製する表示素子作製工程と、該表示素子作製工程で作製された複数の表示素子を積層する積層工程とを含む積層型表示装置の製造方法である。

§ 2 . 1 . 本発明の積層型表示装置の製造方法は、表示素子作製工程と積層工程とを含んでいる。なお、前記積層型表示装置の説明の中で述べたことは、この製造方法により作製される積層型表示装置に関しても同様のことが言える。

【0050】表示素子作製工程においては、次のような表示層を含む表示素子を複数作製する。表示素子（単位素子）は、透明第1基板と透明第2基板の間に表示層が

配置されたものである。表示素子作製工程においては、最終的に積層させる表示層と同じ数の表示素子を作製する。

【0051】表示素子作製工程で用いる第1基板上には、マトリクス状に配置された複数の透明な画素電極及び該画素電極に接続された複数の透明な薄膜トランジスタが形成されている。第1基板は、さらに絶縁膜、配向膜等が形成されたものとしてもよい。

【0052】表示素子作製工程で用いる第2基板上には、第1基板上の複数の画素電極の全てに臨ませる透明な対向電極が形成されている。第2基板は、さらに絶縁膜、配向膜等が形成されたものとしてもよい。

【0053】第1基板と第2基板の間に配置する表示層として例えば液晶層を採用する場合には、第1基板と第2基板の間には、液晶漏れを防止するためのシール壁をさらに配置してもよい。液晶を第1及び第2基板のうちの少なくとも一方の基板上に供給した後、第1基板と第2基板をシール壁等によって貼り合わせることで、第1基板と第2基板の間に液晶層を形成することができる。第1基板と第2基板を貼り合わせた後、シール壁によって囲まれる領域内に真空注入法等によって液晶を注入してもよい。第1基板と第2基板の間には、液晶層の厚みを制御するなどのために、1又は2以上のスペーサを配置してもよい。第1基板と第2基板の間には、液晶層の厚みを制御したり、基板の接着強度を高めるなどのために、1又は2以上の樹脂構造物（樹脂柱）を配置してもよい。

【0054】複数の表示素子を作製した後、積層工程を行う。

【0055】積層工程においては作製された複数の表示素子を所定の順序で積層する。互いの位置関係がずれないように、隣合う表示素子は例えば接着剤で接着してもよい。

【0056】表示層を含む表示素子を複数積層することで、複数の表示層が積層された積層型表示装置が得られる。

【0057】上記述べた製造方法によると、各表示素子をそれぞれ独立して作製することができる。したがって、比較的容易に積層型表示装置を作製することができる。

【0058】

【発明の実施の形態】§ 3 . 以下、本発明の実施の形態を図面を参照して説明する。

【0059】図1に本発明に係る積層型表示装置の一例の概略断面図を示す。図1の積層型表示装置MD1は、反射型の積層型液晶表示装置である。

【0060】積層型液晶表示装置MD1は、積層された三つの液晶表示素子（液晶セル）LEb、LEg、LErを有している。隣合う液晶表示素子は透明な接着剤3によって接着されている。

【0061】液晶表示素子LEb、LEg、LErは、それぞれ青色、緑色、赤色表示のためのものである。液晶表示素子LEb、LEg、LErは、それぞれ青色、緑色、赤色領域に選択反射波長を有する液晶層Lb、Lg、Lrを含んでいる。つまり、表示装置MD1においては、液晶層Lb、Lg、Lrがこの順に積層されている。

【0062】積層型液晶表示装置MD1による表示は、液晶表示素子LEb側（図1においては上側）から観察する。つまり、液晶表示素子LEbが観察側に最も近い位置に配置されており、液晶表示素子LErが観察側から最も遠い位置に配置されている。液晶表示素子LErの裏側には光吸収膜ABが形成されている。

【0063】§3.1. 以下、青色表示用の液晶表示素子LEbの構造について説明する。緑及び赤色表示用の液晶表示素子LEg、LErの構造は、基板間に配置された液晶層（液晶）が異なることを除けば、以下に述べる青色表示用液晶表示素子LEbの構造と同じである。

【0064】液晶表示素子LEbは一对の基板S1及びS2を有している。基板S1及びS2は本例ではいずれも無アルカリガラス基板であり、透明である。基板S1とS2の間には枠状にシール壁SWが形成されている。シール壁SWは基板S1とS2のいずれにも接着している。基板S1、S2及びシール壁SWで囲まれる空間内には、液晶LCbが配置されている。液晶LCbは基板S1とS2の間に層状に配置されており、この層が前記液晶層Lbである。液晶LCbは、本例では、室温でコレステリック相を示すカイラルネマティック液晶であり、所定波長の可視光を選択的に反射することができる。液晶LCbの選択反射のピーク波長は青色領域にある。

【0065】なお、緑及び赤色表示用液晶表示素子LEg、LErにおいては、基板間にはそれぞれ液晶層Lg、Lrが配置されている。液晶層Lg、Lr中の液晶LCg、LCrはいずれも室温でコレステリック相を示すカイラルネマティック液晶であり、それぞれ選択反射のピーク波長は緑及び赤色領域にある。

【0066】基板S1、S2の液晶LCbに面する位置には配向膜O1、O2がそれぞれ形成されている。配向膜O1及びO2は本例ではいずれもポリイミドからなり、透明である。基板上には配向膜に代えて絶縁膜を設けてもよく、絶縁膜及び配向膜の双方を設けてもよい。

【0067】液晶層Lbと同じ層内には、複数のスペーサSPと、複数の樹脂構造物（樹脂柱）RSが配置されている。スペーサSPは基板間ギャップを制御するため、さらに言うと、液晶層Lbの厚みを制御するために設けられている。樹脂構造物RSは、基板S1とS2のいずれにも接着している。樹脂構造物RSは、基板間ギャップを制御したり、液晶表示素子LEbの強度を高め

るなどのために設けられている。

【0068】ここで、液晶表示素子LEbの拡大断面図を図2に示す。また、液晶表示素子LEbの基板S1の概略平面図及び拡大概略平面図をそれぞれ図3及び図4に示す。図3及び図4においては、理解容易のために前記配向膜O1を取り除いてある。

【0069】液晶表示素子LEbには、アクティブマトリクス駆動を行うために、基板S1とS2にはそれぞれ次のように電極や薄膜トランジスタが形成されている。

【0070】基板S1上には、図3及び図4等々に示すように、 $(m \times n)$ 個の画素電極 $E_{11} \sim E_{mn}$ が形成されている。なお、 m 、 n はいずれも2以上の整数である。これら画素電極は各画素に対してそれぞれ設けられており、マトリクス状に配置されている。各画素電極は本例ではいずれも四角形状である。これら画素電極の上に前記配向膜O1が形成されている。

【0071】また、基板S2上には、図1及び図2に示すように、基板S1上の全ての画素電極に臨む対向電極Ecが形成されている。対向電極Ecは本例ではITOからなり、透明である。対向電極Ecの上に前記配向膜O2が形成されている。

【0072】基板S1上には、画素電極 $E_{11} \sim E_{mn}$ に電圧印加するために薄膜トランジスタ（TFT） $T_{11} \sim T_{mn}$ 、並びに、薄膜トランジスタ $T_{11} \sim T_{mn}$ を駆動制御するためにゲート信号線 $GL_1 \sim GL_m$ と、ソース信号線 $SL_1 \sim SL_n$ がさらに形成されている。

【0073】ゲート信号線 $GL_1 \sim GL_m$ は図3においてX方向（行方向）に延びており、それぞれX方向に並ぶ薄膜トランジスタ群に対して設けられている。例えばゲート信号線 GL_1 は、X方向に並んだ薄膜トランジスタ群 $T_{11} \sim T_{1n}$ に対して設けられている。ゲート信号線 $GL_1 \sim GL_m$ はいずれも図3中左端部においては露出している。

【0074】ソース信号線 $SL_1 \sim SL_n$ は図3においてY方向（列方向）に延びており、それぞれY方向に並ぶ薄膜トランジスタ群に対して設けられている。例えばソース信号線 SL_1 はY方向に並んだ薄膜トランジスタ群 $T_{11} \sim T_{m1}$ に対して設けられている。ソース信号線 $SL_1 \sim SL_n$ はいずれも図3中下端部においては露出している。

【0075】薄膜トランジスタ $T_{11} \sim T_{mn}$ は、詳しくは後述するように、それぞれゲート電極12、ソース電極15及びドレイン電極16を有している（図2参照）。各薄膜トランジスタのドレイン電極、ゲート電極及びソース電極は、それぞれ次のように画素電極、ゲート信号線及びソース信号線と電氣的に接続されている。

【0076】薄膜トランジスタ T_{pq} のドレイン電極16は、対応する画素電極 E_{pq} に接続されている。なお、 p は $1 \leq p \leq m$ を満たす整数であり、 q は $1 \leq q \leq n$ を満たす整数である。また、薄膜トランジスタ T_{pq} のゲート

電極 12 は、対応するゲート信号線 GL_p に接続されている。薄膜トランジスタ T_{pq} のソース電極 15 は、対応するソース信号線 SL_q に接続されている。

【0077】§3.2. 以下、基板 S1 上に形成されている薄膜トランジスタ T_{12} の構造を図 2 を参照して説明する。他の薄膜トランジスタも薄膜トランジスタ T_{12} と同様の構造を有している。

【0078】薄膜トランジスタ T_{12} はボトムゲート型の薄膜トランジスタである。薄膜トランジスタ T_{12} は、基板 S1 上に形成された下地保護膜 11 上に形成されている。下地保護膜 11 は本例ではシリコン窒化膜 (SiN 膜) であり、透明である。

【0079】この保護膜 11 上に、ゲート電極 12、ゲート絶縁膜を構成する第 1 の絶縁層 131 及び第 2 の絶縁層 132、半導体活性層 14 がこの順に形成されている。半導体活性層 14 上には、さらにソース電極 15 とドレイン電極 16 が形成されている。

【0080】ソース電極 15 とドレイン電極 16 等の上には層間絶縁膜 17 が形成されており、この絶縁膜 17 の上に画素電極 E_{12} が形成されている。層間絶縁膜 17 は本例ではポリイミドからなり、透明である。層間絶縁膜 17 にはコンタクトホール 17h が形成されており、このコンタクトホール 17h を介してドレイン電極 16 と画素電極 E_{12} は電気的に接続されている。

【0081】ゲート電極 12 は本例では ITO からなり、透明である。なお、薄膜トランジスタのゲート電極と対応するゲート信号線は一体的に形成されている。ゲート信号線 $GL_1 \sim GL_m$ は本例ではいずれも ITO からなり、透明である。

【0082】ソース電極 15 及びドレイン電極 16 は本例ではいずれも GZO (ガリウムがドーパされた酸化亜鉛) からなり、透明である。なお、薄膜トランジスタと対応するソース信号線は一体的に形成されている。ソース信号線 $SL_1 \sim SL_n$ は本例ではいずれも GZO からなり、透明である。

【0083】ゲート絶縁膜を構成する絶縁層 131、132 は、本例ではそれぞれシリコン酸化膜 (SiO₂ 膜)、シリコン窒化膜 (SiN 膜) であり、いずれも透明である。

【0084】半導体活性層 14 は本例では酸化亜鉛膜 (ZnO 膜) である。半導体活性層 (ZnO 膜) 14 はエネルギーバンドギャップが 3 eV 以上であり、可視光に対して透明である。半導体活性層 4 としての ZnO 膜は、そのキャリア濃度が 10^{18} cm^{-3} 以下となるように形成されたものである。

【0085】薄膜トランジスタを構成するゲート電極 12、ゲート絶縁膜 131、132、半導体活性層 14、ソース電極 15 及びドレイン電極 16 は、上記のようにいずれも透明であるため、薄膜トランジスタは全体として透明である。

【0086】§3.3. 以上説明した積層型液晶表示装置 MD1 においては、各液晶表示素子 LEb 、 LEg 、 LEr の各画素の液晶分子 (本例ではカイラルネマティック液晶分子) の配列状態を次のようにして変えることで表示を行うことができる。

【0087】駆動対象画素の画素電極と対向電極 Ec の間に所定の電圧 (例えばパルス電圧) を印加して、駆動対象画素の液晶に電界を印加することで、駆動対象画素の液晶分子の配列状態を変えることができる。積層型液晶表示装置 MD1 においては液晶には基板面にほぼ垂直な縦電界が印加される。駆動対象画素の画素電極には、それに接続された薄膜トランジスタを介して電圧が印加される。

【0088】例えば、カイラルネマティック液晶に十分高い電圧を印加すると、液晶分子のねじれが完全に解けて、液晶はホメオトロピック状態になる。正の誘電異方性を有するカイラルネマティック液晶は、液晶分子の長軸方向が電界の向きに平行に並んだホメオトロピック状態になる。液晶がホメオトロピック状態になった後、電圧印加を急に停止すると、液晶はその分子のヘリカル軸が基板に対して垂直に並んだプレーナ状態になる。プレーナ状態の液晶は所定波長の光を選択的に反射する。

【0089】また、カイラルネマティック液晶に完全なホメオトロピック状態にすることができない程度の低い電圧を十分な時間印加した後電圧印加を急に停止すると、或いは、液晶に十分高い電圧を印加して液晶がホメオトロピック状態になった後電圧印加をゆっくり停止すると、液晶はその分子のヘリカル軸が不規則な方向ないしは基板面に対してほぼ平行に並んだフォーカルコニック状態となる。フォーカルコニック状態の液晶は光を透過する。

【0090】さらに、上記の印加電圧の大きさや印加時間を調整することによって、プレーナ状態とフォーカルコニック状態が部分的に混在した状態をつくることができ、これにより中間調の表示を行うことができる。

【0091】電圧印加停止後のカイラルネマティック液晶の状態は維持される。つまり、電界が印加されていない状態においては、カイラルネマティック液晶の状態は、プレーナ状態、フォーカルコニック状態又はこれらが混在した状態に維持される。このように、カイラルネマティック液晶組成物にはメモリ性がある。

【0092】上記説明したように各液晶表示素子 LEb 、 LEg 、 LEr をそれぞれアクティブマトリクス駆動することで、各液晶層 Lb 、 Lg 、 Lr の選択反射波長がそれぞれ青、緑、赤色領域に設定されているため、加法混色によるフルカラー表示を行うことができる。

【0093】§3.4. 以上説明した積層型液晶表示装置 MD1 においては、基板 S1 上に形成されている薄膜トランジスタ $T_{11} \sim T_{mn}$ はいずれも透明であり、半導体活性層のバンドギャップが 3 eV 以上である。したが

って、薄膜トランジスタに可視光が入射しても薄膜トランジスタは誤動作しない。そのため、薄膜トランジスタに光が入射するのを防止するためのブラックマトリクスマスク等の遮光層を基板 S1 又は (及び) S2 上に設ける必要がない。これにより、積層型表示装置 MD1 においてはほぼ 100% の開口率を達成でき、それだけ明るい表示を行うことができる。

【0094】また、薄膜トランジスタにおいては、ゲート電極 12 と ZnO 膜からなる半導体活性層 14 の間に配置されたゲート絶縁膜を、酸化シリコン膜からなる絶縁層 131 と、窒化シリコン膜からなる絶縁層 132 の二層構造としているため、ZnO 膜 14 から酸化シリコン膜 131 への Zn イオンの侵入を窒化シリコン膜 132 によってブロックすることができ、Zn イオンが酸化シリコン膜 131 内において拡散することを抑制できる。これにより、Zn イオンによる酸化シリコン膜 131 の絶縁性能の低下を抑制でき、ゲート絶縁膜 (酸化シリコン膜) は安定して高い絶縁性を維持することができる。その結果、ゲート絶縁膜におけるリーク電流を長期にわたり安定して抑制でき、薄膜トランジスタは安定して動作することができる。

【0095】また、積層型液晶表示装置 MD1 においては、薄膜トランジスタと画素電極の間に配置された層間絶縁膜 17 (図 2 参照) の画素電極 E_{12} 側の面 (液晶層 Lb に臨む側の面) が平坦に形成されているため、絶縁膜 17 上に形成されている画素電極 E_{12} を平坦にすることができる。これにより、対向電極 E_c と画素電極 E_{12} の間に電圧を印加したときには、液晶 LCb に一様な平行電界を印加することができ、コントラストを向上させることができる。また、画素電極上に形成されている配向膜 O1 も平坦にすることができ、この配向膜にラビング処理を施すときにはラビング不良を抑制することができる。したがって、液晶の配向欠陥を低減することができる。

【0096】なお、メモリ性を有しコレステリック相を示す液晶の選択反射を利用して表示を行う液晶表示装置においては、原理上、配向膜へのラビング処理は不要であるが、少なくとも一方の基板上の配向膜 (好ましくは素子観察側とは反対側の基板上の配向膜) に対して弱いラビング処理を施すと、メモリ性や視野角特性を大きく損なうことなく反射率を高めることができる (原理的には配向膜自体不要であるが、素子特性の安定性の確保や、意図的に配向膜にラビング処理を施さないことで、良好な視野角特性を得るなどの目的で配向膜が設けられる)。

【0097】§4. 各液晶表示素子を駆動して表示を行うときに、コレステリック相を示す液晶のねじれを解くことなく、つまり、液晶をホメオトロピック状態にすることなく、そのヘリカル軸を基板に対して所定の角度に、例えば、基板面に対して垂直又は平行に変化させる

ことによって表示を行ってもよい。以下さらに詳しく説明する。

(a) コレステリック相を示す液晶の代表的なものは前記カイラルネマティック液晶であり、これはネマティック液晶にカイラル剤を添加することで得られる。以下の説明ではカイラルネマティック液晶について述べるが、以下に述べることはコレステリック相を示す液晶全般に対してあてはまる。

【0098】カイラルネマティック液晶においては、棒状の液晶分子がねじれた配列をなして、コレステリック相を示す。カイラルネマティック液晶にヘリカル軸に平行な方向から光が入射した場合、所定波長の光を選択的に反射する (プレーナ状態)。選択反射波長は液晶分子の平均屈折率と液晶分子のヘリカルピッチ (ねじれのピッチ) の積に応じた波長である。カイラルネマティック液晶にヘリカル軸に垂直な方向から光が入射した場合、光は反射されることなく液晶を透過する (フォーカルコニック状態)。このような選択反射及び透過を利用して表示が行われる。

【0099】カイラルネマティック液晶分子は棒状であるが、その長手方向 (長軸方向) とそれに垂直な方向 (短軸方向) において屈折率や誘電率が異なる異方性をカイラルネマティック液晶は有している。

【0100】ここでは、液晶分子の長軸方向の誘電率及び屈折率が短軸方向のそれらよりも大きい液晶を、正の誘電率異方性を有する液晶と呼ぶ。これに対して、液晶分子の長軸方向の屈折率が短軸方向のそれよりも大きく、且つ、長軸方向の誘電率が短軸方向のそれよりも小さい液晶を、負の誘電率異方性を有する液晶と呼ぶ。

【0101】(b1) 誘電率異方性が正の液晶に十分に高い電圧を印加すると液晶分子のねじれが解け、その電圧により形成される電界の方向と平行な方向に液晶分子の長軸が向くように液晶分子は動く。このねじれが解ける電圧には閾値が存在し、その閾値電圧を V_h とする。

【0102】この閾値電圧 V_h よりも低い電圧を液晶に印加すると、液晶分子はねじれを解くことなく、そのヘリカル軸が電界の方向に垂直な方向に向くように動く。このヘリカル軸を動かす電圧にも閾値が存在し、その閾値電圧を V_f ($V_f < V_h$) とする。

【0103】この電圧 V_f よりも低い電圧を液晶に印加しても液晶分子は動かない。つまり、液晶分子のヘリカル軸の方向は変化しない。

【0104】(b2) 誘電率異方性が負の液晶に十分に高い電圧を印加すると液晶分子のねじれを解くことなく、液晶分子のヘリカル軸は電界の方向とは関係のないランダムな方向に向く。この現象はダイナミックスキヤッタリングと呼ばれている。この現象が起こる電圧には閾値が存在し、その閾値電圧を V_d とする。

【0105】この閾値電圧 V_d よりも低い電圧を液晶に

印加すると、液晶分子はねじれを解くことなく、そのヘリカル軸が電界の方向に平行な方向に向くように動く。このヘリカル軸を動かす電圧にも閾値が存在し、その閾値電圧を V_p ($V_p < V_d$) とする。

【0106】この電圧 V_p よりも低い電圧を液晶に印加しても液晶分子は動かない。つまり、液晶分子のヘリカル軸の方向は変化しない。

【0107】(c) このような性質を利用すれば、図5(A)及び(B)に示す液晶表示素子LEにおいて、次のように駆動すると液晶分子のねじれを解くことな

く、液晶分子のヘリカル軸の向きを印加する電界に応じた所定の方向に向かせて、表示を行うことができる。

【0108】図5の液晶表示素子LEは、次に述べることを除き、図2の液晶表示素子LEbと同じ構造を有している。なお、図5と図2においては同様の機能のものには同じ参照符号を付している。

【0109】液晶表示素子LEにおいても、液晶表示素子LEbと同様に、基板S1とS2の間には室温でコレステリック相を示し、所定波長の可視光を選択的に反射することができるカイラルネマティック液晶LCが配置されている。

【0110】液晶表示素子LEの基板S1上には、四角形状の画素電極に代えて、図6に示すように櫛歯状の画素電極 $E_{11} \sim E_{mn}$ が形成されている。なお、図6は基板S1の一部分の平面図であり、理解容易のために配向膜O1を取り除いた状態を示している。各櫛歯状画素電極は本例ではそれぞれ三つの歯部分THを有している。櫛歯状画素電極 $E_{11} \sim E_{mn}$ は全体としてはマトリクス状に配置されている。各櫛歯状画素電極 $E_{11} \sim E_{mn}$ には、それぞれ透明薄膜トランジスタ $T_{11} \sim T_{mn}$ が接続されている。

【0111】液晶表示素子LEの基板S1上には、櫛歯状画素電極の他に、櫛歯状共通電極 $ET_1 \sim ET_m$ が形成されている。櫛歯状共通電極は、図6中X方向(行方向)に並ぶ複数の画素電極に対して共通に設けられている。例えば、櫛歯状共通電極 ET_1 は櫛歯状画素電極 $E_{11} \sim E_{1n}$ に対して設けられている。

【0112】櫛歯状共通電極は、各櫛歯状画素電極に対して本例ではそれぞれ二つの歯部分THを有している。櫛歯状画素電極の三つの歯部分THと、その画素電極に対して設けられた櫛歯状共通電極の二つの歯部分THは互い違いに配置されていて、これら歯部分は基板S1面上において互いに位置がずれている。

【0113】(d1) 液晶LCが正の誘電率異方性を有するカイラルネマティック液晶である場合には、図5(A)に示すように、櫛歯状画素電極 E_{11} と櫛歯状共通電極 ET_1 の間に電圧 V_1 ($V_f < V_1 < V_h$)を印加することで、基板面にほぼ平行な横電界D1が形成され、液晶のヘリカル軸Hは基板面にほぼ垂直な方向を向く。つまり、液晶はプレーナ状態となり、所定波長の光

を選択的に反射する。

【0114】また、図5(B)に示すように、櫛歯状画素電極 E_{11} 及び櫛歯状共通電極 ET_1 と対向電極Ecの間に電圧 V_2 ($V_f < V_2 < V_h$)を印加すると、基板面に垂直な縦電界D2が形成され、液晶のヘリカル軸Hが基板面に平行な方向を向く。つまり、液晶はフォーカルコニック状態となり、入射光を透過する。

【0115】(d2) 液晶LCが負の誘電率異方性を有するカイラルネマティック液晶である場合には、櫛歯状画素電極と櫛歯状共通電極の間に電圧 V_3 ($V_p < V_3 < V_d$)を印加すると、液晶のヘリカル軸は基板面にほぼ平行な方向に向き、液晶はフォーカルコニック状態となり、入射光を透過する。

【0116】また、櫛歯状画素電極及び櫛歯状共通電極と、対向電極Ecの間に電圧 V_4 ($V_p < V_4 < V_d$)を印加すると、液晶のヘリカル軸Hは基板面に垂直な方向を向き、液晶はプレーナ状態となり、所定波長の光を選択的に反射する。

【0117】(e) このように液晶表示素子LEを駆動すれば、液晶分子のねじれを解くための電圧(V_h 以上の電圧)や、ダイナミックスキャタリングが起こるような電圧(V_d 以上で電圧)を印加する必要がなく、薄膜トランジスタへの負荷を軽減することができる。

【0118】したがって、液晶表示素子LEと同様の液晶表示素子を複数積層した積層型液晶表示装置(図示省略)は、薄膜トランジスタへの負荷を抑制しながら駆動することができる。それだけ長期にわたり安定して駆動することができる。

【0119】§5. 図7に積層型液晶表示装置の他の例の概略断面図を示す。図7の積層型液晶表示装置MD2は、次に述べることを除き、図1の積層型液晶表示装置MD1と同様のものである。

【0120】積層型液晶表示装置MD2においては、同じ画素に対して設けられた青、緑及び赤色表示用液晶表示素子LEb、LEg、LErの薄膜トランジスタの位置が基板の法線方向から見て互いにずれている。図7においては、液晶表示素子LEb、LEg、LErそれぞれの画素電極 E_{11} を駆動するための薄膜トランジスタ T_{11} の位置が互いにずれている様子を示している。

【0121】前述のように薄膜トランジスタは透明ではあるが、それでも薄膜トランジスタが形成されていない基板部分に比べて、薄膜トランジスタが形成されている基板部分における光の透過率は低くなりやすい。したがって、積層型液晶表示装置MD2のように同じ画素の薄膜トランジスタの位置をずらすことで、同じ画素の薄膜トランジスタが互いに重なる位置に形成されている積層型液晶表示装置MD1に比べて、表示画面の明るさのむらを抑制することができる。

【0122】§6. 以下、図1の積層型液晶表示装置MD1の製造方法について説明する。上記述べた他の積

層型液晶表示装置も表示装置MD1と同様にして作製することができる。

【0123】積層型液晶表示装置MD1は、各液晶表示素子LEb、LEg、LErをそれぞれ形成し、それらを所定順序で積層することで作製される。各液晶表示素子LEb、LEg、LErは基板間に配置する液晶が異なることを除けば同様にして作製される。以下液晶表示素子LEbの作製手法について図8及び図9を参照して説明する。

§6.1. 液晶表示素子作製工程

(a) 無アルカリガラス基板S1上には、まず、下地保護層11とする窒化シリコン膜を形成する(図8のステップ#101)。本例では、平行平板型RFプラズマCVD法によりSiH₄ガスとNH₃ガスを原料にして、厚み約500の窒化シリコン膜が形成される。

【0124】次いで、下地保護層11上にスパッタリング法により厚み約1000のITO膜を一樣に形成する。このITO膜をフォトリソグラフィ法を利用して所定形状にパターニングすることで、各薄膜トランジスタT₁₁~T_{mn}のゲート電極12と、これに接続されたゲート信号線GL₁~GL_mを形成する(#102)。なお、図8においては薄膜トランジスタT_{p,q}のゲート電極12が図示されている。

【0125】前記櫛歯状共通電極を基板S1上に設ける場合には、例えば、ITO膜をパターニングすることで薄膜トランジスタのゲート電極及びゲート信号線とともに、櫛歯状共通電極を形成すればよい。

【0126】次いで、ゲート電極及びゲート信号線を覆うように、第1絶縁層131とする厚み約2500の高抵抗の酸化シリコン膜を形成し、その上にさらに第2絶縁層132とする厚み約500の窒化シリコン膜を形成する(#103)。本例では、酸化シリコン膜は、平行平板型RFプラズマCVD法によりTEOS[Tetraethoxysilane:Si(OC₂H₅)₄]とO₂を原料にして形成される。また、窒化シリコン膜は、平行平板型RFプラズマCVD法によりSiH₄ガスとNH₃ガスを原料にして形成される。これらにより、第1及び第2の絶縁層131、132からなる二層構成のゲート絶縁膜が形成される。

【0127】次いで、絶縁層132上に厚さ約500のZnO膜を形成する。本例では、ZnO膜はパルスレーザー蒸着法により基板温度約450°Cの条件下にて形成される。酸素濃度を調整することで、キャリア密度及び導電率が所定の半導体特性を示すように制御しつつ、ZnO膜は形成される。このZnO膜をフォトリソグラフィ法を利用してパターニングすることで、各薄膜トランジスタT₁₁~T_{mn}の半導体活性層14が形成される(#104)。

【0128】次いで、半導体活性層14上に厚さ約1000のGZO膜を形成する。本例では、GZO膜はパ

ルスレーザー蒸着法により基板温度約450°Cの条件下にて形成される。このGZO膜をフォトリソグラフィ法を利用してエッチングすることで、各薄膜トランジスタT₁₁~T_{mn}のソース電極15、ソース電極に接続されたソース信号線SL₁~SL_n、並びに、各薄膜トランジスタT₁₁~T_{mn}のドレイン電極16が形成される(#105)。

【0129】次いで、ソース電極15やドレイン電極16等の上に、層間絶縁膜17とする約2μmのポリイミド膜を形成する。本例ではポリイミド膜は塗布法により平坦になるように形成される。この絶縁膜17に、各薄膜トランジスタT₁₁~T_{mn}のドレイン電極16に通じるコンタクトホール17hをフォトリソグラフィ法を利用して形成する(#106)。

【0130】次いで、絶縁膜17上にスパッタリング法により約1000のITO膜を形成する。このITO膜をフォトリソグラフィ法を利用してパターニングすることで、画素電極E₁₁~E_{mn}が形成される(#107)。

【0131】次いで、画素電極等の上に配向膜O1とするポリイミド膜を形成する(#108)。この後、必要に応じて配向膜O1にはラビング処理等の配向処理を施してもよい。

【0132】(b) もう一方の無アルカリガラス基板S2上には、スパッタリング法により対向電極Ecとする厚み約1000のITO膜を形成する(図9の#109)。このITO膜上にさらに配向膜O2とするポリイミド膜を形成する(#109)。配向膜O2には、必要に応じて、ラビング処理等の配向処理を施してもよい。

【0133】(c) このようにして電極等を形成した基板S1とS2のうちの一方の基板上に約5μmの球状のスペーサSPを散布し、他方の基板上にはシール壁SW及び樹脂構造物RSを形成する(#110、#111)。本例ではシール壁SWは熱硬化性樹脂からなるシール剤を用いて形成される。シール壁SWには後に液晶を注入するための注入口を設けておく。

【0134】次いで、基板S1とS2をシール壁SW、スペーサSP及び樹脂構造物RSを介して貼り合わせる(#112)。

【0135】次いで、シール壁SWで囲まれる空間内にシール壁SWに設けておいた注入口からカイラルネマティック液晶LCbを真空注入法により注入し、注入口を封止剤によって封止する(#113)。注入する液晶LCbは、ネマティック液晶にカイラル剤を添加して、青色波長の光を選択的に反射するように調整されたものである。

【0136】これらにより、青色表示用の液晶表示素子LEbを得る。

【0137】(d) 緑及び赤色表示用の液晶表示素子

LEg、LErも、液晶表示素子LEbと同様にして作製される(図10の#114、#115)。

§6.2. 積層工程

このようにして作製された液晶表示素子LEb、LEg、LErをこの順に積層する(#116)。隣合う液晶表示素子は透明な接着剤3により接着する。

【0138】この後、観察側から最も遠い位置に配置する液晶表示素子LErの裏側に光吸収膜ABを形成する(#117)。これらにより、積層型液晶表示装置MD1を得る。

【0139】§6.3. 以上説明した製造方法によると、積層型液晶表示装置の構成要素である各液晶表示素子をそれぞれ単独で作製することができる。さらに言うと、二以上の液晶表示素子にまたがるような、或いは、二以上の液晶層にまたがるような要素(例えば、柱状電極、コンタクトホール)を形成する必要がなく、それだけ各液晶表示素子の製造プロセスを簡易化することができる。また、各液晶表示素子は、基板間に配置する液晶を代えるだけで同様にして作製することができる。これらにより各液晶表示素子をそれだけ容易に作製することができ、ひいては積層型液晶表示装置をそれだけ容易に作製することができる。

【0140】また、上記の製造方法によると、たとえ一つの液晶表示素子の作製に失敗したとしても、それは他の液晶表示素子の作製には影響を与えない。それだけ歩留りよく積層型液晶表示装置を作製することができる。複数の液晶表示素子を作製した後それらを積層する前に、各液晶表示素子の検査を行っておくことで、さらに歩留りよく積層型液晶表示装置を作製することができる。

【0141】

【発明の効果】以上説明したように、本発明は液晶層等の表示層が複数積層された積層型表示装置であって、開口率の高い積層型液晶表示装置を提供することができる。

【0142】また、本発明は、比較的容易に作製することができる積層型表示装置を提供することができる。

【0143】また、本発明は、積層型表示装置を比較的容易に作製することができる製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る積層型液晶表示装置の一例の概略断面図である。

【図2】図1の積層型液晶表示装置の液晶表示素子の概略拡大断面図である。

【図3】図2の液晶表示素子の画素電極及び薄膜トランジスタが形成されている基板の概略平面図である。

【図4】図3の基板の概略拡大平面図である。

【図5】図5(A)及び(B)は積層型液晶表示装置の液晶表示素子の他の例の概略断面図であり、それぞれ液晶層に横電界及び縦電界が印加されている様子を示している。

【図6】図5の液晶表示素子の櫛歯状画素電極等が形成されている基板の概略平面図である。

【図7】本発明に係る積層型液晶表示装置の他の例の概略断面図である。

10 【図8】図8～図10は図1の積層型液晶表示装置を作製するときの概略工程図を示しており、図8はその一部である。

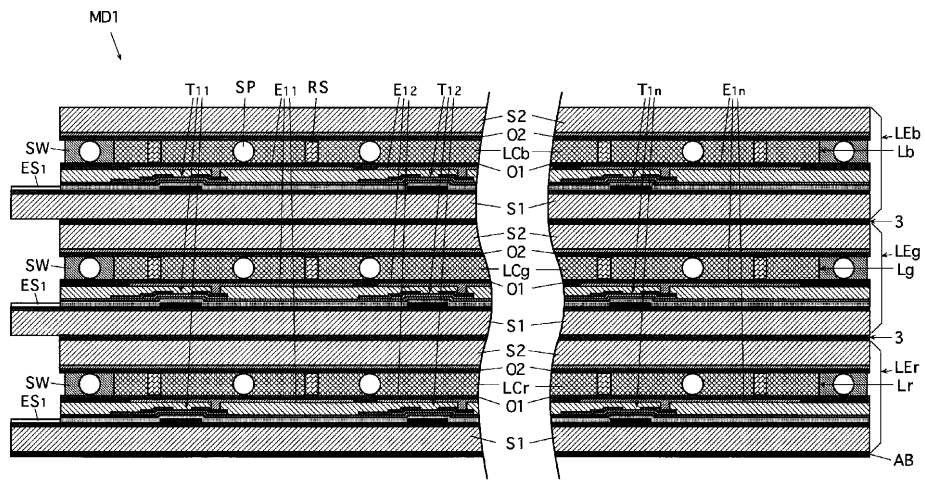
【図9】図8～図10は図1の積層型液晶表示装置を作製するときの概略工程図を示しており、図9はその一部である。

【図10】図8～図10は図1の積層型液晶表示装置を作製するときの概略工程図を示しており、図10はその一部である。

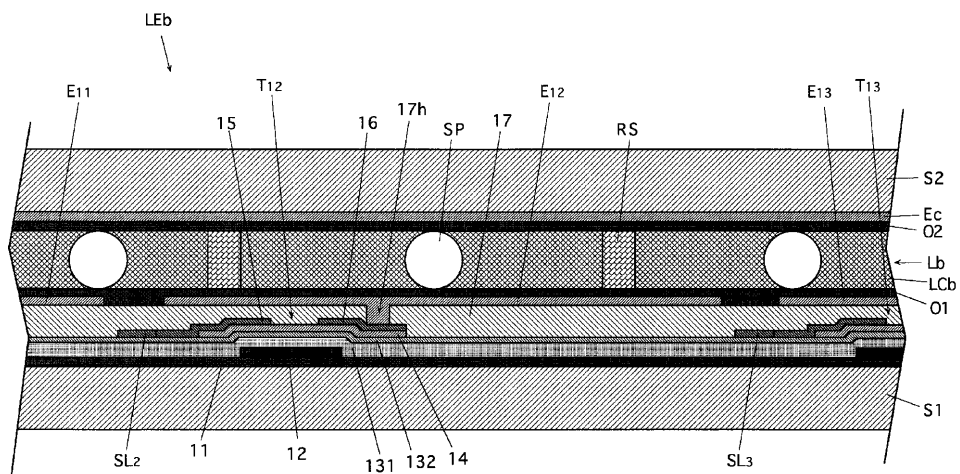
【符号の説明】

- MD1～MD3 積層型液晶表示装置(積層型表示装置)
- LEb、LEg、LEr、LE 液晶表示素子(表示素子)
- Lb、Lg、Lr 液晶層(表示層)
- LCb、LCg、LCr、LC 液晶
- S1、S2 基板
- E₁₁～E_{mn} 画素電極
- Ec 対向電極
- 11 下地保護膜
- 30 T₁₁～T_{mn} 薄膜トランジスタ
- 12 ゲート電極
- 131、132 ゲート絶縁膜を構成する絶縁層
- 14 半導体活性層
- 15 ソース電極
- 16 ドレイン電極
- 17 層間絶縁膜
- 17h 絶縁膜17に形成されたコンタクトホール
- O1、O2 配向膜
- E₁₁～E_{mn} 櫛歯状画素電極
- 40 TH 櫛歯状画素電極の歯部分
- ET₁～ET_m 櫛歯状共通電極(共通電極)
- TH 櫛歯状シフト電極の歯部分
- GL₁～GL_m ゲート信号線
- SL₁～SL_m ソース信号線
- SP スペース
- RS 樹脂構造物
- SW シール壁

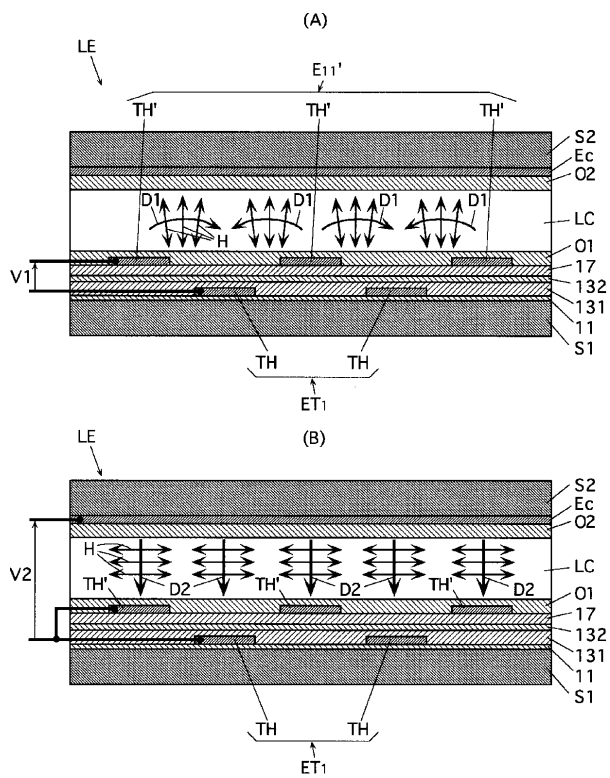
【図 1】



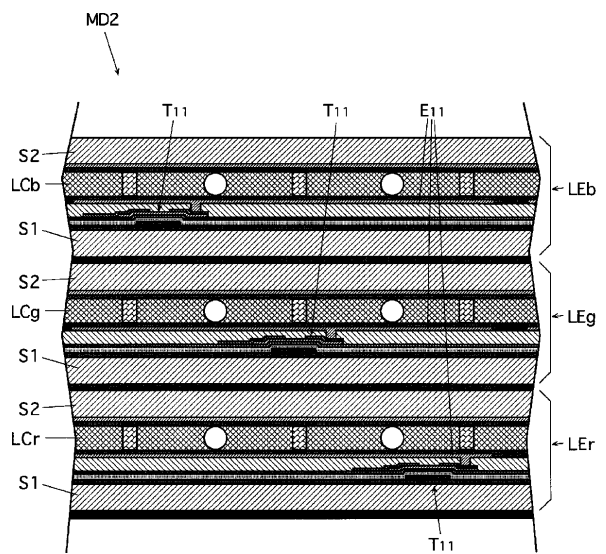
【図 2】



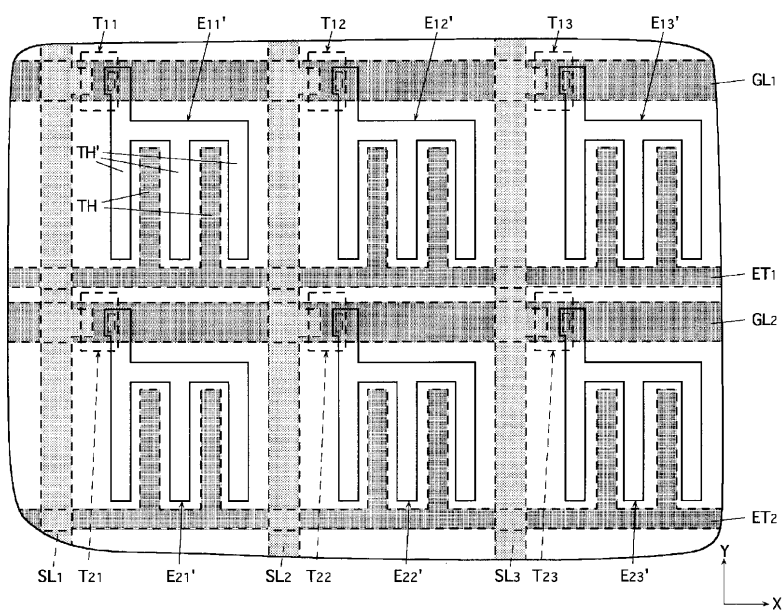
【図 5】



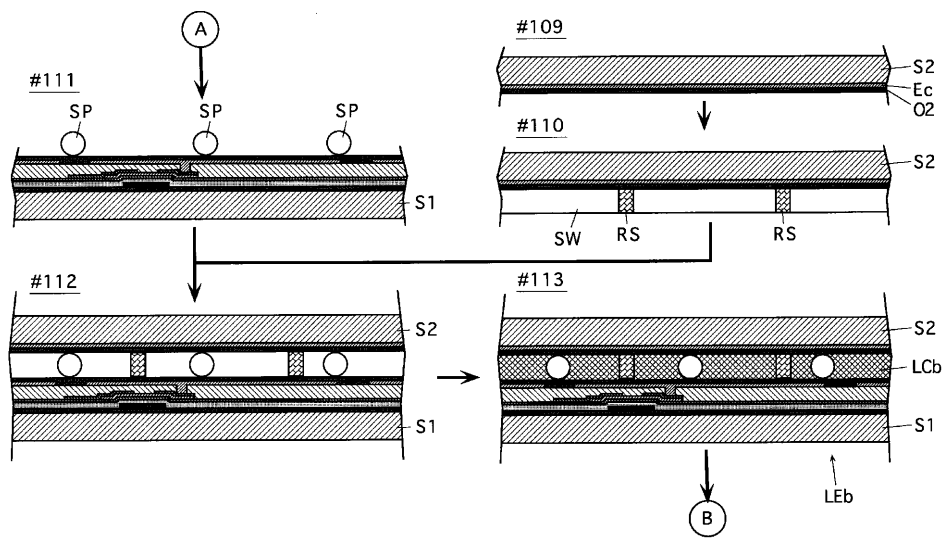
【図 7】



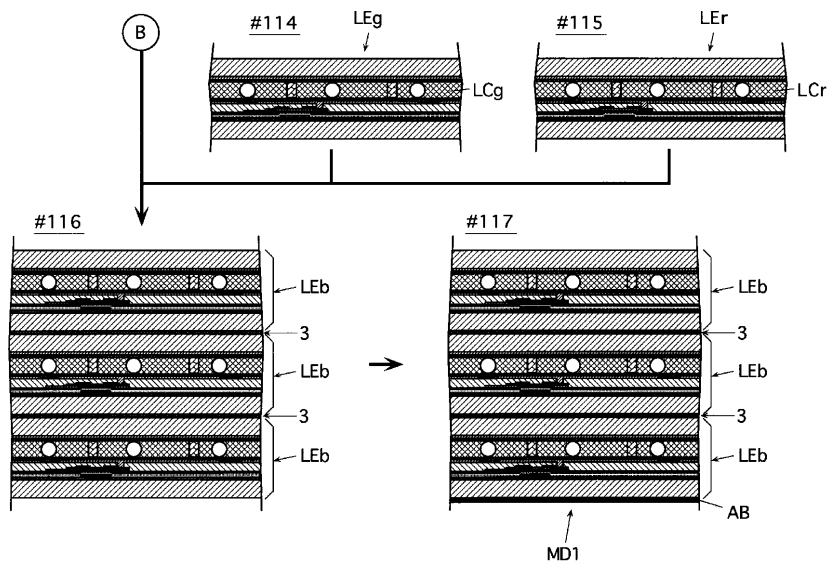
【図 6】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl.⁷G 0 9 F 9/35
9/46

識別記号

F I

G 0 9 F 9/35
9/46

テ-マ-ド' (参考)

A

F ターム(参考) 2H089 HA32 QA12 TA02 TA07
2H092 GA14 GA21 JA28 JA46 KA08
NA07 NA27 PA06
5C094 AA08 AA10 AA43 BA03 BA12
BA43 CA19 CA24 DA01 DA03
DA12 DA13 EA04 EA05 EA07
EB02 EC03 FA01 FA02 FB12
FB14 FB15 GB10
5G435 AA03 AA04 AA17 BB12 BB16
CC09 CC12 EE11

专利名称(译)	层叠显示装置及其制造方法		
公开(公告)号	JP2003029293A	公开(公告)日	2003-01-29
申请号	JP2001214089	申请日	2001-07-13
[标]申请(专利权)人(译)	美能达株式会社		
申请(专利权)人(译)	美能达有限公司		
[标]发明人	增田敏 浅井克彦		
发明人	增田 敏 浅井 克彦		
IPC分类号	G02F1/1347 G02F1/1343 G02F1/1368 G09F9/00 G09F9/30 G09F9/35 G09F9/46		
FI分类号	G02F1/1347 G02F1/1343 G02F1/1368 G09F9/00.342.Z G09F9/30.338 G09F9/35 G09F9/46.A G09F9/00.342		
F-TERM分类号	2H089/HA32 2H089/QA12 2H089/TA02 2H089/TA07 2H092/GA14 2H092/GA21 2H092/JA28 2H092/JA46 2H092/KA08 2H092/NA07 2H092/NA27 2H092/PA06 5C094/AA08 5C094/AA10 5C094/AA43 5C094/BA03 5C094/BA12 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA01 5C094/DA03 5C094/DA12 5C094/DA13 5C094/EA04 5C094/EA05 5C094/EA07 5C094/EB02 5C094/EC03 5C094/FA01 5C094/FA02 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GB10 5G435/AA03 5G435/AA04 5G435/AA17 5G435/BB12 5G435/BB16 5G435/CC09 5G435/CC12 5G435/EE11 2H189/AA32 2H189/AA33 2H189/FA81 2H189/HA16 2H189/JA06 2H189/JA09 2H189/LA01 2H189/LA03 2H189/LA10 2H189/LA15 2H189/NA05 2H192/AA24 2H192/AA62 2H192/BB02 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CB37 2H192/CB83 2H192/CC75 2H192/EA02 2H192/EA67 2H192/EA76 2H192/GD22 2H192/GD41 2H192/JA52		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种层叠显示装置及其制造方法，该层叠显示装置中层叠有诸如液晶层的多个显示层，该显示层具有高的开口率并且可以相对容易地制造。多层液晶显示装置MD1，其中堆叠了三个液晶层Lb，Lg和Lr。每个液晶层布置在透明基板S1和S2之间。以矩阵形式布置的透明像素电极E11至Emn，并且与这些像素电极连接的透明薄膜晶体管E11至Emn形成在基板S1上。此外，在基板S2上形成有与像素电极E11～Emn的任一个相对的透明的对置电极Ec。通过制造液晶显示元件LEb，LEg，LEr，然后堆叠它们来制造显示装置MD1。

