

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
	1/133 520	1/133 520	2 H 0 9 3
G 0 9 F 9/00	352	G 0 9 F 9/00	5 C 0 9 4
	9/30 330	9/30 330	5 F 0 3 3
	338	338	5 F 1 1 0
審査請求 未請求 請求項の数 7 O L (全 7 数) 最終頁に続く			

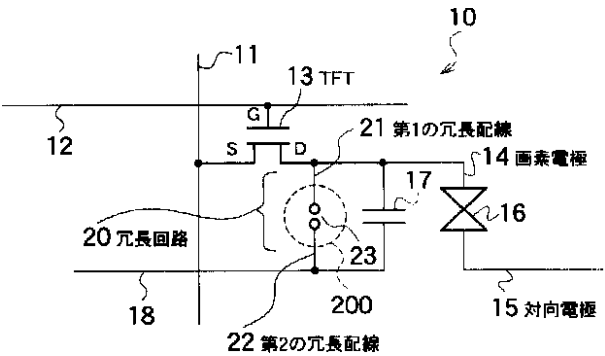
(21)出願番号	特願2001 - 106150(P2001 - 106150)	(71)出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	平成13年4月4日(2001.4.4)	(72)発明者	植木 寛之 埼玉県深谷市幡羅町一丁目9番地2 株式会 社東芝深谷工場内
		(72)発明者	伊藤 稔 埼玉県深谷市幡羅町一丁目9番地2 株式会 社東芝深谷工場内
		(74)代理人	100083806 弁理士 三好 秀和 (外 7 名)
		最終頁に続く	

(54)【発明の名称】 電極基板、表示パネル及びそのリペア方法

(57)【要約】

【課題】 液晶パネルの輝点画素に対するレーザ光によるリペアにおいて、リペア作業を効率良く行うことができ、且つリペア成功率を高めて歩留まりを向上させる。

【解決手段】 信号線 1 1 と走査線 1 2 に T F T 1 3 を介して接続され、マトリクス状に配置された表示画素 1 0 を有する液晶パネル 1 0 0 において、絶縁層 2 3 を介して積層された一対の冗長配線 2 1 と 2 2 からなる冗長回路 2 0 を、補助容量 1 7 と並列に接続し、この冗長回路 2 0 にレーザ光を照射して一対の冗長配線 2 1 と 2 2 を短絡させ、画素電極 1 4 に補助容量線 1 8 から供給される D C 電圧が常時印加されるようにすることで、この画素を滅点化する。



【特許請求の範囲】

【請求項 1】 主面上に、互いに交差する複数の走査線及び複数の信号線、これら両線の各交差部に配置されたスイッチ素子、前記スイッチ素子を介して前記信号線に接続された画素電極、前記画素電極と電氣的に並列に接続された補助容量、前記補助容量に所定の電位を供給する補助容量線を備えた電極基板において、絶縁層を介して積層された一対の冗長配線からなる冗長回路を、前記信号線に供給されたデータ信号が前記画素電極に至る経路に接続し、前記冗長回路の短絡により、前記画素電極に所定の DC 電圧のみが印加されるように構成したことを特徴とする電極基板。

【請求項 2】 前記冗長回路を、前記補助容量と並列に接続したことを特徴とする請求項 1 に記載の電極基板。

【請求項 3】 前記冗長回路の短絡により、前記補助容量線に供給される DC 電圧が前記冗長回路を通じて前記画素電極に常時印加されることを特徴とする請求項 2 に記載の電極基板。

【請求項 4】 前記冗長回路を、前記スイッチ素子のドレイン配線と前記走査線との間に接続したことを特徴とする請求項 1 に記載の電極基板。

【請求項 5】 前記冗長回路の短絡により、前記走査線に供給される走査信号が前記冗長回路を通じて前記画素電極に常時印加されることを特徴とする請求項 4 に記載の電極基板。

【請求項 6】 請求項 1 の電極基板からなる第 1 の電極基板と、主面上に対向電極を備えた第 2 の電極とを対向配置し、前記両基板間に光変調層を挟持したことを特徴とする表示パネル。

【請求項 7】 特定画素に接続された前記冗長回路に光照射して、前記一対の対の冗長配線を短絡させることを特徴とする請求項 6 に記載の表示パネルのリペア方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、電極基板、表示パネル及びそのリペア方法に関し、詳しくはノーマリーホワイト表示の液晶パネルに発生した輝点不良のリペア技術に関する。

【0002】

【従来の技術】近年、液晶パネルに代表される平面型の表示パネルは、軽量、薄型、低消費電力などの特性を活かして各種分野で使用されており、とくに家電製品や情報端末機器などのディスプレイとして幅広く使用されている。

【0003】図 6 は、一般的な液晶パネルの構造を示す概略断面図である。液晶パネル 1 の構造を簡単に説明すると、主面上に図示しない電極パターンや P I 配向膜 7 a などを形成したアレイ基板 2 と、同じく主面上に図示しない全面電極や P I 配向膜 7 b を形成した対向基板 3 とを対向配置して、両基板の周辺部にシール剤 4 を塗布

して貼り合わせ、その内部に液晶 5 を封入し、さらに両基板の外側にそれぞれ偏光板 6 a、6 b を貼り合わせた構造となっている。また図示していないが、アレイ基板 2 の背面には光源となるバックライトが配置されており、ここから照射される光を透過又は遮光することにより表示が行われる。

【0004】このような液晶パネルでは、完成後に各種の検査が実施される。例えば、パネルを点灯させて行う目視検査では、点欠陥、線欠陥、ムラ不良などの有無が検査される。ここで発見される欠陥の中に輝点不良と呼ばれるものがある。これは、ノーマリーホワイト表示の液晶パネル（電源オフで光透過）において、常時白表示になる画素をいう。このような輝点不良の画素（以下、輝点画素）は、とくに黒表示をした場合に白い点として認識されるため、数によっては不良品となることがある。通常は、このような輝点画素をリペアにより黒色化することで表示に無関係な画素となるようにしている。

【0005】従来、輝点画素を黒色化するリペア方法としては、ノーマリーホワイト表示の液晶パネルの場合、液晶パネルの外側からパネル内部の P I 配向膜にレーザ光を照射してこれを破壊することにより、パネル内部の液晶分子の配向を乱し、液晶を挟持した電極間に電圧が掛かっても掛からなくても光を遮光するようにする配向乱し法がある。例えば図 6 で言えば、“A”で示す部分が P I 配向膜リペア箇所となる。

【0006】また、同種の破壊方法として、カラーフィルターエレメントにレーザ光を照射し、同エレメントを変色（黒色化）させ、画素電極の電圧に拘わらず光を透過させない方法などもある。

【0007】

【発明が解決しようとする課題】ところで、上述したような輝点画素へのレーザ光によるリペアは、顕微鏡視野による微細加工となるため、その照射位置がずれると光漏れを起こし、リペア効果がなくなることもある。またアレイ基板上にはレーザ光を照射すると回路特性が変化してしまう部分があるため、レーザ光の照射範囲が制限されることもある。さらに、レーザパワーの出力変動により、ある特定の形成膜（例えば P I 配向膜など）の膜下まで破壊してしまい、その液晶パネルが不良品になってしまうこともあった。このように、従来のレーザ光によるリペアでは、こうしたリペア不良が歩留まり低下を招いていた。

【0008】この発明の目的は、レーザ光の出力変動や加工精度に影響を受けることなく、レーザ光によるリペア不良を軽減して、歩留まりを向上させることができる電極基板、表示パネル及びそのリペア方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、請求項 1 の発明は、主面上に、互いに交差する複数

の走査線及び複数の信号線、これら両線の各交差部に配置されたスイッチ素子、前記スイッチ素子を介して前記信号線に接続された画素電極、前記画素電極と電気的に並列に接続された補助容量、前記補助容量に所定の電位を供給する補助容量線を備えた電極基板において、絶縁層を介して積層された一対の冗長配線からなる冗長回路を、前記信号線に供給されたデータ信号が前記画素電極に至る経路に接続し、前記冗長回路の短絡により、前記画素電極に所定の DC 電圧のみが印加されるように構成したことを特徴とする。

【0010】好ましい形態として、前記冗長回路を構成する一方の冗長配線は前記スイッチ素子のドレイン電極配線側に接続され、他方の冗長配線は前記補助容量線に接続される。

【0011】請求項 2 の発明は、請求項 1 において、前記冗長回路を前記補助容量と並列に接続したことを特徴とする。

【0012】請求項 3 の発明は、請求項 2 において、前記冗長回路の短絡により、前記補助容量線に供給される DC 電圧が前記冗長回路を通じて前記画素電極に常時印加されることを特徴とする。

【0013】請求項 4 の発明は、請求項 1 において、前記冗長回路を前記スイッチ素子のドレイン配線と走査線との間に接続したことを特徴とする。

【0014】請求項 5 の発明は、請求項 4 において、前記冗長回路の短絡により、前記走査線に供給される走査信号が前記冗長回路を通じて前記画素電極に常時印加されることを特徴とする。

【0015】好ましい形態として、絶縁層を介して積層された一対の冗長配線からなる冗長回路を、前記スイッチ素子のドレイン配線と前記走査線との間に接続する。

【0016】この場合は、前記冗長回路の短絡により、前記走査線に供給される走査信号が前記画素電極に印加される。

【0017】また、上記目的を達成するため、請求項 6 の発明は、請求項 1 の電極基板からなる第 1 の電極基板と、主面上に対向電極を備えた第 2 の電極とを対向配置し、前記両基板間に光変調層を挟持させたことを特徴とする表示パネルである。

【0018】好ましい形態として、前記光変調層を液晶層とし、且つノーマリーホワイト表示の液晶パネルとして構成する。

【0019】また好ましい形態として、所定の DC 電圧が前記画素電極に常時印加されることで、前記画素電極に対応する画素の光透過率を少なくとも 90% 低下させる。

【0020】さらに、上記目的を達成するため、請求項 7 の発明は、請求項 6 の表示パネルについて、その特定画素に接続された前記冗長回路に光照射して、前記一対の冗長配線を短絡させることを特徴とする表示パネ

ルのリペア方法である。

【0021】

【発明の実施の形態】以下、本発明を液晶パネルとそのリペア方法に適用した場合の実施形態について図面を参照しながら説明する。

【0022】図 5 は、本実施形態に係わる液晶パネルの回路構成図である。この液晶パネル 100 は、複数の表示画素 10 が形成された表示画素部 110 と、走査線駆動回路 120 及び信号線駆動回路 130 とから構成されている。

【0023】この実施形態では、表示画素部 110、走査線駆動回路 120 及び信号線駆動回路 130 がアレイ基板 101 上に一体に形成された駆動回路一体型の液晶パネル 100 を例に挙げて説明するが、走査線駆動回路 120 及び信号線駆動回路 130 は外付け方式であってもよい。

【0024】表示画素部 110 には、複数本の信号線 11 及びこれと交差する複数本の走査線 12 がマトリクス状に配置されており、両線の交点近傍にはスイッチ素子としての TFT (薄膜トランジスタ) 13 が配設されている。信号線 11 と走査線 12 とは、図示しない絶縁膜により電気的に絶縁されている。

【0025】TFT 13 のソース電極側は信号線 11 に接続され、ドレイン電極側は画素電極 14 に接続されている。この画素電極 14 と平行に配置された対向電極 15 は、図示しない対向基板上に形成されている。画素電極 14 と対向電極 15 の間には液晶 16 が挟持され、容量 C_{1c} を形成している。また、画素電極 14 には対向電極 15 との電位関係を保持するために、並列に補助容量 17 が接続されている。この補助容量 17 は画素電極 14 と補助容量線 18 との間に容量 C_s を形成している。補助容量線 18 は、すべての表示画素 10 の補助容量 17 と電気的に接続されており、駆動回路基板 140 から一定の DC 電圧が供給されている。

【0026】また、対向電極 15 には、駆動回路基板 140 から一定のコモン電圧 (V_{com}) が図示しないコモン配線を通じて与えられている。信号線 11 にサンプリングされたデータ信号は、容量 C_{1c} と容量 C_s により 1 フレーム走査期間保持される。

【0027】走査線駆動回路 120 は、図示しないシフトレジスタ及びバッファ回路により構成され、駆動回路基板 140 から供給される垂直同期信号、垂直クロック信号に基づいて、各走査線 12 に順次走査信号を出力する。

【0028】信号線駆動回路 130 は、図示しないシフトレジスタ、ビデオバス及びサンプリングスイッチなどにより構成されている。各サンプリングスイッチはそれぞれ信号線 11 に接続されており、シフトレジスタは、駆動回路基板 140 から供給される水平同期信号及び水平クロック信号に基づいて前記サンプリングスイッチを

制御し、駆動回路基板 140 から供給されるデータ信号を所定のタイミングで信号線 11 にサンプリングする。

【0029】駆動回路基板 140 は、図示しないコントロール IC や D/A コンバータなどで構成され、外部から供給される基準クロック信号やデジタルのデータ信号などを適宜に変換及び加工して、各駆動回路にアナログのデータ信号や水平/垂直のクロック信号、スタート信号、コモン電圧などを出力する。この駆動回路基板 140 とアレイ基板 100 との間は、図示しない FPC (フレキシブル配線基板) により電氣的に接続されている。

【0030】図 5 において、信号線駆動回路 130 から信号線 11 に順にデータ信号が出力され、これと同期して走査線駆動回路 120 から走査線 12 に走査信号が出力されると、その一水平ライン上に存在するすべての TFT13 がオンして、前記信号線 11 にサンプリングされたデータ信号は、TFT13 を介して所定の表示画素 10 に書き込まれる。書き込まれたデータ信号は、画素電極 14 と対向電極 15 との間に信号電圧として充電され、これに液晶 16 が応答することで、前記信号電圧に応じた階調表示がなされることになる。なお、本実施形態の液晶パネル 100 は、ノーマリホワイト表示の液晶パネルとする。したがって、輝点画素のリペアは、その画素を減点化する作業となる。

【0031】[実施形態 1] 図 1 は、図 5 に示す液晶パネル 100 の部分拡大図であり、実施形態 1 における表示画素 10 の等価回路図である。

【0032】実施形態 1 の表示画素 10 において、TFT13 のゲート電極 (G) 側は走査線 12 に接続され、ソース電極 (S) 側は信号線 11 に接続され、ドレイン電極 (D) 側は補助容量 17 と画素電極 14 に接続され、さらに第 1 の冗長配線 21 に接続されている。また、補助容量 17 の片方の電極は補助容量線 18 に接続され、この補助容量線 18 は、第 1 の冗長配線 21 に絶縁層 23 を介して対向配置された第 2 の冗長配線 22 と接続されている。この第 1 の冗長配線 21、第 2 の冗長配線 22 及び絶縁層 23 は冗長回路 20 を構成し、この冗長回路 20 は補助容量 17 と電氣的に並列に接続されている。なお、第 1 の冗長配線 21 としては、例えば p-si を用いることができ、また第 2 の冗長配線 22 としては、例えば MoW を用いることができる。

【0033】図 2 は、冗長回路 20 の概略断面図である。第 1 の冗長配線 21 と第 2 の冗長配線 22 は、絶縁層 23 を挟んで平面的に対向するように積層配置されている。絶縁層 23 の厚みは、例えば 500 とする。

【0034】次に、上記のように構成された表示画素 10 に輝点不良が生じた場合のリペア方法について説明する。

【0035】通常、第 1 の冗長配線 21 と第 2 の冗長配線 22 は絶縁層 23 により電氣的に遮断されているため、走査線 12 がハイレベルになって TFT13 がオン

すると、信号線 11 にサンプリングされたデータ信号が TFT13 を通じて画素電極 14 に印加され、表示が行われる。その際、補助容量 17 にも前記データ信号が印加されて、画素から放電される電荷を補う動作をし、表示輝度の変動が抑えられる。したがって、表示画素 10 に輝点不良がなければ、第 1 の冗長配線 21 と第 2 の冗長配線 22 は絶縁層 23 により電氣的に遮断されたままとなるため、上記のようなデータ信号の印加による階調表示がなされることになる。

【0036】一方、表示画素 10 に輝点不良が生じている場合は、輝点画素を減点化するため、レーザ光 (例えば、YAG-LASER 等) を照射してリペアを行うことになる。

【0037】その場合、レーザ光を照射する位置は、図 1 の 200 で示した部分、即ち、図 2 に示したように第 1 の冗長配線 21 と第 2 の冗長配線 22 とが積層配置されているところになる。この部分にレーザ光 201 を照射すると、図 3 に示すように第 2 の冗長配線 22 がレーザ光 201 により、第 1 の冗長配線 21 側に变形して、第 2 の冗長配線 22 と第 1 の冗長配線 21 とが電氣的に接触して短絡することになる。これにより、補助容量線 18 に供給される DC 電圧が常に画素電極 14 に印加される状態になる。すなわち、第 1 の冗長配線 21、第 2 の冗長配線 22 及び絶縁層 23 からなる冗長回路 20 にレーザ光 201 を照射することで、第 1 の冗長配線 21 及び第 2 の冗長配線 22 を通じて画素電極 14 に常時 DC 電圧を印加させることが可能となる。このように、常時、液晶 16 に DC 電圧を掛けるということは、ノーマリホワイト表示の液晶パネルでは、常時、遮光された状態に画素が保持されることになる。こうして、TFT13 による液晶 16 の光シャッター機能を不能にさせることにより、輝点画素の減点化が可能となり、輝点画素の無い液晶パネルを得ることができる。

【0038】例えば、第 1 の冗長配線 21、第 2 の冗長配線 22 同士が絶縁層 23 で絶縁されている状態で、補助容量 17 に +1.5V、画素電極 14 に 5V ($\pm 4V$) が与えられているとすると、レーザ光 201 で冗長回路 20 を短絡させることにより、画素電極 14 は +1.5V に昇圧されることになる。ここで、対向電極 15 に 5V 一定の DC 電圧が与えられているとすると、液晶 16 には常時 $1.5V - 5V = 10V$ の電圧が印加される。これにより、ノーマリホワイトの液晶パネル内の輝点画素を減点化することが可能となる。

【0039】本実施形態においては、レーザ光の出力変動や加工精度に影響を受けることがないので、リペア作業を効率化することが可能となる。また、レーザ光出力の大きさによりリペアの成否が左右されることがないので、リペア成功率も大幅に高くなり、このためリペア不良を軽減して歩留まりの向上を図ることができる。

【0040】[実施形態 2] 図 4 は、図 5 に示す液晶パ

ネル 100 の部分拡大図であり、実施形態 2 における表示画素 10 の等価回路図である。図 1 と同等部分には同一符号を付して説明する。

【0041】図 4 において、TFT 13 のゲート電極 (G) 側は走査線 12 に接続され、この走査線 12 は、さらに第 1 の冗長配線 21 と接続されている。一方、ドレイン電極 (D) 側は、補助容量 17 と画素電極 14 に接続され、さらに第 1 の冗長配線 21 に絶縁層 23 を介して対向配置された第 2 の冗長配線 22 と接続されている。この第 1 の冗長配線 21、第 2 の冗長配線 22 及び絶縁層 23 は冗長回路 40 を構成している。この実施形態においても、符号 400 で示した部分にレーザ光を照射すると、図 3 の場合と同様に、第 2 の冗長配線 42 と第 1 の冗長配線 41 とが電氣的に接触して短絡することになる。これにより、走査線 12 に供給された走査信号は冗長回路 40 を通じて画素電極 14 に流れる。対向電極 15 に 5 V 一定の DC 電圧が与えられ、ゲート電圧がオン時に 15 V、オフ時に -2 V であるとする、液晶 16 には実質的に常時 (ゲート電圧のオフ時) 7 V の DC 電圧を印加させることが可能となる。こうして、TFT 13 による液晶 16 の光シャッター機能を不能にさせることにより、輝点画素の滅点化が可能となり、輝点画素の無い液晶パネルを得ることができる。また、本実施形態において、レーザ光による短絡させる部分をブラックマトリクス裏側にすることにより、画素レイアウト上、短絡部分を見えなくすることができる。

【0042】上記各実施形態は、レーザ光照射により所定配線間を短絡して、液晶に常時 DC 電圧を印加することにより、輝点画素を滅点化するものであるが、リペアされた輝点画素での光透過率は液晶に印加される DC 電圧により異なる。したがって、滅点化の効果を得るためには、輝点画素の光透過率を少なくとも 90% 低下させることが望ましく、そのために液晶に印加される DC 電

* 圧の大きさを適宜に設定する必要がある。

【0043】

【発明の効果】以上説明したように、本発明によれば、光照射による冗長回路の短絡により、光変調層に常に DC 電圧を印加することで輝点画素を滅点化するようにしたものであるため、光照射による膜破壊で輝点画素を滅点化する従来方法に比べて、レーザ光の出力変動や加工精度の影響を受けることがなく、レーザ光の出力マージンを大きくすることができる。したがって、従来方法に比べレーザ光の出力を高精度に制御する必要がなくなり、リペア作業を効率化することが可能となる。また、レーザ光出力の大きさがリペアの成否を左右していた従来方法に比べて、リペア不良を大幅に軽減することができるため、歩留まりを向上させることができる。

【図面の簡単な説明】

【図 1】実施形態 1 における冗長回路を備えた表示画素の等価回路図。

【図 2】図 1 に示す冗長回路の概略断面図。

【図 3】図 2 に示す冗長回路にレーザ光が照射されたときの概略断面図。

【図 4】実施形態 2 における冗長回路を備えた表示画素の等価回路図。

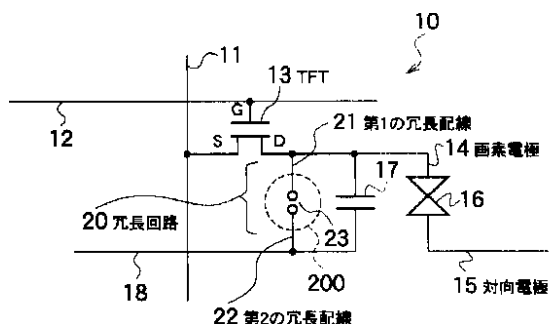
【図 5】実施形態に係わる液晶パネルの回路構成図。

【図 6】一般的な液晶パネルの構造を示す概略断面図。

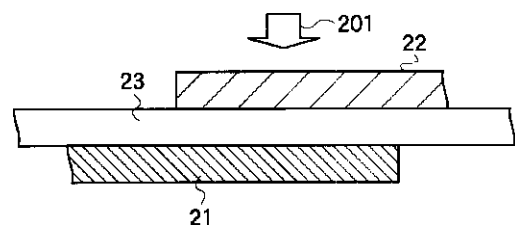
【符号の説明】

10...表示画素、11...信号線、12...走査線、13...TFT (薄膜トランジスタ)、14...画素電極、15...対向電極、16...液晶、17...補助容量、18...補助容量線、20, 40...冗長回路、21, 41...第 1 の冗長配線、22, 42...第 2 の冗長配線、23, 43...絶縁層、27...ソース電極側配線、200, 400...レーザ光の照射位置

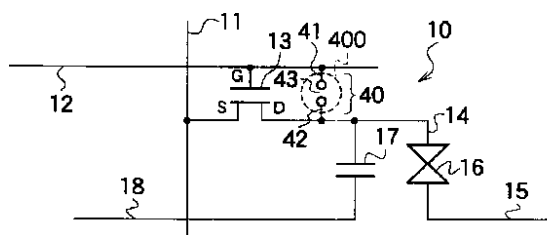
【図 1】



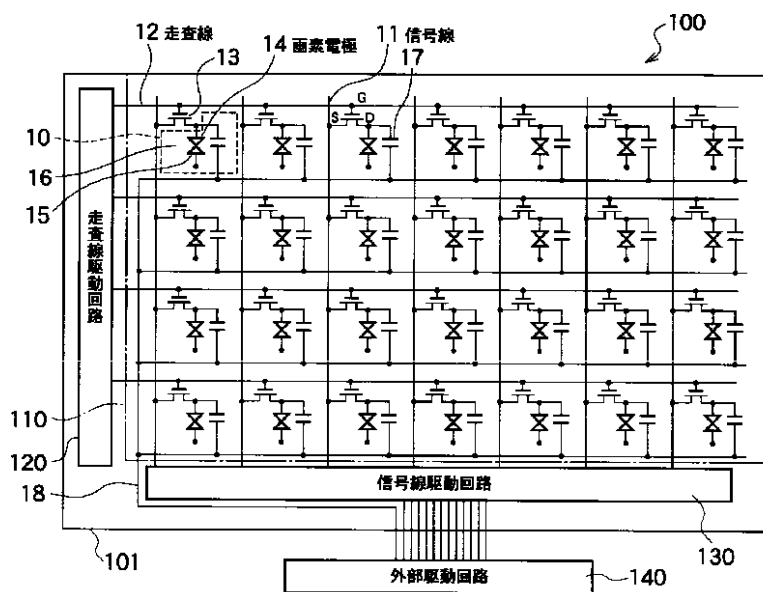
【図 2】



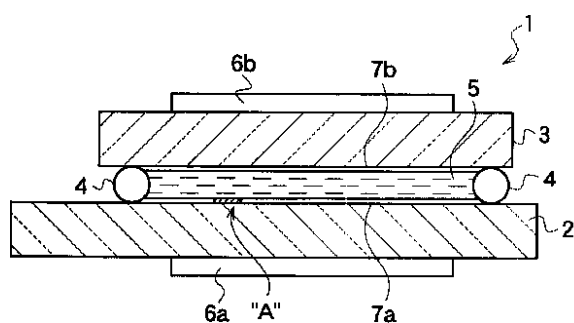
【図 4】



【図 5】



【圖 6】



(51) Int.Cl.⁷

識別記号

FI

H O 1 L 29/78
 21/88

テ-マコ-ト' (参考)

6 1 2 A 5 G 4 3 5
Z

F ターム(参考) 2H092 JA24 JB63 JB69 JB72 MA51
NA12 NA29 PA06 PA09
2H093 NA16 NC04 NC34 NC35 ND16
ND46
5C094 AA42 BA03 BA43 CA19 DA14
DA15 DB04 EA01 EA04 EA07
EB02
5F033 GG04 QQ53 VV15 XX36
5F110 AA27 BB01 BB02 EE37 HM19
NN72 NN73 NN80 QQ30
5G435 AA17 BB12 EE33 HH12 KK05

专利名称(译)	电极基板，显示面板及其修复方法		
公开(公告)号	JP2002303881A	公开(公告)日	2002-10-18
申请号	JP2001106150	申请日	2001-04-04
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	植木 寛之 伊藤 稔		
发明人	植木 寛之 伊藤 稔		
IPC分类号	G02F1/1368 G02F1/133 G09F9/00 G09F9/30 H01L21/3205 H01L23/52 H01L29/786		
FI分类号	G02F1/1368 G02F1/133.520 G09F9/00.352 G09F9/30.330.Z G09F9/30.338 H01L29/78.612.A H01L21/88.Z G09F9/30.330		
F-TERM分类号	2H092/JA24 2H092/JB63 2H092/JB69 2H092/JB72 2H092/MA51 2H092/NA12 2H092/NA29 2H092/PA06 2H092/PA09 2H093/NA16 2H093/NC04 2H093/NC34 2H093/NC35 2H093/ND16 2H093/ND46 5C094/AA42 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA14 5C094/DA15 5C094/DB04 5C094/EA01 5C094/EA04 5C094/EA07 5C094/EB02 5F033/GG04 5F033/QQ53 5F033/VV15 5F033/XX36 5F110/AA27 5F110/BB01 5F110/BB02 5F110/EE37 5F110/HM19 5F110/NN72 5F110/NN73 5F110/NN80 5F110/QQ30 5G435/AA17 5G435/BB12 5G435/EE33 5G435/HH12 5G435/KK05 2H192/AA24 2H192/DA12 2H192/FB02 2H192/HB46 2H193/ZA04 2H193/ZF03 2H193/ZK21		
外部链接	Espacenet		

摘要(译)

解决的问题：在用激光修复液晶面板的亮点像素时有效地执行修复工作，并提高修复成功率以提高成品率。在具有通过TFT（13）连接到信号线（11）和扫描线（12）并排列成矩阵的显示像素（10）的液晶面板（100）中，经由绝缘层（23）层叠的一对冗余配线（21）。由22组成的冗余电路20与辅助电容17并联连接，并且用激光照射冗余电路20以使一对冗余配线21和22短路，并且从辅助电容线18提供像素电极14。通过始终施加直流电压，可以使该像素成为暗点。

