

(19)日本国特許庁（J P）

(12) 公 開 特 許 公 報

(A) (11)特許出願公開番号

特開2001－331152

(P2001－331152A)

(43)公開日 平成13年11月30日(2001.11.30)

(51)Int.Cl ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	505	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	621		621 M
	623		623 A

審査請求 未請求 請求項の数 4 O L (全 10数)

(21)出願番号 特願2000－149243(P2000－149243)

(22)出願日 平成12年5月22日(2000.5.22)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 池田 直康

東京都港区芝五丁目7番1号 日本電気株式
会社内

(74)代理人 100096231

弁理士 稲垣 清

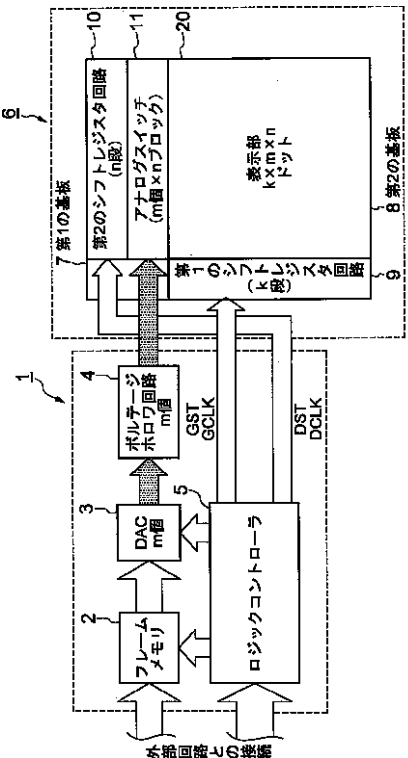
最終頁に続く

(54)【発明の名称】 液晶表示装置の駆動回路及び該回路で駆動される液晶表示装置

(57)【要約】

【課題】 従来に比して低消費電力で液晶表示装置を駆動できる駆動回路、及び該駆動回路によって駆動される液晶表示装置を提供する。

【解決手段】 液晶表示装置6を駆動する駆動回路1は、画像データを記憶するフレームメモリ2と、フレームメモリ2からのデジタルデータをアナログ信号に変換するDAC3と、DAC3の出力を電流増幅して出力するバッファ回路4と、外部からのロジック信号に応答してフレームメモリ2、DAC3、及び外部回路を制御するロジックコントローラ5とを備える。フレームメモリ2に記憶された画像データは、パラレル－シリアル変換されること無くDAC3に出力され、且つ、液晶表示装置6を駆動する際に使用される駆動回路内のDAC3及びバッファ回路4の各総数が夫々データバスライン13の本数よりも少ない。



【特許請求の範囲】

【請求項1】 相互に直交する複数のゲートバスライン及び複数のデータバスラインと、前記ゲートバスライン及び前記データバスラインの各交差部分にスイッチング素子を介して接続されてマトリクス状に配置された複数の画素電極とを有する第1の基板と、該第1の基板の前記画素電極に対向して設けられた第2の基板と、前記第1の基板と前記第2の基板とによって挟持された液晶セルとを備えた液晶表示装置を駆動する駆動回路において、

画像データを記憶するフレームメモリと、該フレームメモリからのデジタルデータをアナログ信号に変換するデジタルアナログ変換器と、該デジタルアナログ変換器の出力を電流増幅して出力するバッファ回路と、外部からのロジック信号に応答して前記フレームメモリ、前記デジタルアナログ変換器、及び外部回路を制御する制御回路とを備え、前記フレームメモリに記憶された前記画像データはパラレル-シリアル変換されること無く前記デジタルアナログ変換器に出力され、且つ、前記液晶表示装置を駆動する際に使用される前記駆動回路内の前記デジタルアナログ変換器及び前記バッファ回路の各総数が夫々前記データバスラインの本数よりも少ないことを特徴とする液晶表示装置の駆動回路。

【請求項2】 前記フレームメモリ、前記デジタルアナログ変換器、前記バッファ回路、及び前記制御回路が同一のウェハ内に形成されていることを特徴とする請求項1に記載の液晶表示装置の駆動回路。

【請求項3】 請求項1又は2に記載の駆動回路によって駆動される液晶表示装置であって、ゲートバスライン駆動用の第1のシフトレジスタ回路と、データバスライン駆動用の第2のシフトレジスタ回路と、前記データバスラインに夫々接続された複数のアナログスイッチとを備え、前記第1のシフトレジスタ回路の出力が前記ゲートバスラインに接続され、前記アナログスイッチの制御端子はm本づつ（mは自然数）まとめられて前記第2のシフトレジスタ回路の出力に接続され、前記制御回路からの信号によって前記第1及び第2のシフトレジスタ回路が夫々制御され、前記バッファ回路の出力が前記アナログスイッチに接続されることを特徴とする液晶表示装置。

【請求項4】 前記第1のシフトレジスタ回路、前記第2のシフトレジスタ回路、及び前記アナログスイッチが、前記第1の基板上及び第2の基板上の少なくとも一方に、ポリシリコン薄膜電界効果型トランジスタにより形成されたことを特徴とする請求項3に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置（LCD）の駆動回路及び該回路で駆動される液晶表示装置に関し、特に、マトリクス状に配置された液晶画素により画像表示を行う液晶表示装置を駆動する駆動回路、及び、該駆動回路によって駆動される液晶表示装置に関する。

【0002】

【従来の技術】従来、液晶表示装置を駆動するデータドライバICとして、図9に示す構造を備えるものがある。同図のデータドライバIC51は、マトリクス状に配置された液晶画素部に能動素子が配置されない単純マトリクス形式のLCDに使用されるもので、ICチップに内蔵された画像データ用フレームメモリ52から画像データを読み出すことで、低消費電力を図っている。

【0003】データドライバIC51は、フレームメモリ52からの所定数ビット（例えば160×240×2ビット）の画像データを、ロジックコントローラ57からの信号に従ってラッチする各160組のデータラッチ53、54と、データラッチ54からの画像データをデコードする160組のデコーダ55と、デコーダ55からの画像データを160本のデータバスラインに供給する160個の液晶駆動回路とを有する。フレームメモリ52は、160×240×2ビット分の記憶容量を有するRAMから成り、ゲートバスライン240本、データバスライン160本分の領域の表示に対応している。

【0004】例えば、フレームメモリがデータドライバICの外部に配設される構造では、フレームメモリとデータドライバICとを接続する接続ケーブルの本数を減少させるために、画像データを一旦シリアルデータに変換してデータドライバICに転送し、このデータドライバICで再びパラレルデータに展開することになる。この展開部分は、信号線の本数が減少する分だけ高速動作が要求されるため、消費電力が増大するという問題を生ずる。更に、表示に変化の有無に拘わらず液晶に電圧を印加するので、上記高速データ転送を常に行わなくてはならない。

【0005】これに対し、上記データドライバIC51では、外部から回路を見た場合に、内蔵したフレームメモリ52に対してアクセスすることと同等であり、また、フレームメモリ52からパラレルデータのままで転送できるので、消費電力を増大させる上記シリアル転送部が不要になる。特に、静止画の場合には、フレームメモリ52から画像データを順次に出すだけでなので、外部からのアクセスが不要になる。これらにより、データドライバIC51では、消費電力が低減できる。ところで、単純マトリクスLCDでは、デコーダ55により複数の電圧源から所要の電圧を選択する方式を採って、階調表示を行っている。このため、階調数の増加に伴って電圧源の数が増大するという問題がある。

【0006】上記問題を解決するために、図10に示す

構造のデータドライバICが知られている。このデータドライバIC61は、画素部に能動素子が配置されたアクティブマトリクス形式のLCDに使用される。このLCDは、相互に対向する一对の基板の少なくとも一方に配設された、相互に直交する方向に延在する複数のデータバスライン及びゲートバスラインと、データバスライン及びゲートバスラインの各交差部分に配設された複数の画素電極及び各画素電極への信号供給を制御する複数の能動素子（スイッチング素子）とを有する。

【0007】データドライバIC61は、300本のデータバスラインを駆動するもので、50ビット用のシフトレジスタ62と、シフトレジスタ62の出力と6ビットのデジタルパラレルデータとを受け取るデータレジスタ63と、データレジスタ63の出力をラッチする6ビットラッチ回路64と、ラッチ回路64の出力を受け300個の出力を送出するレベルシフタ65と、レベルシフタ65の各出力に対応する300個のデジタルアナログ変換器（DAC）66と、DAC66の各出力に対応する300個のボルテージホロワ回路（バッファ回路）67とを備える。各ボルテージホロワ回路67の出力は、300本のデータバスラインに夫々供給される。このようなデータドライバIC61により、画像用のデジタルデータが、多階調化に対応してアナログデータに変換される。

【0008】ここで、データドライバIC61の出力段に用いられるDAC66及びボルテージホロワ回路67を、図9のデータドライバIC51の出力段に備えることで、多階調表示が可能なデータドライバICの構成を得ることができる。

【0009】

【発明が解決しようとする課題】ところで、ボルテージホロワ回路67等を出力段に備えることで多階調表示を可能にした上記データドライバICにおいて、ボルテージホロワ回路67には通常、電流供給能力やダイナミックレンジ等を考慮してオペアンプが使用されることになる。オペアンプは、入力信号の有無に拘わらず、回路内部に定常電流（アイドル電流）を流して動作させる。LCDを駆動するのに必要なオペアンプの数は、どのような場合においてもデータバスラインの本数と同じになる。このため、データバスラインの本数が増加すると、これに伴いDAC66及びボルテージホロワ回路67の個数も夫々増えることになり、アイドル電流の総量が増えて、消費電力の増大を招くという問題が生ずる。

【0010】本発明は、上記に鑑み、従来に比して低消費電力で液晶表示装置を駆動できる駆動回路、及び該駆動回路によって駆動される液晶表示装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため

に、本発明の液晶表示装置の駆動回路は、相互に直交する複数のゲートバスライン及び複数のデータバスラインと、前記ゲートバスライン及び前記データバスラインの各交差部分にスイッチング素子を介して接続されてマトリクス状に配置された複数の画素電極とを有する第1の基板と、該第1の基板の前記画素電極に対向して設けられた第2の基板と、前記第1の基板と前記第2の基板とによって挟持された液晶セルとを備えた液晶表示装置を駆動する駆動回路において、画像データを記憶するフレームメモリと、該フレームメモリからのデジタルデータをアナログ信号に変換するデジタルアナログ変換器と、該デジタルアナログ変換器の出力を電流増幅して出力するバッファ回路と、外部からのロジック信号にตอบสนองして前記フレームメモリ、前記デジタルアナログ変換器、及び外部回路を制御する制御回路とを備え、前記フレームメモリに記憶された前記画像データはパラレルシリアル変換されることなく前記デジタルアナログ変換器に出力され、且つ、前記液晶表示装置を駆動する際に使用される前記駆動回路内の前記デジタルアナログ変換器及び前記バッファ回路の各総数が夫々前記データバスラインの本数よりも少ないことを特徴とする。

【0012】本発明の液晶表示装置の駆動回路では、駆動回路内部に備えたデジタルアナログ変換器及びバッファ回路の各総数がデータバスラインの本数よりも大幅に低減されるので、バッファ回路に流れるアイドル電流の合計を減らして消費電力を低減することができる。

【0013】ここで、本発明の好ましい液晶表示装置の駆動回路では、前記フレームメモリ、前記デジタルアナログ変換器、前記バッファ回路、及び前記制御回路を同一のウェハ内に形成する。これにより、駆動回路をコンパクトにできると同時に、各回路間の配線に起因する寄生容量が大幅に低減されるので、駆動回路のトータルの消費電力を削減することができる。

【0014】本発明の液晶表示装置は、前記駆動回路によって駆動される液晶表示装置であって、ゲートバスライン駆動用の第1のシフトレジスタ回路と、データバスライン駆動用の第2のシフトレジスタ回路と、前記データバスラインに夫々接続された複数のアナログスイッチとを備え、前記第1のシフトレジスタ回路の出力が前記ゲートバスラインに接続され、前記アナログスイッチの制御端子はm本づつ（mは自然数）まとめられて前記第2のシフトレジスタ回路の出力に接続され、前記制御回路からの信号によって前記第1及び第2のシフトレジスタ回路が夫々制御され、前記バッファ回路の出力が前記アナログスイッチに接続されることを特徴とする。

【0015】本発明の液晶表示装置では、第2のシフトレジスタ回路に接続されたアナログスイッチ群により、駆動回路の出力を時分割でデータバスラインに順次供給することで、良好な液晶表示動作を得ることができる。

【0016】本発明の好ましい液晶表示装置では、前記第1のシフトレジスタ回路、前記第2のシフトレジスタ回路、及び前記アナログスイッチが、前記第1の基板上及び第2の基板上の少なくとも一方に、ポリシリコン薄膜電界効果型トランジスタにより形成される。この場合、液晶表示装置を小型化することができると共に、基板、例えばガラス基板上に回路の一部を形成することにより外部回路の規模が小さくなり、液晶表示装置のコストを低減することができる。

【0017】

【発明の実施の形態】以下、図面を参照し、本発明の実施形態例に基づいて本発明を更に詳細に説明する。図1は、本発明の一実施形態例に係る駆動回路及びこの駆動回路で駆動される液晶表示装置の全体構成を示すブロックダイアグラムである。

【0018】波線で囲んだ1で示す部分は駆動回路（データドライバIC）であり、この駆動回路1は、フレームメモリ2、DAC3、バッファ回路（ボルテージホロワ回路）4、及びロジックコントローラ5を有している。これらの要素は同一のウェハ内に形成され、駆動回路1が単一のICチップとしてコンパクトに構成されている。

【0019】フレームメモリ2は、外部から転送入力されたパラレル画像データを記憶し、この画像データをパラレル-シリアル変換することなく出力する。DAC3は、フレームメモリ2から出力されるデジタルデータ（画像データ）をアナログ電圧（信号）に変換するもので、本実施形態例では m 個（ m は自然数）が配設される。バッファ回路4は、各DAC3に対応して m 個配設され、DAC3からのアナログ電圧を電流増幅（電圧増幅率1倍）し、アナログスイッチ11を介してデータバスライン13に供給する。ロジックコントローラ5は、外部から入力される制御信号（ロジック信号）にตอบสนองして、駆動回路1内部のフレームメモリ2、DAC3、及び、液晶パネル6側の回路（外部回路）を夫々制御する。

【0020】上記のように、DAC3及びバッファ回路4は夫々 m 個ずつ設けられるので、駆動回路1からは、 m 個のアナログ電圧（ $V_1 \sim V_m$ ）が同時に出力される。また、ロジックコントローラ5からは複数の制御信号（GST, GCLK, DST, DCLK）が出力される。

【0021】図1の波線で囲んだ6で示す部分は、基板上に配設された液晶パネル（液晶表示装置）である。この液晶表示装置6は、ゲートバスライン駆動用の第1のシフトレジスタ9と、データバスライン駆動用の第2のシフトレジスタ10と、アナログスイッチ11と、表示部20とを有している。

【0022】第1のシフトレジスタ9は k 段に、第2のシフトレジスタ10は n 段に夫々構成されている。表示部20は、 $k \times m \times n$ ドットの液晶セルを有する。アナ

ログスイッチ11は、 m 個ずつにまとめられた n 個のブロックに分割されている。各ブロック毎の m 個のアナログスイッチ11は、第2のシフトレジスタ10の対応する段から供給される駆動信号DOUTにตอบสนองして一斉にオンとなる。ここで k 及び n は、 m と同様自然数である。

【0023】表示部20では、相互に対向する第1及び第2の基板7、8間に液晶が封入され、基板7、8の少なくとも一方に配設された、相互に直交する方向に延在するデータバスライン及びゲートバスラインと、双方のバスラインの各交差部分に接続された複数の画素電極及び各画素電極への信号供給を制御する複数のスイッチング素子とが配設される。各スイッチング素子は、ポリシリコン薄膜電界効果型トランジスタ（以下、ポリシリコンTFTと呼ぶ）等で形成されている。

【0024】第1のシフトレジスタ9は、ゲートバスラインを駆動するためにポリシリコンTFTを用いて、また、第2のシフトレジスタ10は、アナログスイッチ11を駆動するためにポリシリコンTFTを用いて第1の基板7上に夫々形成されている。アナログスイッチ11は、バッファ回路4から出力されるアナログ電圧（書込み電圧）をデータバスラインに選択的に供給する。

【0025】図2は、図1に示した構成をより詳細に示すブロックダイアグラムである。表示部20は、基板上の行列方向に夫々延在する複数のゲートバスライン12及びデータバスライン13を有する。バスライン12、13の各交差部分には、液晶に駆動電圧を印加する、2つの電極を有する画素電極（画素容量）14と、ゲート電極がゲートバスライン12に接続されドレイン電極がデータバスライン13に接続されソース電極が画素電極14に接続されたTFT15とを有する。画素電極14には更に、共通電極16が接続されている。TFT15は、対応するゲートバスライン12が選択された際に、データバスライン13に印加された電圧を画素電極14に供給する。

【0026】図2におけるGST及びGCLKは夫々、第1のシフトレジスタ9の動作を開始するためのスタートパルス、及び、動作速度を規定するためのクロック信号を示し、DST及びDCLKは夫々、第2のシフトレジスタ10の動作を開始するためのスタートパルス、及び、動作速度を規定するためのクロック信号を示す。GOUT1~GOUT k は、第1のシフトレジスタ9の各段 $9_1 \sim 9_k$ から夫々出力される選択信号を示し、DOUT1~DOUT n は、第2のシフトレジスタ10の各段 $10_1 \sim 10_n$ から夫々出力される駆動信号を示す。

【0027】図2では、便宜上ゲートバスライン12及びデータバスライン13を1本ずつのみ記載したが、実際には、選択信号GOUT2~GOUT k にもゲートバスライン12が夫々接続され、アナログスイッチ11の各出力にもデータバスライン13が夫々接続され、各交差部分には画素電極14及びTFT15が夫々設けられている。

【0028】次に、本実施形態例に係る駆動回路による液晶表示装置の動作を図2～図4を参照して説明する。図3は、第1のシフトレジスタ9側の各信号のタイミングチャートを、図4は、主に第2のシフトレジスタ10側の各信号のタイミングチャートを夫々示す。

【0029】図3に示すように、駆動回路1（図1）のロジックコントローラ5からのスタートパルスGSTが第1のシフトレジスタ9に入力されると、クロック信号GCLKの供給が開始される。1発目のクロック信号GCLKの立上がりにより同期して、1段目のシフトレジスタ9₁から最初のゲートバスライン12に選択信号GOUT1が供給され、このゲートバスライン12に接続されるTFT15が全てオンとなる（選択される）。選択信号GOUT1は、2発目のクロック信号GCLKの立上がりにより同期して立下がる。

【0030】更に、2発目のクロック信号GCLKの立上がりにより同期して、2段目のシフトレジスタ9₂から次のゲートバスライン12に、同じパルス幅の選択信号GOUT2が供給され、同様に、このゲートバスライン12に接続されるTFT15が全て選択される。この後も同様に、選択信号GOUT3～GOUTkが、シフトレジスタ9の3段目9₃～k段目9_kから各対応するゲートバスライン12に夫々供給される。選択信号GOUTkが出力されて、1回目の書込みが終了する。この後、所定のタイミングでスタートパルスGSTが再度立上がり、選択信号GOUT1～GOUTkの出力が繰り返される。

【0031】第1のシフトレジスタ9の各出力期間はT1であるとする。ここで、例えば、選択信号GOUT1が出力される期間T1では、対応するゲートバスライン12に接続された各TFT15がオンとなる。このとき、図4に示すように、選択信号GOUT1の立上がりの直後に、ロジックコントローラ5（図1）からスタートパルスDSTが供給されるので、図3における最初のスタートパルスGSTにตอบสนองして供給されているクロック信号DCLKに同期して、出力期間T2の駆動信号DOUT1が、第2のシフトレジスタ10の1段目10₁から出力される。このとき、駆動信号DOUT1は、m個がまとめられた最初のブロックのアナログスイッチ11に供給されて、このブロックにおけるm個のアナログスイッチ11が一斉にオンとなる（選択される）。この際、バッファ回路4からのアナログ電圧V1～Vmは、駆動信号DOUT1にตอบสนองした最初のブロックの各アナログスイッチ11を介してm本のデータバスライン13に供給される。各データバスライン13に印加されたアナログ電圧V1～Vmは、TFT15を介して各画素電極14に供給されて液晶を駆動する。

【0032】同様に、2発目のスタートパルスDSTが立上がるまでの間（出力期間T1）において、駆動信号DOUT2～DOUTnが、第2のシフトレジスタ10の2段目10₂～n段目10_nから順次により出力される。その場合、駆動信号DOUT2によって2番目のブロックにおける全アナロ

グスイッチ11が一斉にオンとなり、アナログ電圧V1～Vmは、各アナログスイッチ11を介してその対応するデータバスライン13に供給される。同様の処理が引き続き実行されて、3番目のブロック、・・・、n番目のブロックにおけるm個ずつのアナログスイッチ11が順次により一斉にオンとなり、その都度に、アナログ電圧V1～Vmがデータバスライン13のm本毎に供給される。これにより、選択信号GOUT1で選択された1行目のゲートバスライン12に対応する各画素電極14への書込みが終了する。

【0033】以下、GOUT2、……、GOUTkまで同様の処理が行われることにより、表示部20における全画素電極14への1回目の書込みが終了する。

【0034】本実施形態例では、駆動回路1が、画像データを記憶するフレームメモリ2と、フレームメモリ2からのデジタルデータをアナログ信号に変換するDAC3と、DAC3の出力を電流増幅して出力するバッファ回路4と、外部からのロジック信号にตอบสนองしてフレームメモリ2、DAC3、及び液晶パネル6側の回路（外部回路）を制御するロジックコントローラ（制御回路）5とを備え、フレームメモリ2に記憶された画像データがパラレル～シリアル変換されることなくDAC3に出力され、且つ、液晶表示装置6を駆動する際に使用される駆動回路1内のDAC3及びバッファ回路4の各総数が夫々データバスライン13の本数よりも少ない。

【0035】このように、駆動回路1における消費電力のかなりの部分を占める出力段のDAC3やバッファ回路4の各総数をデータバスライン13の本数よりも大幅に少なくした上で、時分割で各データバスライン13に順次接続して電圧の書込みを行う構成としたので、バッファ回路4に流れるアイドリング電流の合計を減らしトータルの消費電力を低減でき、アクティブマトリクス型の液晶表示装置6における消費電力を低減することができる。

【0036】本実施形態例では、第1及び第2のシフトレジスタ9、10と、各ブロック毎にm個が配置されたアナログスイッチ11とを第1の基板7上にポリシリコンTFTを用いて直接に形成した例を挙げたが、本発明はこれに限定されない。つまり、第1の基板7上に単結晶シリコンで同等の動作を行う回路を形成し、或いは、別途同等の動作を行うICをゲートバスライン及びデータバスラインに夫々接続した構成としても、本発明の特徴である低消費電力の特性を失うことなく、同様の動作を行うことができる。

【0037】また、本実施形態例では、フレームメモリ2とDAC3とがダイレクトに接続された例を示したが、本発明はこれに限らず、フレームメモリ2とDAC3との間にバッファ回路を挿入・接続し、このバッファ回路で画像データを一旦保持した後にDAC3に出力する構成とすることができる。この場合にも、前述と同様

の作用効果を得ることができる。

【0038】次に、本実施形態例に係る具体例について詳細に説明する。図5は、本発明を $160 \times 120 \times 3$ (RGB)ドットのアクティブマトリクス型LCDに使用した場合のブロックダイアグラムであり、波線で囲んだ部分6は、ガラス基板上に配置された液晶パネル（液晶表示装置）である。

【0039】液晶表示装置6を駆動する駆動回路1は、画像データを記憶する少なくとも $120 \times 160 \times 3 \times 6$ ビットの記憶容量を有するフレームメモリ25と、フレームメモリ25からのデジタルデータをアナログ電圧に変換する6個のDAC27とを備える。駆動回路1は更に、フレームメモリ25、DAC27及びシフトレジスタ22、24を夫々制御するロジックコントローラ26と、DAC27からのアナログ電圧をアナログスイッチSWを介してデータバスライン19に供給する際の電流アンプとして動作する6個のバッファ回路（ボルテージホロワ回路）28と、ゲートのオン電圧を発生させるDC-DCコンバータ29とを有する。

【0040】また、液晶表示装置6における表示部40は、行列方向に延在する複数のゲートバスライン18及びデータバスライン19を有する。表示部40では、ゲートバスライン18及びデータバスライン19の各交差部分に、液晶を介して2つの電極が形成された画素電極（画素容量）20と、ゲートバスライン18が選択されたときデータバスライン19に印加されたアナログ電圧を画素容量20に供給するTFT21とが配設される。

【0041】ガラス基板上には、160本のゲートバスライン18を順次に選択するための160段の第1のシフトレジスタ22と、6個ずつのブロックが60組配列された計360個（ 120×3 ）のアナログスイッチSW1～SW360と、アナログスイッチSWの各ブロックに駆動信号を夫々与えるための60段（ $360/6$ ）の第2のシフトレジスタ24とが配置される。

【0042】次に、本具体例の駆動回路による液晶表示装置の動作を図5～図7を参照して説明する。図6は、第1のシフトレジスタ22側の各信号のタイミングチャート、図7は、主に第2のシフトレジスタ24側の各信号のタイミングチャートを夫々示す。本具体例では、ディスプレイのフレーム周波数を40Hzとし、ガラス基板上のトランジスタには、n-chの移動度が $40 \text{ (cm}^2/\text{V} \cdot \text{s)}$ 、p-chの移動度が $20 \text{ (cm}^2/\text{V} \cdot \text{s)}$ であるポリシリコンTFTを用いた。

【0043】図6に示すように、スタートパルスGSTが駆動回路1に入力されると、以下、周期 $156 \mu\text{s}$ のクロック信号GCLKに同期して、第1のシフトレジスタ22の各段から選択信号GOUT1、GOUT2、……、GOUT160が順次に出力される。このとき、1番目の選択信号GOUT1のパルスが出力されている $156 \mu\text{s}$ の期間では、図7に示すように、第2のシフトレジスタ24の出力（駆動信

号）が、クロック信号DCLKに同期してDOUT1、DOUT2、……、DOUT59、DOUT60の順序で、 $2.6 \mu\text{s}$ 周期で順次に出力される。このため、所定のタイミングで順次に出力される各駆動信号DOUTによって、各ブロック毎に、6個ずつのアナログスイッチSWが一斉にオンとなる。

【0044】例えば、駆動信号DOUT1の出力時には、DOUT1に接続されたブロックのアナログスイッチSW1～SW6が導通し、バッファ回路28からの出力（アナログ電圧V1～V6）を、列方向に連続する各データバスライン19に供給する。次いで、駆動信号DOUT2の出力時には、DOUT2に接続されたブロックのアナログスイッチSW7～SW12が導通し、バッファ回路28からの出力をデータバスライン19に供給する。

【0045】引き続き、選択信号GOUT1の $156 \mu\text{s}$ の出力間に、第2のシフトレジスタ24の出力DOUT60まで接続されたアナログスイッチSW8～SW360が6個の各ブロック毎に順次にオンとなり、アナログ電圧V1～V6が、各ブロックを介してその対応する6本ずつのデータバスライン19に順次に供給される。これにより、360本のデータバスライン19の全てが駆動されることになる。

【0046】以下、選択信号GOUT2～GOUT160で選択された期間においても同様の動作が行われ、これが繰り返されることによって表示部40への一連の表示が実行される。

【0047】図8は、アナログ電圧が印加された画素電極20におけるTFT21側の電極の電圧と時間との関係を示すタイミングチャートである。或るゲートバスライン18の選択状態においてこのバスライン18に接続されたTFT21に、その対応するデータバスライン19からのアナログ電圧が印加されたとき、その対応する画素電極20では、TFT21側の電極の電圧 V_p が、アナログスイッチSWが非選択（オフ）になる前にデータバスライン19の電圧とほぼ等しくなる。このため、アナログスイッチSWがオフになっても、データバスライン19の寄生容量と画素容量との間における電荷の再分配は殆ど発生せず、従って、画素容量の電圧は変動しない。

【0048】本具体例においても、フレームメモリ25、DAC27、バッファ回路28、及びロジックコントローラ26が、単一のICチップに内蔵されて、コンパクトに構成されていると同時に、更に各回路間の配線の寄生容量が別々のチップに形成され接続された場合に比較して大幅に低減しているため、これに起因する消費電力を削減することができる。

【0049】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の液晶表示装置の駆動回路及び該回路で駆動される液晶表示装置は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施した液晶表示装置の

駆動回路及び該回路で駆動される液晶表示装置も、本発明の範囲に含まれる。

【0050】

【発明の効果】以上説明したように、本発明によると、従来に比して低消費電力で液晶表示装置を駆動できる駆動回路、及び該駆動回路によって駆動される液晶表示装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態例に係る駆動回路及び液晶表示装置の全体構成を示すブロックダイアグラムである。

【図2】図1の構成をより詳細に示すブロックダイアグラムである。

【図3】本実施形態例に係る第1のシフトレジスタ側の各信号を示すタイミングチャートである。

【図4】本実施形態例に係る主に第2のシフトレジスタ側の各信号を示すタイミングチャートである。

【図5】本発明の具体例における液晶表示装置及びその駆動回路の全体構成を示すブロックダイアグラムである。

【図6】具体例における第1のシフトレジスタ側の各信号を示すタイミングチャートである。

【図7】具体例における主に第2のシフトレジスタ側の各信号を示すタイミングチャートである。

*【図8】具体例における駆動時のデータバスラインと画素電極の双方の電圧変化の様子を示す図である。

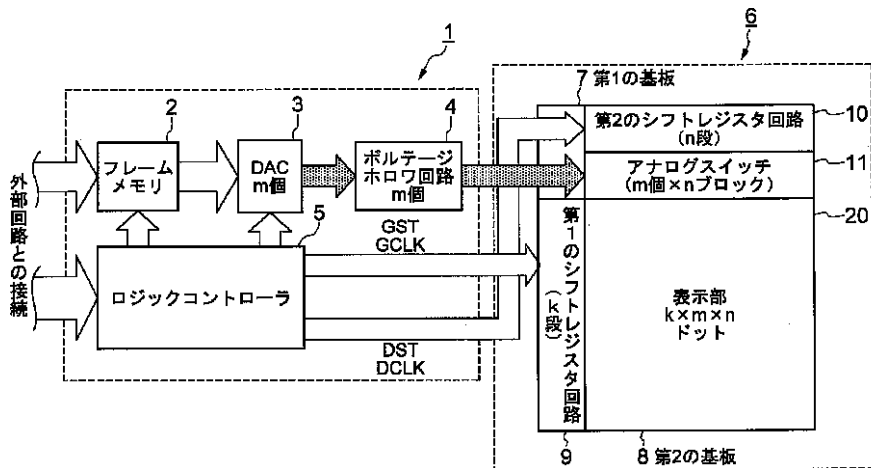
【図9】従来の液晶表示装置を駆動するデータドライバICを示すブロックダイアグラムである。

【図10】従来の別のデータドライバICを示すブロックダイアグラムである。

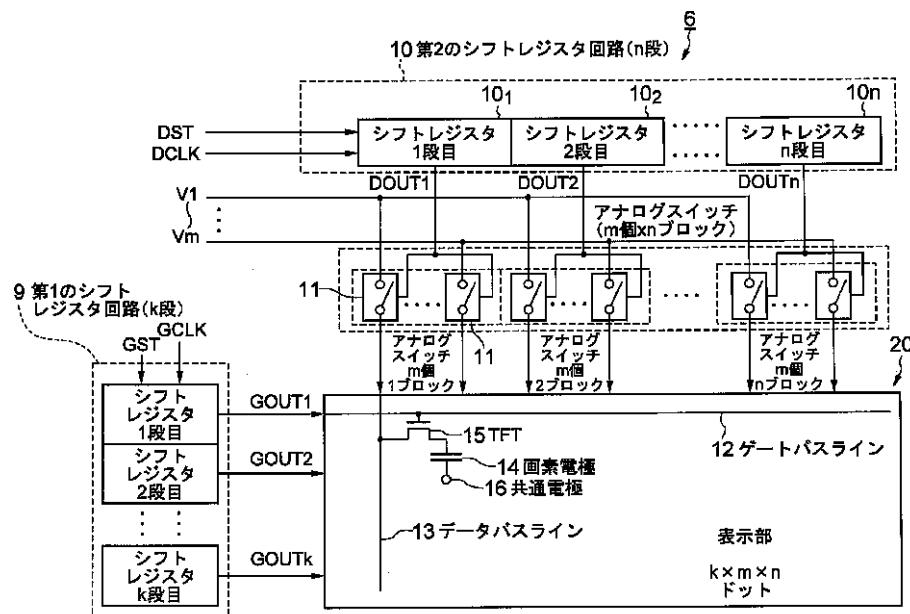
【符号の説明】

- 1：駆動回路
- 2、25：フレームメモリ
- 3、27：DAC
- 4、28：バッファ回路
- 5、26：ロジックコントローラ
- 6：液晶表示装置
- 7：第1の基板
- 8：第2の基板
- 9、22：第1のシフトレジスタ
- 10、24：第2のシフトレジスタ
- 11、SW：アナログスイッチ
- 12、18：ゲートバスライン
- 13、19：データバスライン
- 14、20：画素電極
- 15、21：TFT
- 16：共通電極
- 29：DC-DCコンバータ

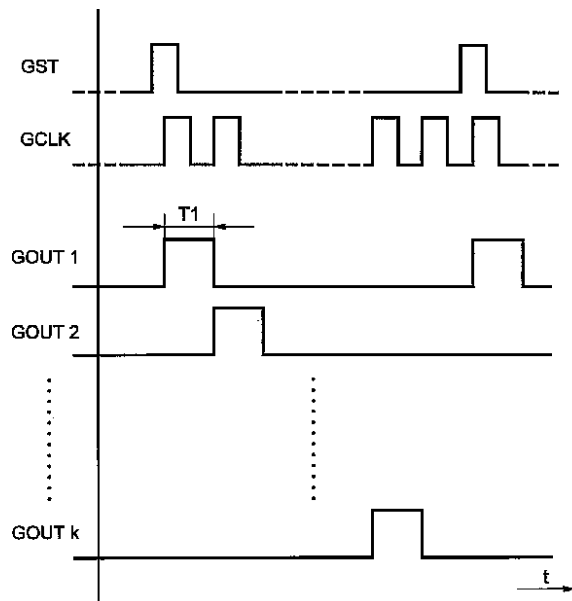
【図1】



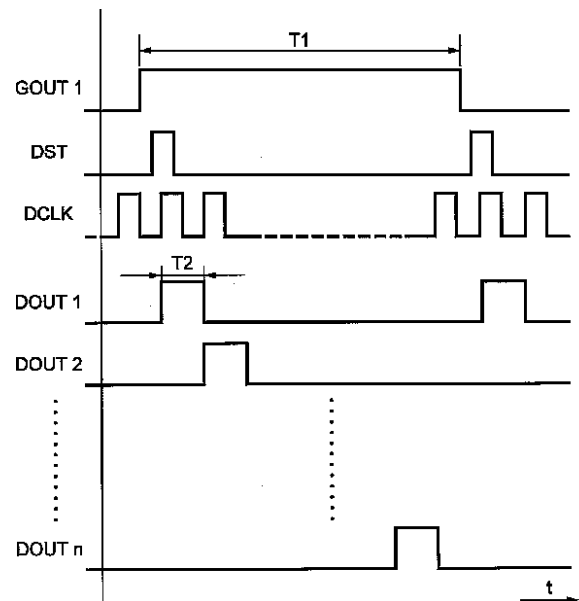
【図2】



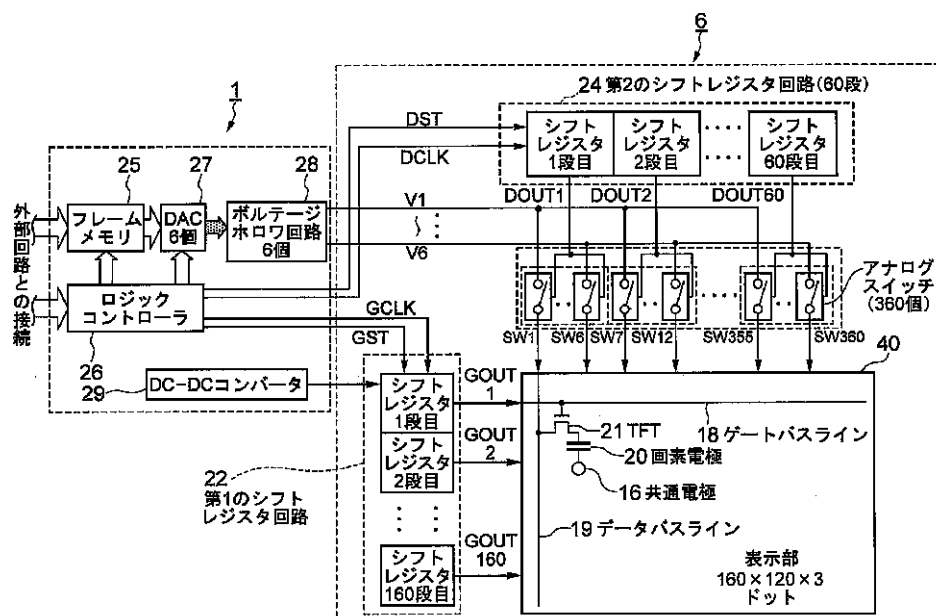
【図3】



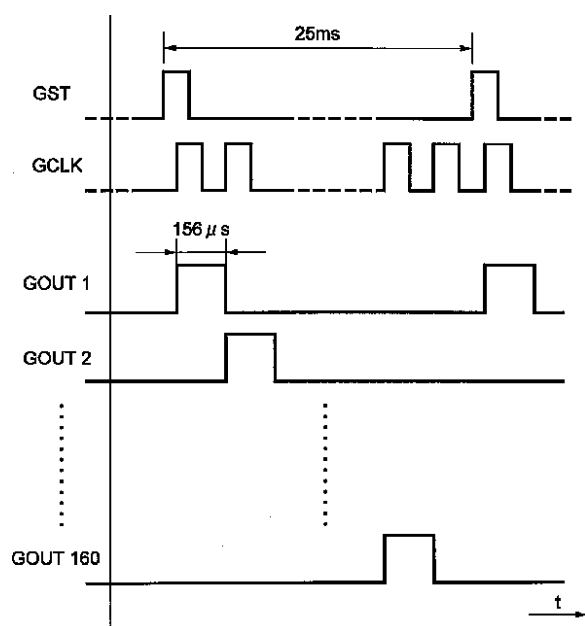
【図4】



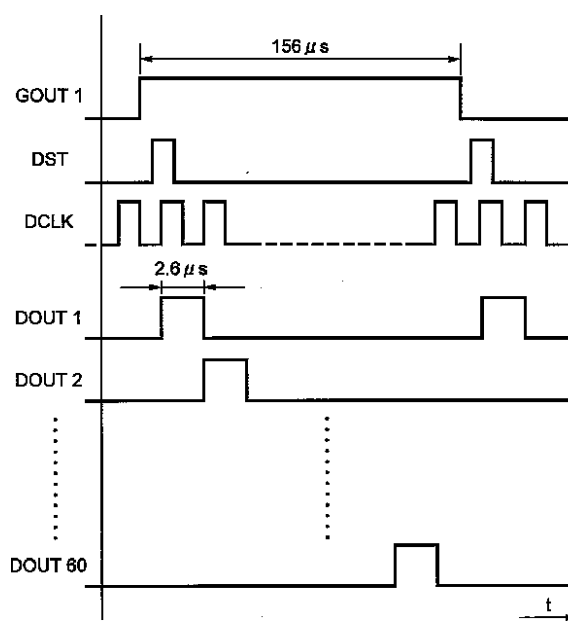
【図5】



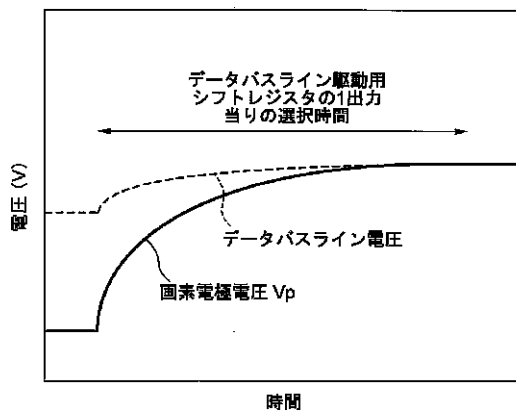
【図6】



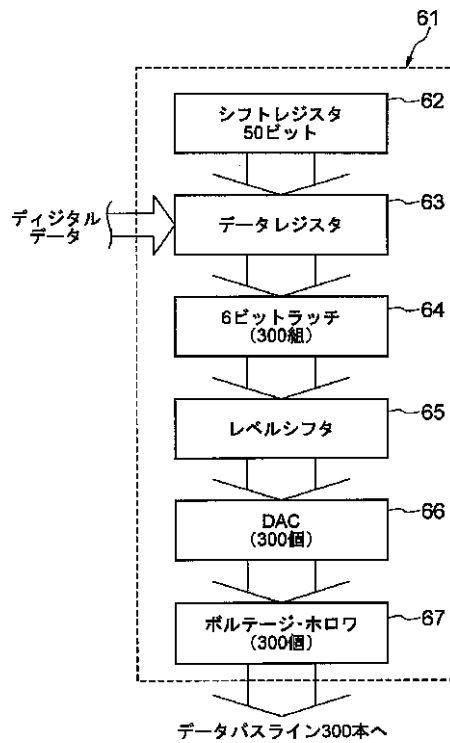
【図7】



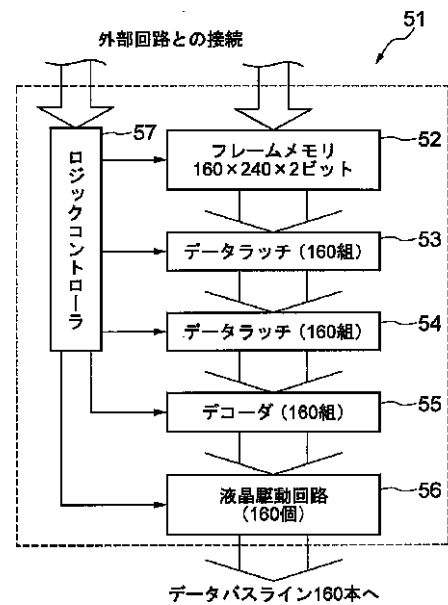
【図8】



【図10】



【図9】



フロントページの続き

Fターム(参考) 2H093 NC09 NC11 NC15 NC21 NC22
 NC29 ND39
 5C006 AA16 AC02 AC24 AF01 AF69
 AF82 BB16 BC03 BC06 BC13
 BC16 BF02 BF03 BF25 BF49
 FA43 FA47
 5C080 AA10 BB05 DD22 DD26 DD30
 FF01 FF09 JJ02 JJ04 KK02

