

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02008/053612

発行日 平成22年2月25日(2010.2.25)

(43) 国際公開日 平成20年5月8日(2008.5.8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 680G	5C058
H04N 5/66 (2006.01)	G09G 3/20 641R	5C080
	G09G 3/20 622C	
審査請求 有 予備審査請求 未請求 (全 38 頁) 最終頁に続く		

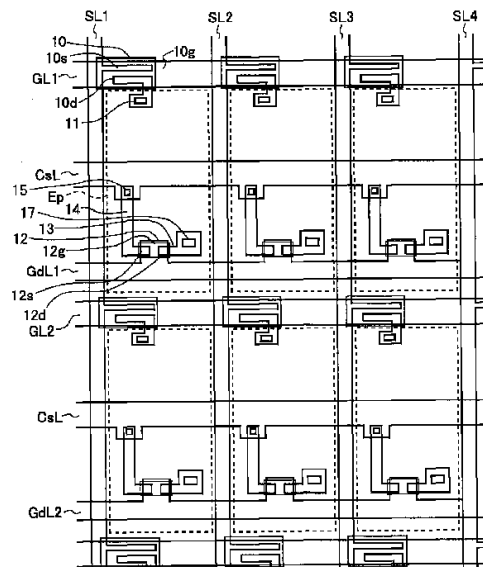
出願番号	特願2008-541999 (P2008-541999)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2007/062113		シャープ株式会社
(22) 国際出願日	平成19年6月15日(2007.6.15)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2006-298440 (P2006-298440)	(74) 代理人	100104695
(32) 優先日	平成18年11月2日(2006.11.2)		弁理士 島田 明宏
(33) 優先権主張国	日本国(JP)	(74) 代理人	100121348
			弁理士 川原 健児
		(72) 発明者	津幡 俊英
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	2H193 ZA04 ZA07 ZA19 ZB02 ZB03
			ZB06 ZC05 ZC25 ZD02 ZE02
			ZE06 ZF22 ZF35 ZF36
		最終頁に続く	

(54) 【発明の名称】 アクティブマトリクス基板およびそれを備えた表示装置

(57) 【要約】

本発明は、表示装置において駆動回路等の複雑化や動作周波数の増大を抑えつつ表示をインパルス化し且つ画素容量の充電特性を向上させることを目的とする。

液晶表示装置のアクティブマトリクス基板において各画素電極(Ep)は、画素TFT(10)を介してソースライン(SLi)に接続されると共に、放電用TFT(12)を介して保持容量線(CsL)に接続されている。1フレーム期間において、各表示ラインに対応する画素電極(Ep)と共通電極(Ec)により形成される液晶容量(ClC)は、画素ゲートライン(GLj)上の画素走査信号G(j)で画素TFT(10)がオンされることで充電された後に、放電用ゲートライン(GdLj)上の放電用走査信号Gd(j)で放電用TFT(12)がオンされることで放電される。ソースライン(SLi)については、2Hドット反転駆動が行われるが1水平期間毎にチャージシェアが行われる。



【特許請求の範囲】**【請求項 1】**

複数のデータ信号線と、
前記複数のデータ信号線と交差する複数の画素走査信号線と、
前記複数のデータ信号線と前記複数の画素走査信号線との各交差点に対応して設けられ、対応する交差点を通過する画素走査信号線によってオンおよびオフされる画素スイッチング素子と、
前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極と、
各画素電極との間に所定容量が形成されるように配設された保持容量線と、
前記複数の画素走査信号線にそれぞれ対応する複数の放電用走査信号線と、
各画素電極に対応して設けられ、対応する画素電極に接続された画素スイッチング素子をオンおよびオフするための画素走査信号線に対応する放電用走査信号線によってオンおよびオフされる放電用スイッチング素子とを備え、
各画素電極は、対応する放電用スイッチング素子を介して前記保持容量線に接続されていることを特徴とする、アクティブマトリクス基板。

10

【請求項 2】

前記保持容量線は、前記データ信号線に沿った方向に延びる延伸部を有し、
前記放電用スイッチング素子は、ドレイン電極およびソース電極を有する薄膜トランジスタであり、
前記ドレイン電極は、前記放電用スイッチング素子に対応する画素電極に接続されており、
前記ソース電極は、所定のソース引き出し電極を介して前記延伸部に接続されていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

20

【請求項 3】

前記延伸部と前記ソース引き出し電極とは、前記画素電極の縁に沿って環状に配置された構造体を構成することを特徴とする、請求項 2 に記載のアクティブマトリクス基板。

【請求項 4】

前記放電用スイッチング素子としての薄膜トランジスタのソースに接続される電極およびドレインに接続される電極は、前記データ信号線と同一の材料で形成されていることを特徴とする、請求項 2 に記載のアクティブマトリクス基板。

30

【請求項 5】

前記保持容量線は、前記画素電極の縁に沿って前記データ信号線に平行に延びる部分と前記画素電極の縁に沿って前記画素走査信号線に平行に延びる部分とを含む環状部分を有していることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 6】

前記放電用スイッチング素子は、前記放電用走査信号線を形成する電極パターンに重なるように配置されていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

40

【請求項 7】

前記画素電極は、前記放電用走査信号線に重なるように配置されていることを特徴とする、請求項 1 に記載のアクティブマトリクス基板。

【請求項 8】

ノーマリブラックモードの表示装置であって、
請求項 1 から 7 までのいずれか 1 項に記載のアクティブマトリクス基板と、
前記アクティブマトリクス基板における各画素電極に対向するように配置された共通電極と、

前記複数の画素走査信号線のそれぞれが各フレーム期間において少なくとも 1 回は選択状態となるように、前記画素スイッチング素子をオン状態とするアクティブな信号を前記複数の画素走査信号線に選択的に印加し当該アクティブな信号を印加されている画素走査

50

信号線を選択状態とする画素走査信号線駆動回路と、

前記複数の放電用走査信号線のそれぞれは対応する画素走査信号線が選択状態から非選択状態に変化した第 1 の時点から次のフレーム期間において選択状態となる第 2 の時点までに所定期間だけ選択状態となるように、前記放電用スイッチング素子をオン状態とするアクティブな信号を前記複数の放電用走査信号線に選択的に印加し当該アクティブな信号を印加されている放電用走査信号線を選択状態とする放電用走査信号線駆動回路と、

表示すべき画像を表す複数のデータ信号を所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動回路と、

前記共通電極に所定の共通電位を与える共通電位供給部と、

10

前記共通電位に略等しい所定電位を前記保持容量線に与える保持容量線電位供給部とを備えることを特徴とする、表示装置。

【請求項 9】

前記データ信号線駆動回路は、2 以上の所定数の水平期間毎に電圧極性が反転するように前記複数のデータ信号を生成することを特徴とする、請求項 8 に記載の表示装置。

【請求項 10】

前記データ信号線駆動回路は、

所定数のデータ信号線毎に極性が反転するように前記複数のデータ信号を生成し、

前記複数のデータ信号の極性が反転する時に所定期間だけ、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡することを特徴とする、請求項 8 に記載の表示装置。

20

【請求項 11】

前記データ信号線駆動回路は、1 水平期間毎に所定期間だけ、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡することを特徴とする、請求項 10 に記載の表示装置。

【請求項 12】

前記データ信号線駆動回路は、前記複数のデータ信号線が互いに短絡されている時に所定の固定電位を前記複数のデータ信号線に与えることを特徴とする、請求項 11 に記載の表示装置。

【請求項 13】

30

前記固定電位は、前記所定電位に等しいことを特徴とする、請求項 12 に記載の表示装置。

【請求項 14】

前記保持容量線電位供給部は、前記共通電位を前記所定電位として前記保持容量線に与えることを特徴とする、請求項 12 に記載の表示装置。

【請求項 15】

前記固定電位は、前記データ信号の最小値と最大値との間の中央値に相当する電位であることを特徴とする、請求項 12 に記載の表示装置。

【請求項 16】

前記保持容量線電位供給部は、前記データ信号の最小値と最大値との間の中央値に相当する電位を前記所定電位として前記保持容量線に与えることを特徴とする、請求項 11 に記載の表示装置。

40

【請求項 17】

請求項 8 に記載の表示装置を備えたことを特徴とするテレビジョン受信機。

【請求項 18】

複数のデータ信号線と、前記複数のデータ信号線と交差する複数の画素走査信号線と、前記複数のデータ信号線と前記複数の画素走査信号線との各交差点に対応して設けられ、対応する交差点を通過する画素走査信号線によってオンおよびオフされる画素スイッチング素子と、前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極と、前記画素電極との間に所定容量が形

50

成されるように配設された保持容量線とを含むアクティブマトリクス基板と、当該アクティブマトリクス基板における各画素電極に対向するように配置された共通電極とを備えるノーマリブラックモードの表示装置の駆動方法であって、

前記複数の画素走査信号線のそれぞれが各フレーム期間において少なくとも１回は選択状態となるように、前記画素スイッチング素子をオン状態とするアクティブな信号を前記複数の画素走査信号線に選択的に印加し当該アクティブな信号を印加されている画素走査信号線を選択状態とする画素走査信号線駆動ステップと、

表示すべき画像を表す複数のデータ信号を所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動ステップと、

前記共通電極に所定の共通電位を与える共通電位供給ステップと、

前記共通電位に略等しい所定電位を前記保持容量線に与える保持容量線電位供給ステップと、

各画素電極を前記保持容量線に短絡させる放電ステップとを備え、

前記アクティブマトリクス基板は、

前記複数の画素走査信号線にそれぞれ対応する複数の放電用走査信号線と、

各画素電極に対応して設けられ、対応する画素電極に接続された画素スイッチング素子をオンおよびオフするための画素走査信号線に対応する放電用走査信号線によってオンおよびオフされる放電用スイッチング素子とを更に含み、

各画素電極は、対応する放電用スイッチング素子を介して前記保持容量線に接続され、

前記放電ステップでは、前記複数の放電用走査信号線のそれぞれは対応する画素走査信号線が選択状態から非選択状態に変化した第１の時点から次のフレーム期間において選択状態となる第２の時点までに所定期間だけ選択状態となるように、前記放電用スイッチング素子をオン状態とするアクティブな信号が前記複数の放電用走査信号線に選択的に印加され当該アクティブな信号を印加されている放電用走査信号線が選択状態とされることを特徴とする、駆動方法。

【請求項１９】

前記データ信号線駆動ステップでは、２以上の所定数の水平期間毎に電圧極性が反転するように前記複数のデータ信号が生成されることを特徴とする、請求項１８に記載の駆動方法。

【請求項２０】

前記データ信号線駆動ステップでは、

所定数のデータ信号線毎に極性が反転するように前記複数のデータ信号が生成され、

前記複数のデータ信号の極性が反転する時に所定期間だけ、前記複数のデータ信号線への前記複数のデータ信号の印加が遮断されると共に前記複数のデータ信号線が互いに短絡されることを特徴とする、請求項１８に記載の駆動方法。

【請求項２１】

前記データ信号線駆動ステップでは、１水平期間毎に所定期間だけ、前記複数のデータ信号線への前記複数のデータ信号の印加が遮断されると共に前記複数のデータ信号線が互いに短絡されることを特徴とする、請求項２０に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、薄膜トランジスタ等のスイッチング素子を用いたアクティブマトリクス基板、および、それを備えた液晶表示装置等のアクティブマトリクス型表示装置に関する。

【背景技術】

【０００２】

アクティブマトリクス基板は、液晶表示装置やＥＬ（Electroluminescence）表示装置等のアクティブマトリクス型表示装置において広く用いられている。例えばアクティブマトリクス型の液晶表示装置では、液晶パネルとその駆動回路から主要部が構成されており

10

20

30

40

50

、液晶パネルは、通常、スイッチング素子としての薄膜トランジスタ（Thin Film Transistor。以下「TFT」と略記する。）や画素電極等を含む画素回路がマトリクス状に配置されたアクティブマトリクス基板と、ガラス等の透明な絶縁性基板上に全面にわたって対向電極や配向膜が順次積層された対向基板と、両基板の間に挟持された液晶層と、両基板のそれぞれの外表面に貼り付けられた偏光板とから構成される。

【0003】

図23は、上記のような液晶表示装置に用いられる従来のアクティブマトリクス基板700の構造を示す平面図であり、1つの画素に相当する部分のパターン構成を示している。アクティブマトリクス基板700は、複数のデータ信号線715と、当該複数のデータ信号線715と交差する複数の走査信号線716と、当該複数のデータ信号線715と当該複数の走査信号線716との各交差点近傍に形成されたスイッチング素子としてのTFT712と、画素電極717とを備える。走査信号線716はTFT712のゲート電極を兼ねており、TFT712のソース電極719がデータ信号線715に接続され、ドレイン電極708がドレイン引き出し電極707を介して画素電極717に接続される。ドレイン引き出し電極707と画素電極717との間に配される絶縁膜には穴が開けられており、これによってドレイン引き出し電極707と画素電極717とを接続するコンタクトホール710が形成されている。画素電極717はITO（Indium Tin Oxide）等の透明電極であり、当該アクティブマトリクス基板700を含む液晶パネルの後方からの光（バックライト光）を透過させる。

【0004】

このアクティブマトリクス基板700においては、走査信号線716に与えられる走査信号としてのゲートオン電圧によってTFT712がオン状態（ソース電極719とドレイン電極708とが導通した状態）となり、この状態においてデータ信号線715に与えられるデータ信号が、ソース電極719、ドレイン電極708およびドレイン引き出し電極707を介して画素容量（画素電極717と対向電極によって形成される容量）に書き込まれる。なお、このアクティブマトリクス基板700には、走査信号線716に沿って保持容量線718が形成されており、この保持容量線718は、TFT712のオフ期間中における液晶層の自己放電を回避する等の機能を有する。

【0005】

ところで、CRT（Cathode Ray Tube：陰極線管）のようなインパルス型の表示装置においては、個々の画素に着目すると、画像が表示される点灯期間と画像が表示されない消灯期間とが交互に繰り返される。例えば動画の表示が行われた場合にも、1画面分の画像の書き換えが行われる際に消灯期間が挿入されるため、動いている物体の残像が人間の視覚に生じることがない。このため、背景と物体とが明瞭に見分けられ、違和感なく動画が視認される。

【0006】

これに対し、上記のようなアクティブマトリクス基板を使用した液晶表示装置のようなホールド型の表示装置では、個々の画素の輝度は各画素容量に保持される電圧によって決まり、画素容量における保持電圧は、一旦書き換えられると1フレーム期間維持される。このようにホールド型の表示装置では、画素データとして画素容量に保持すべき電圧は、一旦書き込まれると次に書き換えられるまで保持されるので、各フレームの画像は、その1フレーム前の画像と時間的に近接することになる。これにより、動画が表示される場合に、人間の視覚には動いている物体の残像が生じる。例えば図22に示すように、動いている物体を表す画像OIが尾を引くように残像AIが生じる（以下、この残像を「尾引残像」という）。

【0007】

アクティブマトリクス型の液晶表示装置等のようなホールド型の表示装置では、動画表示の際にこのような尾引残像が生じるので、主として動画表示が行われるテレビ等のディスプレイには従来よりインパルス型の表示装置が採用されるのが一般的である。ところが、近年、テレビ等のディスプレイについて軽量化や薄型化が強く要求されており、そのよ

10

20

30

40

50

うなディスプレイについて軽量化や薄型化が容易な液晶表示装置のようなホールド型の表示装置の採用が急速に進んでいる。

【特許文献 1】日本の特開平 4 - 3 0 9 9 9 5 号公報

【特許文献 2】日本の特開平 5 - 1 1 9 3 4 6 号公報

【特許文献 3】日本の特開 2 0 0 3 - 2 5 5 9 1 2 号公報

【特許文献 4】日本の特開 2 0 0 3 - 6 6 9 1 8 号公報

【特許文献 5】日本の特開平 9 - 2 4 3 9 9 8 号公報

【特許文献 6】日本の特開 2 0 0 4 - 6 1 5 9 0 号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0 0 0 8】

アクティブマトリクス型の液晶表示装置等のようなホールド型の表示装置において上記の尾引残像を改善する方法として、1 フレーム期間中に黒表示を行う期間を挿入する（以下「黒挿入」という）等により液晶表示装置における表示を（擬似的に）インパルス化するという方法が知られている（例えば特許文献 4（日本の特開 2 0 0 3 - 6 6 9 1 8 号公報）（これは米国特許第 7, 1 6 1, 5 7 6 号に対応する））。しかし、ホールド型表示装置としてのアクティブマトリクス型液晶表示装置において、従来の方法によってインパルス化を実現しようすると、黒挿入のために駆動回路等が複雑化すると共に、駆動回路の動作周波数も増大し、画素容量の充電のために確保できる時間も短くなる。

【0 0 0 9】

20

このような問題を解決するために、液晶表示装置等のアクティブマトリクス基板において、各画素形成部に 2 つのスイッチング素子を設け、画素形成部への画素データの伝達のための第 1 の信号線に加えて、黒データの伝達のための第 2 の信号線を別途設ける構成が提案されている（例えば特許文献 3（日本の特開 2 0 0 3 - 2 5 5 9 1 2 号公報））。しかし、このような構成では、アクティブマトリクス基板の構造が複雑となるだけでなく、第 2 の信号線に印加する黒表示のための信号の電源が必要となることから、駆動回路が複雑化し、消費電力も増大する。

【0 0 1 0】

また、近年、アクティブマトリクス型液晶表示装置において解像度の向上が進んでいることから、画素データの画素容量への書き込みに確保可能な充電時間が短くなる傾向にある。充電時間が短くなると、充電不足のために画素容量に正しい画素データが書き込めない虞が生じる。

30

【0 0 1 1】

ところで、2 水平期間毎にデータ信号の極性が反転されるドット反転駆動方式（以下「2 H ドット反転駆動方式」という）の液晶表示装置において、消費電力を低減するためにデータ信号の極性反転時に隣接データ信号線間を短絡するというチャージシェア方式が採用される場合がある（例えば特許文献 5（日本の特開平 9 - 2 4 3 9 9 8 号公報））。この場合、極性反転単位としての 2 ラインの間で画素容量の充電量に差が生じ、ライン状の横筋ムラが視認されることがある。これに対し、データ信号を 1 水平期間毎のブランキング期間に正極性と負極性の間の或る中間電位とすることで充電特性を均一にする方法が提案されている（特許文献 6（日本の特開 2 0 0 4 - 6 1 5 9 0 号公報）（これは米国特許出願公開第 2 0 0 4 / 0 0 1 7 3 4 4 号に対応する））。

40

【0 0 1 2】

しかし、高解像度化の進行やインパルス化のための駆動周波数の増大によって充電時間やチャージシェア期間の十分な確保が困難になると、このような方法を採用しても、上記極性反転単位としての 2 ラインの間での画素容量の充電量の差が十分には解消されず、ライン状の横筋ムラが視認される虞がある。また、十分なチャージシェア期間を確保できないために各データ信号線電位がソースセンター電位または共通電位に達しない場合には、そのことが充電不足を悪化させる要因にもなる。このように解像度の向上や駆動周波数の増大に伴って充電不足が問題になる点は、1 H ドット反転駆動方式の液晶表示装置におい

50

ても同様である。

【 0 0 1 3 】

一方、特許文献 2（日本の特開平 5 - 1 1 9 3 4 6 号公報）には、画素電極下に延在された補助容量電極を備えるアクティブマトリクス型の液晶表示装置であって、画素電極にソースを接続され前段のゲートライン（走査信号線）にゲートを接続され補助容量電極にドレインを接続された補助スイッチング素子を設け、前段のゲートラインのゲート信号（走査信号）で画素電極を補助容量電極の電位（共通電位）まで充電するように構成された液晶表示装置が開示されている。この構成によれば、画素電極を目標電位（表示画像の画素値に相当する電位）に充電する前に補助スイッチング素子を介して当該画素電極が共通電位に充電されるので、画素数の増加による画素容量の充電不足を抑えることができる。しかし、当該公報では、動画表示における尾引残像の解消等のための表示のインパルス化については何ら言及されていない。また、当該公報に開示された構成では、画素電極が補助スイッチング素子を介して共通電位に充電されるのは、その画素電極の目標電位への充電の直前（早くとも 1 水平期間程度前）であるので、上記補助スイッチング素子を表示のインパルス化のために利用することはできない。

10

【 0 0 1 4 】

そこで本発明は、駆動回路等の複雑化や動作周波数の増大を抑えつつ表示のインパルス化を可能とし且つ画素容量の充電特性を向上させることのできるアクティブマトリクス基板、および、それを備えた表示装置を提供することを目的とする。

20

【課題を解決するための手段】

【 0 0 1 5 】

本発明の第 1 の局面は、アクティブマトリクス基板であって、
複数のデータ信号線と、
前記複数のデータ信号線と交差する複数の画素走査信号線と、
前記複数のデータ信号線と前記複数の画素走査信号線との各交差点に対応して設けられ、対応する交差点を通過する画素走査信号線によってオンおよびオフされる画素スイッチング素子と、
前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極と、
各画素電極との間に所定容量が形成されるように配設された保持容量線と、
前記複数の画素走査信号線にそれぞれ対応する複数の放電用走査信号線と、
各画素電極に対応して設けられ、対応する画素電極に接続された画素スイッチング素子をオンおよびオフするための画素走査信号線に対応する放電用走査信号線によってオンおよびオフされる放電用スイッチング素子とを備え、
各画素電極は、対応する放電用スイッチング素子を介して前記保持容量線に接続されていることを特徴とする。

30

【 0 0 1 6 】

本発明の第 2 の局面は、本発明の第 1 の局面において、
前記保持容量線は、前記データ信号線に沿った方向に延びる延伸部を有し、
前記放電用スイッチング素子は、ドレイン電極およびソース電極を有する薄膜トランジスタであり、
前記ドレイン電極は、前記放電用スイッチング素子に対応する画素電極に接続されており、
前記ソース電極は、所定のソース引き出し電極を介して前記延伸部に接続されていることを特徴とする。

40

【 0 0 1 7 】

本発明の第 3 の局面は、本発明の第 2 の局面において、
前記延伸部と前記ソース引き出し電極とは、前記画素電極の縁に沿って環状に配置された構造体を構成することを特徴とする。

【 0 0 1 8 】

50

本発明の第４の局面は、本発明の第２の局面において、

前記放電用スイッチング素子としての薄膜トランジスタのソースに接続される電極およびドレインに接続される電極は、前記データ信号線と同一の材料で形成されていることを特徴とする。

【００１９】

本発明の第５の局面は、本発明の第１の局面において、

前記保持容量線は、前記画素電極の縁に沿って前記データ信号線に平行に延びる部分と前記画素電極の縁に沿って前記画素走査信号線に平行に延びる部分とを含む環状部分を有していることを特徴とする。

【００２０】

本発明の第６の局面は、本発明の第１の局面において、

前記放電用スイッチング素子は、前記放電用走査信号線を形成する電極パターンに重なるように配置されていることを特徴とする。

【００２１】

本発明の第７の局面は、本発明の第１の局面において、

前記画素電極は、前記放電用走査信号線に重なるように配置されていることを特徴とする。

【００２２】

本発明の第８の局面は、ノーマリブラックモードの表示装置であって、

本発明の第１から第７の局面のいずれかの局面に係るアクティブマトリクス基板と、

前記アクティブマトリクス基板における各画素電極に対向するように配置された共通電極と、

前記複数の画素走査信号線のそれぞれが各フレーム期間において少なくとも１回は選択状態となるように、前記画素スイッチング素子をオン状態とするアクティブな信号を前記複数の画素走査信号線に選択的に印加し当該アクティブな信号を印加されている画素走査信号線を選択状態とする画素走査信号線駆動回路と、

前記複数の放電用走査信号線のそれぞれは対応する画素走査信号線が選択状態から非選択状態に変化した第１の時点から次のフレーム期間において選択状態となる第２の時点までに所定期間だけ選択状態となるように、前記放電用スイッチング素子をオン状態とするアクティブな信号を前記複数の放電用走査信号線に選択的に印加し当該アクティブな信号を印加されている放電用走査信号線を選択状態とする放電用走査信号線駆動回路と、

表示すべき画像を表す複数のデータ信号を所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動回路と、

前記共通電極に所定の共通電位を与える共通電位供給部と、

前記共通電位に略等しい所定電位を前記保持容量線に与える保持容量線電位供給部とを備えることを特徴とする。

【００２３】

本発明の第９の局面は、本発明の第８の局面において、

前記データ信号線駆動回路は、２以上の所定数の水平期間毎に電圧極性が反転するように前記複数のデータ信号を生成することを特徴とする。

【００２４】

本発明の第１０の局面は、本発明の第８の局面において、

前記データ信号線駆動回路は、

所定数のデータ信号線毎に極性が反転するように前記複数のデータ信号を生成し、

前記複数のデータ信号の極性が反転する時に所定期間だけ、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡することを特徴とする。

【００２５】

本発明の第１１の局面は、本発明の第１０の局面において、

前記データ信号線駆動回路は、1水平期間毎に所定期間だけ、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡することを特徴とする。

【0026】

本発明の第12の局面は、本発明の第11の局面において、

前記データ信号線駆動回路は、前記複数のデータ信号線が互いに短絡されている時に所定の固定電位を前記複数のデータ信号線に与えることを特徴とする。

【0027】

本発明の第13の局面は、本発明の第12の局面において、

前記固定電位は、前記所定電位に等しいことを特徴とする。

10

【0028】

本発明の第14の局面は、テレビジョン受信機であって、

本発明の第8の局面に係る表示装置を備えたことを特徴とする。

【0029】

本発明の第15の局面は、複数のデータ信号線と、前記複数のデータ信号線と交差する複数の画素走査信号線と、前記複数のデータ信号線と前記複数の画素走査信号線との各交差点に対応して設けられ、対応する交差点を通過する画素走査信号線によってオンおよびオフされる画素スイッチング素子と、前記画素スイッチング素子に対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極と、前記画素電極との間に所定容量が形成されるように配設された保持容量線とを含むアクティブマトリクス基板と、当該アクティブマトリクス基板における各画素電極に対向するように配置された共通電極とを備えるノーマリブラックモードの表示装置の駆動方法であって、

20

前記複数の画素走査信号線のそれぞれが各フレーム期間において少なくとも1回は選択状態となるように、前記画素スイッチング素子をオン状態とするアクティブな信号を前記複数の画素走査信号線に選択的に印加し当該アクティブな信号を印加されている画素走査信号線を選択状態とする画素走査信号線駆動ステップと、

表示すべき画像を表す複数のデータ信号を所定数の水平期間毎に極性が反転する電圧信号として生成し、当該複数のデータ信号を前記複数のデータ信号線に印加するデータ信号線駆動ステップと、

前記共通電極に所定の共通電位を与える共通電位供給ステップと、

30

前記共通電位に略等しい所定電位を前記保持容量線に与える保持容量線電位供給ステップと、

各画素電極を前記保持容量線に短絡させる放電ステップとを備え、

前記アクティブマトリクス基板は、

前記複数の画素走査信号線にそれぞれ対応する複数の放電用走査信号線と、

各画素電極に対応して設けられ、対応する画素電極に接続された画素スイッチング素子をオンおよびオフするための画素走査信号線に対応する放電用走査信号線によってオンおよびオフされる放電用スイッチング素子とを更に含み、

各画素電極は、対応する放電用スイッチング素子を介して前記保持容量線に接続され、

前記放電ステップでは、前記複数の放電用走査信号線のそれぞれは対応する画素走査信号線が選択状態から非選択状態に変化した第1の時点から次のフレーム期間において選択状態となる第2の時点までに所定期間だけ選択状態となるように、前記放電用スイッチング素子をオン状態とするアクティブな信号が前記複数の放電用走査信号線に選択的に印加され当該アクティブな信号を印加されている放電用走査信号線が選択状態とされることを特徴とする。

40

【0030】

本発明の他の局面については、本発明の上記局面および下記実施形態についての説明から明らかとなるので、説明を省略する。

【発明の効果】

【0031】

50

本発明の第1の局面によれば、各画素電極は、アクティブマトリクス基板において画素走査信号線にそれぞれ対応して配設された放電用走査信号線によってオン/オフされる放電用スイッチング素子を介して保持容量線に接続されている。したがって、液晶表示装置のように1フレーム期間毎に極性の反転される画素データとしての電圧が画素容量に充電される表示装置において本発明の当該局面に係るアクティブマトリクス基板が使用される場合には、各画素容量は、画素データ書込に対応する充電の前に、逆極性の充電電荷を放電用走査信号線への放電用走査信号の印加によって放電される。これにより、解像度等が増大しても充電不足が抑制されるので表示品質を高めることができる。また、当該表示装置がノーマリブラックモードである場合には、各放電用走査信号線への放電用走査信号の印加によって表示ライン毎に黒表示期間を挿入することができるので、駆動回路等の複雑化や動作周波数の増大を抑えつつ表示をインパル化することで、動画の表示性能を改善することができる。

10

【0032】

本発明の第2の局面によれば、保持容量線はデータ信号線に平行に延びる延伸部を有しており、これにより画素電極の電位に対する他の電極の電位変動による影響を抑制することができる。

【0033】

本発明の第3の局面によれば、保持容量線の延伸部と放電用スイッチング素子としての薄膜トランジスタのソース引き出し電極とは、画素電極の縁に沿って環状に配置された構造体を構成するので、データ信号線や、画素走査信号線、放電用走査信号線の電位変動による画素電極電位への影響を抑制することができる。

20

【0034】

本発明の第4の局面によれば、放電用スイッチング素子としての薄膜トランジスタのソースに接続される電極およびドレインに接続される電極はデータ信号線と同一の材料で形成されているので、これらの電極をデータ信号線の形成工程において形成することができ、これらの電極を別途形成する必要がない。

【0035】

本発明の第5の局面によれば、保持容量線は、画素電極の縁に沿ってデータ信号線に平行に延びる部分と画素電極の縁に沿って画素走査信号線に平行に延びる部分とを有しているので、データ信号線や画素走査信号線の電位変動による画素電極電位への影響が抑制される。これにより、画素電極とデータ信号線によって形成される寄生容量、および、画素電極と画素走査信号線によって形成される寄生容量が低減されることになり、表示品質を向上させることができる。

30

【0036】

本発明の第6の局面によれば、放電用スイッチング素子は放電用走査信号線を形成する電極パターンに重なるように配置されているので、開口率を大きくすることができる。

【0037】

本発明の第7の局面によれば、放電用走査信号線に重なるように画素電極が配置されることにより広い画素領域が確保されるので、開口率を大きくすることができる。

【0038】

本発明の第8の局面によれば、ノーマリブラックモードの表示装置において、各画素走査信号線に対応して放電用走査信号線が設けられており、各画素走査信号線は、表示すべき画像の画素データの書込のために各フレーム期間において少なくとも1回は選択状態となり、各放電用走査信号線は、それに対応する画素走査信号線が選択状態から非選択状態に変化した第1の時点から次のフレーム期間において選択状態となる第2の時点までに所定期間だけ選択状態となる。これにより表示ライン毎に黒表示期間が挿入されるので、駆動回路等の複雑化や動作周波数の増大を抑えつつ表示をインパル化することができ、動画の表示性能を改善することができる。本発明の当該局面に係る表示装置が、液晶表示装置のように1フレーム期間毎に極性の反転される(画素データとしての)電圧が画素容量に充電される表示装置である場合には、各画素容量は、画素データ書込に対応する充電の前

40

50

に、逆極性の充電電荷を放電用走査信号線への放電用走査信号の印加によって放電される。すなわち、液晶表示装置では、画素データの書込は、或る極性の電圧で充電された画素容量を逆の極性の電圧で充電することを意味するので、黒挿入のための画素容量の放電がプリチャージとしても機能することになる。これにより、解像度等が増大しても充電不足が抑制されるので、表示品質を高めることができる。

【 0 0 3 9 】

本発明の第 9 の局面によれば、画素データ書込に対応する画素容量の充電の前に当該画素容量における逆極性の充電電荷が黒挿入のために放電されることにより、画素データ書込における充電不足が抑制される。したがって、各データ信号の極性を 2 以上の所定数の水平期間毎に反転することによりデータ信号線駆動回路の消費電力を低減しつつ、上記黒挿入のための放電により横筋ムラの発生を防止することができる。

10

【 0 0 4 0 】

本発明の第 10 の局面によれば、データ信号は所定数のデータ信号線毎に極性が反転する電圧信号として生成され、データ信号の極性が反転する時に所定期間だけアクティブマトリクス基板におけるデータ信号線が互いに短絡されることにより、データ信号線間で電荷の移動（チャージシェア）が行われる。これにより、データ信号線駆動回路の消費電力が低減されると共に、画素データ書込に対応する画素容量の充電の前に各データ信号線が中間電位となる。このようなチャージシェア動作と画素容量における充電電荷の黒挿入のための放電とが相俟って、画素データ書込における画素容量の充電不足が確実に抑制されるので、表示品質を向上させることができる。

20

【 0 0 4 1 】

本発明の第 11 の局面によれば、データ信号は所定数のデータ信号線毎に極性が反転する電圧信号として生成され、1 水平期間毎の所定期間にアクティブマトリクス基板上のデータ信号線が互いに短絡される。これにより 1 水平期間毎にデータ信号線間で電荷の移動が行われるので、2 以上の所定数の水平期間毎にデータ信号の極性が反転する場合であっても、画素データ書込における画素容量の充電不足を抑制しつつ充電条件を均一化することができ、横筋ムラの発生を確実に防止することができる。

【 0 0 4 2 】

本発明の第 12 の局面によれば、アクティブマトリクス基板上のデータ信号線が互いに短絡されている時（チャージシェア期間）にそれらのデータ信号線に固定電位が与えられるので、表示階調によらずチャージシェア期間直後の各データ信号線の電位は常に同一となる。このことと画素容量における黒挿入のための放電とが相俟って、画素データ書込における画素容量の充電条件が均一化されるので、2 以上の所定数の水平期間毎にデータ信号の極性が反転する場合における横筋ムラの発生をより確実に防止することができる。

30

【 0 0 4 3 】

本発明の第 13 の局面によれば、保持容量線の電位に等しい固定電位がチャージシェア期間に各データ信号線に与えられるので、画素データ書込のための画素容量の充電開始時点において、当該画素容量を形成する画素電極の電位と当該画素容量の充電のためのデータ信号を伝達すべきデータ信号線の電位とが等しくなる。これにより、正負いずれの極性のデータ信号で画素容量を充電する場合であっても、充電条件を同一にすることができるので、2 以上の所定数の水平期間毎にデータ信号の極性が反転する場合における横筋ムラの発生を精度よく抑制することができる。なお、上記固定電位としては、共通電極に与えるべき共通電位、または、データ信号の最小値と最大値との間の中央値に相当する電位を使用することができる。

40

【 0 0 4 4 】

本発明の他の局面の効果については、本発明の上記局面の効果および下記実施形態についての説明から明らかであるので、説明を省略する。

【 図面の簡単な説明 】

【 0 0 4 5 】

【 図 1 】 本発明の第 1 の実施形態に係る液晶表示装置におけるアクティブマトリクス基板

50

のパターン構成の第 1 の例を示す平面図である。

【図 2】上記第 1 の実施形態におけるアクティブマトリクス基板のパターン構成の第 2 の例を示す平面図である。

【図 3】図 2 の A - A 線における断面図である。

【図 4】上記第 1 の実施形態におけるアクティブマトリクス基板のパターン構成の第 3 の例を示す平面図である。

【図 5】上記第 1 の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図 6】上記第 1 の実施形態におけるアクティブマトリクス基板の電氣的構成を示す等価回路図である。

【図 7】上記第 1 の実施形態に係る液晶表示装置におけるソースドライバの構成を示すブロック図である。 10

【図 8】上記ソースドライバの出力部の第 1 の構成例を示す回路図である。

【図 9】上記第 1 の実施形態に係る液晶表示装置の動作を説明するための信号波形図 (A ~ G) である。

【図 10】チャージシェア方式が採用された従来の 2 H ドット反転駆動の液晶表示装置におけるアクティブマトリクス基板の動作を説明するための詳細な信号波形図である。

【図 11】上記第 1 の実施形態におけるアクティブマトリクス基板の動作を説明するための詳細な信号波形図である。

【図 12】上記ソースドライバの出力部の第 2 の構成例を示す回路図である。

【図 13】上記ソースドライバの出力部の第 3 の構成例を示す回路図である。 20

【図 14】本発明の第 2 の実施形態に係る液晶表示装置の動作を説明するための信号波形図 (A ~ G) である。

【図 15】上記第 2 の実施形態におけるアクティブマトリクス基板の動作を説明するための詳細な信号波形図である。

【図 16】上記第 2 の実施形態の変形例におけるアクティブマトリクス基板の動作を説明するための詳細な信号波形図である。

【図 17】本発明の他の実施形態におけるアクティブマトリクス基板の動作を説明するための詳細な信号波形図である。

【図 18】本発明の他の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図 19】本発明に係るアクティブマトリクス基板を使用したテレビジョン受信機用の表示装置の構成例を示すブロック図である。 30

【図 20】本発明に係るアクティブマトリクス基板を使用したテレビジョン受信機のチューナ部を含めた全体構成を示すブロック図である。

【図 21】上記テレビジョン受信機の機械的構成を示す分解斜視図である。

【図 22】ホールド型表示装置での動画表示における課題を説明するための図である。

【図 23】従来のアクティブマトリクス基板のパターン構成を示す部分平面図である。

【符号の説明】

【 0 0 4 6 】

- 1 0 ... 画素 T F T (画素スイッチング素子)
- 1 2 ... 放電用 T F T (放電用スイッチング素子)
- 1 2 d ... ドレイン電極
- 1 2 s ... ソース電極
- 1 4 ... ソース引き出し電極
- 1 6 a ~ 1 6 e ... (保持容量線の) 延伸部
- 1 0 0 ... 表示部
- 1 1 0 ... アクティブマトリクス基板
- 1 2 0 ... 対向基板
- 2 0 0 ... 表示制御回路
- 3 0 0 ... ソースドライバ (データ信号線駆動回路)
- 3 0 2 ... データ信号生成部

40

50

3 0 4	... 出力部	
4 1 0	... 画素ゲートドライバ（画素走査信号線駆動回路）	
4 2 0	... 放電用ゲートドライバ（放電用走査信号線駆動回路）	
6 0 0	... 共通電極・保持容量線駆動回路 （共通電位供給部、保持容量線電位供給部）	
6 1 0	... 共通電極駆動回路（共通電位供給部）	
6 2 0	... 保持容量線駆動回路（保持容量線電位供給部）	
C l c	... 液晶容量	
C c s	... 保持容量	
E p	... 画素電極	10
E c	... 共通電極	
S W a	... 第 1 の M O S トランジスタ	
S W b , S W c	... 第 2 の M O S トランジスタ	
S L i	... ソースライン（データ信号線）（ $i = 1, 2, \dots, N$ ）	
G L j	... 画素ゲートライン（画素走査信号線）（ $j = 1, 2, \dots, M$ ）	
G d L j	... 放電用ゲートライン（放電用走査信号線）（ $j = 1, 2, \dots, M$ ）	
C s L	... 保持容量線	
S (i)	... データ信号（ $i = 1, 2, \dots, N$ ）	
G (j)	... 画素走査信号（ $j = 1, 2, \dots, M$ ）	
G d (j)	... 放電用走査信号（ $j = 1, 2, \dots, M$ ）	20
V c o m	... 共通電位（対向電圧）	
V S d c	... ソースセンター電位（データ信号の直流レベル）	
C s h	... チャージシェア制御信号	
P w	... 画素データ書込パルス	
P b	... 黒電圧印加パルス	
T s h	... チャージシェア期間	

【発明を実施するための最良の形態】

【0047】

以下、添付図面を参照して本発明の実施形態について説明する。

< 1 . 第 1 の実施形態 >

< 1 . 1 構成および動作 >

本発明に係るアクティブマトリクス基板を使用した液晶表示装置の一例を第 1 の実施形態として説明する。図 5 は、本実施形態に係る液晶表示装置の構成を示すブロック図である。図 6 は、本実施形態におけるアクティブマトリクス基板 1 1 0 の回路構成の第 1 の例を示す等価回路図であり、このアクティブマトリクス基板 1 1 0 の一部（隣接 4 画素に相当する部分）1 0 1 の電氣的構成を示している。

【0048】

この液晶表示装置は、アクティブマトリクス基板 1 1 0 を用いたアクティブマトリクス型の表示部 1 0 0 と、データ信号線駆動回路としてのソースドライバ 3 0 0 と、画素走査信号線駆動回路としての画素ゲートドライバ 4 1 0 と、放電用走査信号線駆動回路としての放電用ゲートドライバ 4 2 0 と、共通電位供給部および保持容量線電位供給部としての共通電極・保持容量線駆動回路 6 0 0 と、ソースドライバ 3 0 0 、画素ゲートドライバ 4 1 0 、放電用ゲートドライバ 4 2 0 、および共通電極・保持容量線駆動回路 6 0 0 を制御するための表示制御回路 2 0 0 とを備えている。

【0049】

上記液晶表示装置における表示部 1 0 0 は、液晶層を挟持する 1 対の電極基板からなり、各電極基板の外表面には偏光板が貼り付けられている。上記 1 対の電極基板の一方はアクティブマトリクス基板 1 1 0 である。図 5 および図 6 に示すように、このアクティブマトリクス基板 1 1 0 では、ガラス等の絶縁性基板上に、複数本（M 本）の画素走査信号線としての画素ゲートライン G L 1 ~ G L M と、それらの画素ゲートライン G L 1 ~ G L M

10

20

30

40

50

のそれぞれと交差する複数本（ N 本）のデータ信号線としてのソースライン $SL1 \sim SLN$ と、それらの画素ゲートライン $GL1 \sim GLM$ とソースライン $SL1 \sim SLN$ との交差点にそれぞれ対応して設けられた複数個（ $M \times N$ 個）の画素回路と、それらの画素ゲートライン $GL1 \sim GLM$ にそれぞれ対応する複数本（ M 本）の放電用ゲートライン $GdL1 \sim GdLM$ とが形成されている。各画素回路は、対応する交差点を通過する画素ゲートライン GLj にゲート端子が接続される共に当該交差点を通過するソースライン SLi にソース端子が接続されたスイッチング素子である TFT （以下「画素 TFT 」という） 10 と、その画素 $TFT10$ のドレイン端子（電極）に接続された画素電極 Ep とを含んでいる。

【0050】

10

一方、上記1対の電極基板の他方は対向基板 120 と呼ばれ、ガラス等の透明な絶縁性基板上に全面にわたって共通電極 Ec が形成されている。この共通電極 Ec は、上記複数個（ $M \times N$ 個）の画素回路に共通的に設けられている。そして、アクティブマトリクス基板 110 における各画素回路は、共通的に設けられた共通電極 Ec および液晶層と共に画素形成部を構成し、この画素形成部では、画素電極 Ep と共通電極 Ec とにより液晶容量 Clc が形成されている。また、この画素容量に確実に電圧を保持すべく、液晶容量 Clc に並列に保持容量 Ccs が設けられる。すなわち、アクティブマトリクス基板 110 では、各画素ゲートライン GLj に平行に保持容量線 CsL が配設されており、この保持容量線 CsL と絶縁膜等を挟んで対向する画素電極 Ep とによって上記保持容量 Ccs が形成されている。したがって、画素データとしてのデータ信号 $S(i)$ を書き込んで保持すべき容量（以下ではこの容量を「画素容量」と呼び、記号“ Cp ”で示すものとする）は、液晶容量 Clc と補助容量 Ccs とからなる。すなわち、これらの記号“ Cp ”、“ Clc ”、“ Ccs ”が容量値をも示すものとする、 $Cp = Clc + Ccs$ となる。

20

【0051】

さらに本実施形態では、図6に示すように、アクティブマトリクス基板 110 における各画素回路は、画素 $TFT10$ に加えて、放電用スイッチング素子としての TFT （以下「放電用 TFT 」という） 12 を含んでいる。このため、画素ゲートライン $GL1 \sim GLM$ とソースライン $SL1 \sim SLN$ との各交差点には、1つの画素回路が対応すると共に、その画素回路に含まれる画素電極 Ep 、画素 $TFT10$ および放電用 $TFT12$ も対応している。したがって、各画素電極 Ep には、1つの画素 $TFT10$ と1つの放電用 $TFT12$ が対応することになる。また、本実施形態では、各画素ゲートライン GLj には、それに対応する放電用ゲートライン $GdLj$ がそれに沿って配設されている。各放電用 $TFT12$ のゲート端子は、それに対応する画素 $TFT10$ のゲート端子に接続される画素ゲートライン GLj に対応する放電用ゲートライン $GdLj$ に接続され、各放電用 $TFT12$ のドレイン端子は、それに対応する画素電極 Ep に接続され、各放電用 $TFT12$ のソース端子は、それに対応する画素電極 Ep と補助容量を形成するように配設された保持容量線 CsL に接続されている。アクティブマトリクス基板 110 におけるいずれかの放電用ゲートライン $GdLj$ にアクティブな信号（ $TFT12$ をオンさせる電圧）が与えられると、アクティブな信号を与えられた放電用ゲートライン $GdLj$ に接続された放電用 $TFT12$ はオン状態となり、その放電用ゲートライン $GdLj$ が通過する各画素回路内の画素電極 Ep は、放電用 $TFT12$ を介して保持容量線 CsL に電氣的に接続（短絡）される。

30

40

【0052】

図5および図6に示すように、各画素形成部における画素電極 Ep には、後述のように動作するソースドライバ 300 および画素ゲートドライバ 410 により、表示すべき画像に応じた電位が与えられ、共通電極 Ec には、共通電極・保持容量線駆動回路 600 により所定電位が共通電位 $Vcom$ として与えられる（この共通電位 $Vcom$ は「対向電圧」または「共通電圧」とも呼ばれる）。これにより、画素電極 Ep と共通電極 Ec との間の電位差に応じた電圧が液晶に印加され、この電圧印加によって液晶層に対する光の透過量が制御されることで画像表示が行われる。ただし、液晶層への電圧印加によって光の透過

50

量を制御するためには偏光板が使用され、本実施形態に係る液晶表示装置では、ノーマリブラックとなるように偏光板が配置される。なお、図5に示すように、共通電極Ecに与えられる共通電位Vcomは保持容量線CSLおよびソースドライバ300にも与えられる。

【0053】

表示制御回路200は、外部の信号源から、表示すべき画像を表すデジタルビデオ信号Dvと、当該デジタルビデオ信号Dvに対応する水平同期信号HSYおよび垂直同期信号VSYと、表示動作を制御するための制御信号Dcとを受け取り、それらの信号Dv, HSY, VSY, Dcに基づき、そのデジタルビデオ信号Dvの表す画像を表示部100に表示させるための信号として、データスタートパルス信号SSPと、データクロック信号SCKと、チャージシェア制御信号Cshと、表示すべき画像を表すデジタル画像信号DA（ビデオ信号Dvに相当する信号）と、画素ゲートスタートパルス信号GSPと、画素ゲートクロック信号GCKと、画素ゲートドライバ出力制御信号GOEと、放電用ゲートスタートパルス信号GSPdと、放電用ゲートクロック信号GCKdと、放電用ゲートドライバ出力制御信号GOEdとを生成し出力する。より詳しくは、ビデオ信号Dvを内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号DAとして表示制御回路200から出力し、そのデジタル画像信号DAの表す画像の各画素に対応するパルスからなる信号としてデータクロック信号SCKを生成し、水平同期信号HSYに基づき1水平期間毎に所定期間だけハイレベル（Hレベル）となる信号としてデータスタートパルス信号SSPを生成し、垂直同期信号VSYに基づき1フレーム期間（1垂直走査期間）毎に所定期間だけHレベルとなる信号として画素ゲートスタートパルス信号GSPおよび放電用ゲートスタートパルス信号GSPdを生成し、水平同期信号HSYに基づき画素ゲートクロック信号GCKおよび放電用ゲートクロック信号GCKdを生成し、水平同期信号HSYおよび制御信号Dcに基づきチャージシェア制御信号Csh、画素ゲートドライバ出力制御信号GOEおよび放電用ゲートドライバ出力制御信号GOEdを生成する。

【0054】

上記のようにして表示制御回路200において生成された信号のうち、デジタル画像信号DAとチャージシェア制御信号Cshとデータスタートパルス信号SSPとデータクロック信号SCKとは、ソースドライバ300に入力され、画素ゲートスタートパルス信号GSPと画素ゲートクロック信号GCKと画素ゲートドライバ出力制御信号GOEとは、画素ゲートドライバ410に入力され、放電用ゲートスタートパルス信号GSPdと放電用ゲートクロック信号GCKdと放電用ゲートドライバ出力制御信号GOEdとは、放電用ゲートドライバ420に入力される。

【0055】

ソースドライバ300は、デジタル画像信号DAとデータスタートパルス信号SSPおよびデータクロック信号SCKに基づき、デジタル画像信号DAの表す画像の各水平走査線（各表示ライン）における画素値に相当するアナログ電圧としてデータ信号S(1)～S(N)を1水平期間毎（1H毎）に生成し、これらのデータ信号S(1)～S(N)をソースラインSL1～SLNにそれぞれ印加する。

【0056】

本実施形態では、液晶層への印加電圧の極性が1フレーム期間毎に反転されると共に各フレーム内においてn画素ゲートライン毎（nは2以上）かつ1ソースライン毎にも反転されるようにデータ信号S(1)～S(N)が出力される駆動方式すなわちnHドット反転駆動方式が採用されている。したがって、ソースドライバ300は、ソースラインSL1～SLNへの印加電圧の極性をソースライン毎に反転させ、かつ、各ソースラインSLiに印加されるデータ信号S(i)の極性をn水平期間毎に反転させる。ここで、ソースラインへの印加電圧の極性反転の基準となる電位は、データ信号S(1)～S(N)の直流レベル（直流成分に相当する電位）であり、この直流レベルは、一般的には共通電極Ecの直流レベルとは一致せず、各画素形成部における画素TF Tのゲート・ドレイン間の

寄生容量 C_{gd} による引き込み電圧 ΔV_d だけ共通電極 E_c の直流レベルと異なる。ただし、寄生容量 C_{gd} による引き込み電圧 ΔV_d が液晶の光学的しきい値電圧 V_{th} に対して十分に小さい場合には、データ信号 $S(1) \sim S(N)$ の直流レベルは共通電極 E_c の直流レベルに等しいとみなせるので、データ信号 $S(1) \sim S(N)$ の極性すなわちソースラインへの印加電圧の極性は共通電極 E_c の電位 V_{com} を基準として n 水平期間毎に反転すると考えてもよい。

【0057】

図7は、本実施形態におけるソースドライバ300の構成を示すブロック図である。このソースドライバ300は、データ信号生成部302と出力部304とから構成されている。データ信号生成部302は、データスタートパルス信号 SSP およびデータクロック信号 CLK に基づきデジタル画像信号 DA から、ソースライン $SL_1 \sim SL_N$ にそれぞれ対応するアナログ電圧信号 $d(1) \sim d(N)$ を生成する。このデータ信号生成部302の構成は、従来のソースドライバと同様であるので説明を省略する。出力部304は、データ信号生成部302で生成されるアナログ電圧信号 $d(i)$ をインピーダンス変換し、データ信号 $S(i)$ として出力する ($i = 1, 2, \dots, N$)。

【0058】

また、このソースドライバ300では、消費電力を低減するために、各データ信号 $S(i)$ ($i = 1, 2, \dots, N$) の極性が反転する時に所定期間（水平ブランキング程度の短い期間） T_{sh} だけ隣接ソースライン間が短絡されるチャージシェア方式が採用されている。このため、ソースドライバ300における出力部304は、図8に示すように構成されている。すなわち、この出力部304は、デジタル画像信号 DA に基づき生成されたアナログ電圧信号 $d(1) \sim d(N)$ を受け取り、これらのアナログ電圧信号 $d(1) \sim d(N)$ をインピーダンス変換することによって、ソースライン $SL_1 \sim SL_N$ で伝達すべき映像信号としてデータ信号 $S(1) \sim S(N)$ を生成し、このインピーダンス変換のための電圧ホロワとして N 個の出力バッファ31を有している。各バッファ31の出力端子にはスイッチング素子としての第1のMOS (Metal Oxide Semiconductor) トランジスタ SW_a が接続され、各バッファ31からのデータ信号 $S(i)$ は第1のMOSトランジスタ SW_a を介してソースドライバ300の出力端子から出力される ($i = 1, 2, \dots, N$)。また、ソースドライバ300の隣接する出力端子間は、スイッチング素子としての第2のMOSトランジスタ SW_b によって接続されている（これにより隣接ソースライン間が第2のMOSトランジスタ SW_b によって接続されることになる）。そして、表示制御回路200から入力されるチャージシェア制御信号 Csh が、上記の出力端子間の第2のMOSトランジスタ SW_b のゲート端子に与えられる。また、各バッファ31の出力端子に接続された第1のMOSトランジスタ SW_a のゲート端子には、インバータ33の出力信号すなわちチャージシェア制御信号 Csh の論理反転信号が与えられる。

【0059】

上記構成によれば、チャージシェア制御信号 Csh が非アクティブ（ローレベル）のときには、第1のMOSトランジスタ SW_a がオンし（導通状態となり）、第2のMOSトランジスタ SW_b がオフする（遮断状態となる）ので、各バッファ31からのデータ信号は、第1のMOSトランジスタ SW_a を介してソースドライバ300から出力される。一方、チャージシェア制御信号 Csh がアクティブ（ハイレベル）のときには、第1のMOSトランジスタ SW_a がオフし（遮断状態となり）、第2のMOSトランジスタ SW_b がオンする（導通状態となる）ので、各バッファ31からのデータ信号は出力されず（すなわちデータ信号 $S(1) \sim S(N)$ のソースライン $SL_1 \sim SL_N$ への印加は遮断され）、表示部100における隣接ソースラインが、第2のMOSトランジスタ SW_b を介して短絡される。

【0060】

本構成におけるソースドライバ300では、図9(A)に示すように、 n 水平期間 (nH) 毎、ここでは $n = 2$ である2水平期間 ($2H$) 毎に極性の反転する映像信号としてアナログ電圧信号 $d(i)$ が生成され、表示制御回路200では、図9(B)に示すように

10

20

30

40

50

、各アナログ電圧信号 $d(i)$ の極性が反転する時に 1 水平ブランキング期間程度の短い期間 T_{sh} だけハイレベル (H レベル) となるチャージシェア制御信号 C_{sh} が生成される。ここで、アナログ電圧信号 $d(i)$ の極性は、データ信号 $S(i)$ の最小値と最大値との間の中央値に相当するソースセンター電位 (データ信号 $S(i)$ の直流レベル) V_{Sdc} を基準として決定されるものとする。この点は以下においても同様であり、データ信号 $S(i)$ についても同様にして極性が決まるものとする。また、図 9 (B) に示すチャージシェア制御信号 C_{sh} が H レベルとなる期間 T_{sh} は、電荷再分配のために隣接データ信号線が短絡される期間であり、「チャージシェア期間」と呼ばれる。

【0061】

上記のように、ソースドライバ 300 では、チャージシェア制御信号 C_{sh} がローレベル (L レベル) のときには各アナログ電圧信号 $d(i)$ がデータ信号 $S(i)$ として出力され、チャージシェア制御信号 C_{sh} が H レベルのときには、データ信号 $S(1) \sim S(N)$ のソースライン $SL1 \sim SLN$ への印加が遮断されると共に隣接ソースラインが互いに短絡される。本構成では、 nH ドット反転駆動方式が採用されていることから隣接ソースラインの電圧は互いに逆極性であるため、各ソースライン SLi の電圧は、チャージシェア期間 T_{sh} において、正極性のデータ信号の電圧と負極性のデータ信号の電圧との間の或る中間電位に向かって変化する。

【0062】

本液晶表示装置では、各データ信号 $S(i)$ は、データ信号 $S(i)$ の直流レベルであるソースセンター V_{Sdc} を基準として極性が反転し、このソースセンター電位 V_{Sdc} は共通電位 V_{com} に近い値である。そして図 9 (C) に示すように、各データ信号 $S(i)$ は、チャージシェア期間 T_{sh} において、チャージシェア動作によりソースセンター電位 V_{Sdc} に等しくなる。ただし、ここでは理想的なデータ信号波形を記載しており、各データ信号 $S(i)$ の値すなわち各ソースライン SLi の電圧 V_s は、実際には後述の図 11 に示すように変化し、各チャージシェア期間 T_{sh} の終了時点には、ソースセンター電位 V_{Sdc} に概ね等しい値すなわち共通電位 V_{com} に近い電位となっている。なお、データ信号の極性反転時に隣接ソースラインを短絡することで各ソースライン SLi の電圧 V_s をデータ信号 $S(i)$ の直流レベル V_{Sdc} に概ね等しくするための構成は、図 8 に示した構成に限定されるものではない。

【0063】

画素ゲートドライバ 410 は、画素ゲートスタートパルス信号 GSP および画素ゲートクロック信号 GCK と、画素ゲートドライバ出力制御信号 GOE とに基づき、各データ信号 $S(1) \sim S(N)$ を各画素形成部 (の画素容量 C_p) に書き込むために、デジタル画像信号 DA の各フレーム期間 (各垂直走査期間) において画素ゲートライン $GL1 \sim GLM$ をほぼ 1 水平期間ずつ順次選択する。すなわち、画素ゲートドライバ 410 は、図 9 (D) および図 9 (F) に示すような画素データ書込パルス P_w を含む走査信号 $G(1) \sim G(M)$ を画素ゲートライン $GL1 \sim GLM$ にそれぞれ印加する。これにより、パルス P_w が印加されている画素ゲートライン GLj は選択状態となり、選択状態の画素ゲートライン GLj に接続された画素 $TFT10$ がオン状態となる (非選択状態の画素ゲートラインに接続された画素 $TFT10$ はオフ状態となる)。ここで、画素データ書込パルス P_w は水平期間 (1H) のうち表示期間に相当する有効走査期間で H レベルとなる。

【0064】

放電用ゲートドライバ 420 は、放電用ゲートスタートパルス信号 $GSPd$ および放電用ゲートクロック信号 $GCKd$ と、放電用ゲートドライバ出力制御信号 $GODE$ とに基づき、各画素形成部の画素容量 C_p に蓄積された電荷を放電させるために、各フレーム期間において放電用ゲートライン $GdL1 \sim GdLM$ をほぼ 1 水平期間ずつ順次選択する。すなわち、放電用ゲートドライバ 420 は、図 9 (E) および図 9 (G) に示すようなパルス P_b を含む放電用走査信号 $Gd(1) \sim Gd(M)$ を放電用ゲートライン $GdL1 \sim GdLM$ にそれぞれ印加する。これにより、パルス P_b が印加されている放電用ゲートライン $GdLj$ は選択状態となり、選択状態の放電用ゲートライン $GdLj$ に接続された放電

10

20

30

40

50

用 T F T 1 2 がオン状態となる（非選択状態の放電用ゲートラインに接続された放電用 T F T 1 2 はオフ状態となる）。本実施形態ではノーマリブラックモードで表示が行われるので、各放電用走査信号 G d (j) (j = 1 , 2 , … , M) のパルス P b による各画素容量 C p の放電は、黒表示に相当する電圧（以下「黒電圧」という）を各画素容量 C p に印加することを意味する。そこで以下では、このパルス P b を「黒電圧印加パルス」と呼ぶものとする。

【 0 0 6 5 】

各放電用ゲートライン G d L j に印加される放電用走査信号 G d (j) に含まれる黒電圧印加パルス P b は、当該放電用ゲートライン G d L j に対応する画素ゲートライン G L j に印加される画素走査信号 G (j) に含まれる画素データ書込パルス P w に対応している。そして、図 9 (D) ~ 図 9 (G) に示すように、各黒電圧印加パルス P b は、それに対応する画素データ書込パルス P w から所定期間 T d p だけ遅れて現れる。この所定時間 T d p は、画素データに相当する電圧が画素容量 C p に保持される期間であり、その長さは 1 フレーム期間 (1 V) よりも短く、例えば 2 / 3 フレーム期間程度である。以下では、この所定期間 T d p を「画像表示期間」という。

10

【 0 0 6 6 】

各画素形成部では、画素データ書き込みパルス P w によってその内部の画素 T F T 1 0 がオン状態である間、当該画素 T F T 1 0 のソース端子に接続されたソースライン S L i の電位が当該画素 T F T 1 0 を介して画素電極 E p に与えられる。これにより、ソースライン S L i の電圧としてのデータ信号 S (i) が当該画素電極 E p に対応する画素容量 C p に書き込まれる。その後、上記の画像表示期間 T d p が経過すると、当該画素形成部内の放電用 T F T 1 2 のゲート端子に黒電圧印加パルス P b が与えられ、これにより当該放電用 T F T 1 2 がオン状態である間、当該画素電極 E p は当該放電用 T F T 1 2 を介して保持容量線 C s L に接続（短絡）される。その結果、当該画素形成部内の画素容量 C p の蓄積電荷が放電され、当該画素容量 C p は黒電圧を印加された状態となる。

20

【 0 0 6 7 】

したがって、各画素形成部は、画像表示期間 T d p の間は、その内部の画素 T F T 1 0 を介して画素電極 E p に与えられるソースライン S L i の電位に対応する電圧を画素容量 C p に保持することで、デジタル画像信号 D A に基づく表示画素を形成する。一方、各画素形成部は、その内部の放電用 T F T 1 2 のゲート端子に与えられる放電用走査信号 G d (j) に黒電圧印加パルス P b が現れてから、その内部の画素 T F T 1 0 のゲート端子に与えられる画素走査信号 G (j) に次の画素データ書込パルス P w が現れるまでの期間 (1 フレーム期間から画像表示期間 T d p を除いた残りの期間) T b k は、その内部の画素容量 C p に黒電圧を保持することで黒の画素を形成する。その結果、当該放電用走査信号 G d (j) に対応する表示ラインは、その期間 T b k は黒表示となる（以下、この期間 T b k を「黒表示期間」という）。したがって本実施形態では、表示ライン毎に黒表示の期間が挿入されることで、駆動回路等の複雑化や動作周波数の増大を抑えつつ表示がインパルス化される。これにより、動画における尾引残像が抑制され、動画表示の性能が改善される。

30

【 0 0 6 8 】

共通電極・保持容量線駆動回路 6 0 0 は、表示制御回路 2 0 0 の制御の下に、所定の固定電位である共通電位 V c o m を、対向基板 1 2 0 における共通電極 E c に与えると共に、アクティブマトリクス基板 1 1 0 上の保持容量線 C s L にも与える。この共通電極・保持容量線駆動回路 6 0 0 は、共通電極 E c に共通電位 V c o m を与える共通電位供給部として機能すると共に、保持容量線 C s L に保持容量線電位として共通電位 V c o m を与える保持容量線電位供給部として機能している。なお、本実施形態では共通電位と保持容量線電位とは同一であるが、後述のように、これらの電位は異なってもよい。

40

【 0 0 6 9 】

< 1 . 2 作用および効果 >

図 1 0 は、チャージシェア方式が採用された 2 H ドット反転駆動の従来の液晶表示装置

50

におけるアクティブマトリクス基板の動作を示す詳細な信号波形図である。この従来の液晶表示装置では、各ソースライン $S L i$ の電位 $V s$ は、チャージシェア期間 $T s h$ 内にソースセンター電位 $V S d c$ に概ね等しくなる。しかし、画素走査信号 $G (j)$ における画素データ書込パルス $P w$ によって画素データ書込のための画素容量 $C p$ の充電が開始される前に、当該画素容量 $C p$ に対し、1フレーム期間前のソースライン $S L i$ の電位すなわち極性の異なるデータ信号 $S (i)$ の示す画素データが書き込まれている。このため、この画素データ書込パルス $P w$ による充電の開始時点 $t 1$ において、当該画素容量 $C p$ を形成する画素電極 $E p$ の電位 $V p (j , i)$ は、1フレーム期間前に書き込まれた画素データに対応する負極性の電位となっている。このため、表示の高解像化等によって1水平期間が短くなると、2H反転駆動における極性反転の単位である2ラインのうち1ライン目の画素電極 $E p$ の電位 $V p (j , i)$ は、図10に示すように、当該画素データ書込パルス $P w$ の期間（画素ゲートライン $G L j$ が選択状態となる期間）内に目標電位に到達せず、充電不足となる。

【0070】

上記極性反転の単位である2ラインのうち2ライン目の画素電極 $E p$ の電位 $V p (j + 1 , i)$ は、画素走査信号 $G (j + 1)$ の画素データ書込パルス $P w$ による充電の開始時点 $t 2$ において、同様に、1フレーム期間前に書き込まれた画素データに対応する負極性の電位となっている。しかし、ソースライン $S L i$ の電位 $V s$ は、この2ライン目の画素容量 $C p$ の充電開始時点 $t 2$ において既に目標電位となっている。したがって、当該2ライン目における画素電極 $E p$ の電位 $V p (j + 1 , i)$ は、当該画素データ書込パルス $P w$ の期間に目標電位に到達しないとしても、図10に示すように、上記1ライン目における画素電極 $E p$ の電位 $V p (j , i)$ よりも高くなる。

【0071】

このように、2Hドット反転駆動の従来の液晶表示装置では、チャージシェア方式を採用しても、表示の高解像度化等によって1水平期間が短くなると、極性反転の単位である2ラインのうちの1ライン目の画素容量の充電量と2ライン目の画素容量の充電量とに差が生じる。その結果、この差が輝度差となって現れ、ライン状の横筋ムラが視認されることがある。

【0072】

これに対し本実施形態では、図9(A)～9(C)に示すように、2Hドット反転駆動方式の液晶表示装置において上記従来例と同様にチャージシェア動作が行われることに加えて、図9(E)および9(G)に示すような黒電圧印加パルス $P b$ により、各画素電極 $E p$ が放電用 $T F T 1 2$ を介して保持容量線 $C s L$ に短絡される。保持容量線 $C s L$ には共通電位 $V c o m$ が与えられているので、これにより各画素容量 $C p$ は、画素データに相当するデータ信号 $S (i)$ （ソースライン $S L i$ の電位）で充電されてから2/3フレーム期間程度の画像表示期間 $T d p$ が経過した時点で放電される。その結果、極性反転の単位である2ラインのうち1ライン目の画素容量 $C p$ に対する充電が画素走査信号 $G (j)$ の画素データ書込パルス $P w$ により開始される時点 $t 1$ では、当該1ライン目における画素電極 $E p$ の電位 $V p (j , i)$ は、その時点 $t 1$ 以前における放電用走査信号 $G d (j)$ の黒電圧印加パルス $P b$ による当該画素容量 $C p$ の放電によって、保持容量線 $C s L$ の電位すなわち共通電位 $V c o m$ に等しくなっている。また、ソースライン $S L i$ の電位は、従来例と同様、チャージシェア動作によってソースセンター電位 $V S d c$ に概ね等しい電位（共通電位 $V c o m$ に近い電位）となっている。したがって、当該1ライン目における画素電極 $E p$ の電位 $V p (j , i)$ は、図11に示すように、画素データ書込パルス $P w$ の期間において目標電位に到達し、充電不足が抑制される。

【0073】

また、極性反転の単位である2ラインのうち2ライン目の画素容量 $C p$ に対する充電が画素走査信号 $G (j + 1)$ の画素データ書込パルス $P w$ により開始される時点 $t 2$ のにおいても、その時点 $t 2$ 以前における放電用走査信号 $G d (j + 1)$ の黒電圧印加パルス $P b$ による当該画素容量 $C p$ の放電によって、保持容量線 $C s L$ の電位すなわち共通電位 $V c$

10

20

30

40

50

omに等しくなっている。そして、ソースラインSLiの電位Vsは、この時点t2において既に目標電位となっている。したがって、当該2ライン目における画素電極Epの電位Vp(j+1,i)も、図11に示すように、上記1ライン目における画素電極Epの電位Vp(j,i)と同様、当該画素データ書込パルスPwの期間において目標電位に到達し、充電不足が抑制される。

【0074】

このように本実施形態によれば、2H反転駆動における極性反転の単位である2ラインのうちの1ライン目と2ライン目とは、画素容量Cpにおける充電開始時点t1、t2においてソースラインSLiの電位Vsが異なるが、画素電極Epの電位Vp(j,i)、Vp(j+1,i)は共に共通電位Vcomとなっている。このため、画素電極Epの電位Vp(j,i)、Vp(j+1,i)は、当該2ラインのいずれにおいても画素データ書込パルスPwによって目標電位に到達し、当該2ラインにおける1ライン目の画素容量の充電量と2ライン目の画素容量の充電量との間には実質的に差が生じず、ライン状の横筋ムラが視認されることはない。また、既述のように、黒電圧印加パルスPbによる画素容量Cpの放電によって表示ライン毎に黒表示期間Tbkが挿入されることにより、駆動回路等の複雑化や動作周波数の増大を抑えつつ表示がインパルス化される。これにより、動画における尾引残像を抑制し、動画の表示性能を改善することができる。このように本実施形態によれば、ホールド型の表示装置であるアクティブマトリクス型液晶表示装置において、駆動回路等の複雑化や動作周波数の増大を抑えつつ表示をインパルス化することで動画の表示性能を改善し、かつ、画素容量の充電特性の向上（充電量の差の抑制および充電不足の解消）により表示品質を高めることができる。

10

20

【0075】

なお、本実施形態ではドット反転駆動を前提としてチャージシェア方式が採用されているが、チャージシェア方式が採用されていない場合またはドット反転駆動が採用されていない場合であっても、基本的には同様の効果が得られる。ただし、画素容量の充電特性の改善の観点からはチャージシェア方式を採用するのが好ましい。

【0076】

< 1.3 アクティブマトリクス基板のパターン構成 >

次に、図1～図4を参照して、上記実施形態に係る液晶表示装置を実現するためのアクティブマトリクス基板110のパターン構成について説明する。

30

【0077】

図1は、本実施形態におけるアクティブマトリクス基板110のパターン構成の第1の例を示す平面図であって、6画素に相当する部分のパターン構成を示している。画素ゲートラインGLjとソースラインSLiの交差部近傍に画素TF T10が設けられている(i=1,2,...,N; j=1,2,...,M)。この例では、画素ゲートラインGLjが画素TF T10のゲート電極(端子)10gを兼ねており、画素TF T10のソース電極(端子)10sはソースラインSLiに接続され、ドレイン電極(端子)10dは、層間絶縁膜に設けられたコンタクトホール11を介して画素電極Epに接続されている。

【0078】

また、画素ゲートラインGLjに沿うように放電用ゲートラインGdLjが配置され、放電用ゲートラインGdLjの近傍には放電用TF T12が設けられている。この放電用TF T12のゲート電極(端子)12gは、放電用ゲートラインGdLjに接続されており、その放電用TF T12のソース電極(端子)12sは、ソース引き出し電極14およびコンタクトホール15を介して保持容量線CsLに接続されており、そのドレイン電極(端子)12dはコンタクトホール17を介して上記画素電極Epに接続されている。

40

【0079】

図1の例では、放電用TF T12のソース電極12sおよびドレイン電極12dにそれぞれ接続されているソース引き出し電極14およびドレイン引き出し電極13は、放電用ゲートラインGdLjと重ならない。このようにすれば、放電用TF T12のチャネル部で膜残り欠陥等により放電用TF T12が常時導通状態となった場合(TF T12の短絡

50

故障の場合)に、レーザ照射等によりソース引き出し電極 1 4 またはドレイン引き出し電極 1 3 を分断することで当該短絡故障の修正が可能となる。また、図 1 の例では、画素電極 E p が放電用ゲートライン G d L j および放電用 T F T 1 2 と重なっている。このパターン構成は、画素領域を広くすることができるので、開口率の向上に有効である。

【 0 0 8 0 】

なお、放電用 T F T 1 2 のソース電極 1 2 s およびドレイン電極 1 2 d とそれらの電極 1 2 s , 1 2 d にそれぞれ接続される電極は、ソースライン S L i と同一の材料で形成されるのが好ましい(パターン構成の他の例においても同様)。このようにすれば、放電用 T F T 1 2 のソース電極 1 2 s およびドレイン電極 1 2 d とそれらの電極 1 2 s , 1 2 d にそれぞれ接続される電極をソースライン S L i の形成工程において形成することができ、これらの電極を別途形成する必要がないからである。

10

【 0 0 8 1 】

図 2 は、本実施形態に係るアクティブマトリクス基板 1 1 0 のパターン構成の第 2 の例を示す平面図であって、2 画素に相当する部分のパターン構成を示している。図 3 は、図 2 の A - A 線における断面図である。この第 2 の例における構成要素のうち第 1 の例の構成要素と同一または対応するものについては同一の参照符号を付すものとし、以下では同一部分の説明を省略する。

【 0 0 8 2 】

この第 2 の例では、画素ゲートライン G L j (j = 1 , 2 , ... , M) に平行であって画素電極 E p の中央を通過するように配設された保持容量線 C s L が、各画素回路において、画素電極 E p の縁部(エッジ部)に沿ってソースライン S L i に平行に延びる 4 つの延伸部 1 6 a ~ 1 6 d を有している。これらの延伸部 1 6 a ~ 1 6 d は、画素電極 E p に対するソースライン S L 1 , S L 2 の電位変化の影響を抑制するためのシールド電極として機能する。これら 4 つの延伸部 1 6 a ~ 1 6 d のうち放電用ゲートライン G d L j に向かう延伸部 1 6 b , 1 6 c の両端部は、コンタクトホール 1 5 を介してソース引き出し電極 1 4 によって互いに接続され、そのソース引き出し電極 1 4 は放電用 T F T 1 2 のソース電極 1 2 s に接続されている。

20

【 0 0 8 3 】

すなわち、図 3 に示すように、透明性絶縁基板としてのガラス基板 2 0 上に保持容量線 C s L の延伸部 1 6 b , 1 6 c とシリコンナイトライド(S i N x) 等からなるゲート絶縁膜 2 2 が順に形成されており、その上に形成されたソース引き出し電極 1 4 が、ゲート絶縁膜 2 2 に設けられたコンタクトホール 1 5 を介して保持容量線 C s L の延伸部 1 6 b , 1 6 c と電氣的に接続されている。このソース引き出し電極 1 4 の上には、シリコンナイトライド等からなるパッシベーション膜としての層間絶縁膜 2 4 およびアクリル系感光性樹脂等からなる層間絶縁膜 2 6 が順に形成されており、更にその上に I T O (Indium Tin Oxide) 等からなる透明性電極として画素電極 E p が形成されている。

30

【 0 0 8 4 】

このようにして第 2 の例では、放電用ゲートライン G d L j に近接する位置に、当該放電用ゲートライン G d L j とは異なるレイヤーであるソース引き出し電極 1 4 が形成されている。これにより、保持容量線 C s L と放電用ゲートライン G d L j との短絡を抑制することができる。また、保持容量線 C s L の一部が異なるレイヤーで形成されることになるので、断線確率が低減される。

40

【 0 0 8 5 】

また、図 2 に示すように、この第 2 の例では、放電用ゲートライン G d L j が放電用 T F T 1 2 のゲート電極(端子)を兼ねており、この放電用 T F T 1 2 は、絶縁層を介して放電用ゲートライン G d L j に覆われている。アクティブマトリクス基板の製造時の歩留まりの点では、放電用 T F T 1 2 とそのソース引き出し電極およびドレイン引き出し電極が放電用ゲートライン G d L j と重ならない上記第 1 の例が有利であるが、開口率の点ではこの第 2 の例が有利である。

【 0 0 8 6 】

50

図4は、本実施形態に係るアクティブマトリクス基板110のパターン構成の第3の例を示す平面図であり、2画素に相当する部分のパターン構成を示している。この第3の例における構成要素のうち第1または第2の例の構成要素と同一または対応するものについては同一の参照符号を付すものとし、以下では同一部分についての詳しい説明を省略する。

【0087】

この第3の例では、上記第2の例と同様、画素電極E_pの電位に対するソースラインS_{L1}, S_{L2}の電位変化の影響を抑制すべく、保持容量線C_{sL}が、各画素回路において、画素電極E_pの縁部に沿ってソースラインS_{Li}に平行に延びる4つの延伸部16a~16dを有している。これらの延伸部16a~16dのうち画素ゲートラインG_{Lj}に向かって延びる延伸部16a, 16dは、画素電極E_pの縁部に沿って画素ゲートラインG_{Lj}に平行に延びる電極（以下「水平延伸部」という）16eによって互いに接続され、この水平延伸部16eと共に保持容量線C_{sL}に一体化したパターンとして形成されている。この水平延伸部16eは、画素電極E_pの電位に対する画素ゲートラインG_{Lj}の電位変化の影響を抑制するためのシールド電極として機能する。また、放電用ゲートラインG_{dLj}に向かう延伸部16b, 16cの両端部は、上記第2の例と同様、コンタクトホール15を介してソース引き出し電極14によって互いに接続され、そのソース引き出し電極14は放電用TF_T12のソース電極12sに接続されている。

【0088】

この第3の例では、このようにして画素電極E_pの縁部に沿って形成された保持容量線C_{sL}の5つの延伸部16a~16eとソース引き出し電極14とによって環状の構造体が構成されている。このような環状の構造体が保持容量線C_{sL}の一部として形成されることにより、画素電極E_pとソースラインS_{Li}によって形成される寄生容量、および、画素電極E_pと画素ゲートラインG_{Lj}によって形成される寄生容量を低減し、表示品質を向上させることができる。

【0089】

なお、上記のように保持容量線C_{sL}は水平延伸部16eを有することから、画素TF_T10のドレイン電極10dは、ドレイン引き出し電極18およびコンタクトホール11を介して画素電極E_pの中央部で当該画素電極E_pに接続されている。また、ドレイン引き出し電極18は、この接続箇所において保持容量線C_{sL}と対向する部分19を有しており、この部分19が保持容量電極として絶縁膜を介して保持容量線C_{sL}と対向することにより保持容量C_{cs}が形成されている。

【0090】

< 1.4 ソースドライバの他の構成例 >

既述のように本実施形態では、ソースドライバ300の出力部304は、図8に示すように構成されている（以下、図8に示す構成を「第1の構成例」という）。この構成では、各ソースラインS_{Li}の電位V_sは、チャージシェア期間T_{sh}において、ソースセンター電位V_{SDC}に近い中間電位に向かって変化するが、チャージシェア期間T_{sh}において完全にソースセンター電位V_{SDC}または共通電位V_{COM}に到達することは保証されない。しかし、図11からわかるように、充電特性の向上の観点から、チャージシェア期間T_{sh}において各ソースラインS_{Li}の電位V_sを共通電位V_{COM}またはソースセンター電位V_{SDC}に到達させるのが好ましい。

【0091】

図12は、チャージシェア期間T_{sh}において各ソースラインS_{Li}の電位V_sを共通電位V_{COM}に到達させるためのソースドライバ300の出力部304の構成例（以下「第2の構成例」という）を示す回路図である。この構成例による出力部304における構成要素のうち第1の構成例におけるものと同一の構成要素については、同一の参照符号を付して説明を省略する。

【0092】

本構成例による出力部304も、第1の構成例と同様、各ソースラインS_{Li} (i = 1

、2、...、N）に対しスイッチング素子としての第2のMOSトランジスタSWcが1個ずつ設けられている。しかし、第1の構成例では、隣接ソースライン間に1個ずつ第2のMOSトランジスタSWbが挿入されるようにスイッチ回路が構成されるのに対し、本構成例では、ソースドライバ300がその外部から共通電位Vcomを受け取るための入力端子（以下「共通電位入力端子」という）を有し、その共通電位入力端子と各ソースラインSLiとの間に1個ずつ第2のMOSトランジスタSWcが挿入されるようにスイッチ回路が構成される。すなわち本構成例では、各ソースラインSLiに接続されるべきソースドライバの出力端子は、これら第2のMOSトランジスタSWcのいずれか1つを介して共通電位入力端子に接続されている。そして、これら第2のMOSトランジスタSWcのゲート端子のいずれにもチャージシェア制御信号Cshが与えられる。

10

【0093】

上記のような第2の構成例によれば、チャージシェア制御信号Cshに基づき、チャージシェア期間Tsh以外（の有効走査期間）では、データ信号生成部302で生成されたアナログ電圧信号d（1）～d（N）がバッファ31を介してデータ信号S（1）～S（N）として出力されてソースラインSL1～SLNに印加され、チャージシェア期間Tshでは、データ信号S（1）～S（N）のソースラインSL1～SLNへの印加が遮断されると共に全ソースラインSL1～SLNが共通電位入力端子に接続される。したがって、チャージシェア期間Tshでは、ソースラインSL1～SLNが互いに短絡されることによるチャージシェア動作と共通電位入力端子を介した共通電位Vcomの供給とにより、各ソースラインSLiが共通電位Vcomとなる。よって、この第2の構成例によるソースドライバを使用すれば、各ソースラインSLiの電位は表示階調によらず各チャージシェア期間Tshにおいて常に共通電位Vcomとなり、黒電圧印加パルスPbによる画素容量の放電と相俟って充電不足が確実に抑制され充電特性がさらに改善される。その結果、第1の構成例によるソースドライバを使用する場合に比べ、2H反転駆動等における横筋ムラの発生をより確実に防止することができる。

20

【0094】

なお、上記のような第2の構成例の場合、保持容量線Cslに与えられる電位に等しい固定電位（Vcom）がチャージシェア期間Tshに各データ信号線に与えられるので、画素データ書込のための画素容量Cpの充電開始時点において、当該画素容量Cpを形成する画素電極Epの電位と当該画素容量Cpの充電のためのデータ信号S（i）を伝達すべきソースラインSLiの電位とが等しくなる。これにより、正負いずれの極性のデータ信号で画素容量を充電する場合であっても、充電条件を同一にすることができる。その結果、nHドットライン反転駆動（n＝2）の場合において横筋ムラの発生を精度よく抑制することができる。なお、上記固定電位としては、共通電位Vcomに代えて下記の第3の構成のようにソースセンター電位VSdcを使用してもよい。

30

【0095】

図13は、ソースドライバ300の出力部304の第3の構成例を示す回路図である。この第3の構成例による出力部304は、第2の構成例と同様に、N個の第1のMOSトランジスタSWa、N個の第2のMOSトランジスタSWc、およびインバータ33を備える。しかし、この出力部304は、共通電位入力端子に代えて、ソースセンター電位VSdcを供給するチャージシェア電圧固定用電源35（以下、単に「固定電源」ともいう）を備え、各出力端子は、N個の第2のMOSトランジスタSWcのいずれか1つを介して固定電源35に接続されている。その他は第2の構成例と同様の構成となっている。

40

【0096】

上記のような第3の構成例によれば、チャージシェア制御信号Cshに基づき、チャージシェア期間Tsh以外（の有効走査期間）では、データ信号生成部302で生成されたアナログ電圧信号d（1）～d（N）がバッファ31を介してデータ信号S（1）～S（N）として出力されてソースラインSL1～SLNに印加され、チャージシェア期間Tshでは、データ信号S（1）～S（N）のソースラインSL1～SLNへの印加が遮断されると共に全ソースラインSL1～SLNが固定電源35に接続される。したがって、

50

ャージシエア期間 T_{sh} では、ソースライン $SL_1 \sim SL_N$ が互いに短絡されることにより、各ソースライン SL_i がソースセンター電位 V_{SDC} となる。よって、この第3の構成例によるソースドライバを使用すれば、各ソースライン SL_i の電位は表示階調によらず各チャージシエア期間 T_{sh} において常にソースセンター電位 V_{SDC} となり、黒電圧印加パルス P_b による画素容量の放電と相俟って充電不足が確実に抑制され充電特性がさらに改善される。その結果、第1の構成例によるソースドライバを使用する場合に比べ、2H反転駆動等における横筋ムラの発生をより確実に防止することができる。

【0097】

< 2. 第2の実施形態 >

次に、本発明に係るアクティブマトリクス基板を使用した液晶表示装置の他の例を第2の実施形態として説明する。本実施形態に係る液晶表示装置は、表示制御回路によって生成されるチャージシエア制御信号 C_{sh} が異なる点を除き、上記第1の実施形態と同様の構成を有しているので、同一または対応する部分には同一の参照符号を付して詳しい説明を省略する。なお以下では、ソースドライバ300の出力部304は、図12に示すように構成されており（第2の構成例）、チャージシエア制御信号 C_{sh} がHレベルのときに即ちチャージシエア期間 T_{sh} において各ソースライン SL_i ($i = 1, 2, \dots, N$) に共通電位 V_{com} が与えられるものとする。

【0098】

図14は、本実施形態に係る液晶表示装置の動作を説明するための信号波形図である。この液晶表示装置も、第1の実施形態と同様、2Hドット反転駆動方式が採用されており、ソースドライバ300のデータ信号生成部302は、映像信号として図14(A)に示すアナログ電圧信号 $d(1) \sim d(N)$ を生成する。これらのアナログ電圧信号 $d(1) \sim d(N)$ はソースドライバ300の出力部304に与えられる（図7参照）。

【0099】

本実施形態における表示制御回路200は、チャージシエア制御信号 C_{sh} として図14(B)に示すような信号を生成する。このチャージシエア制御信号 C_{sh} は、画像表示の水平ブランキング期間に相当する期間で1水平期間毎にHレベルとなり、この点で、アナログ電圧信号 $d(i)$ もしくはデータ信号 $S(i)$ の極性が反転する時にのみHレベルとなる第1の実施形態におけるチャージシエア制御信号 C_{sh} （図9(B)）と相違する。

【0100】

ソースドライバ300における出力部304は、図12に示すように構成されているので、このようなチャージシエア制御信号 C_{sh} に基づき、上記アナログ電圧信号 $d(1) \sim d(N)$ から図14(C)に示すようなデータ信号 $S(1) \sim S(N)$ を生成し、これらのデータ信号 $S(1) \sim S(N)$ をソースライン $SL_1 \sim SL_N$ にそれぞれ印加する。このように本実施形態では、チャージシエア期間 T_{sh} が1水平期間毎に設けられており、そのチャージシエア期間 T_{sh} の間、各ソースライン SL_i が互いに短絡されると共に各ソースライン SL_i に共通電位 V_{com} が与えられる ($i = 1, 2, \dots, N$)。なお、チャージシエア期間 T_{sh} 以外の期間では、上記のアナログ電圧信号 $d(1) \sim d(N)$ がデータ信号 $S(1) \sim S(N)$ としてソースライン $SL_1 \sim SL_N$ にそれぞれ印加される。

【0101】

画素ゲートドライバ410は、第1の実施形態と同様、図14(D)および図14(F)に示すような画素走査信号 $G(1) \sim G(M)$ を生成し、これらの画素走査信号 $G(1) \sim G(M)$ を画素ゲートライン $GL(1) \sim GL(M)$ にそれぞれ印加する。放電用ゲートドライバ420も、第1の実施形態と同様、図14(E)および図14(G)に示すような放電用走査信号 $Gd(1) \sim Gd(M)$ を生成し、これらの放電用走査信号 $Gd(1) \sim Gd(M)$ を放電用ゲートライン $GdL(1) \sim GdL(M)$ にそれぞれ印加する。

。

10

20

30

40

50

【 0 1 0 2 】

上記のような液晶表示装置の動作により、第 1 の実施形態と同様、表示ライン毎に黒表示の期間が挿入されることで、駆動回路等の複雑化や動作周波数の増大を抑えつつ表示がインパルス化され、その結果、動画における尾引残像が抑制され、動画表示の性能が改善される。これに加え本実施形態では、チャージシェア制御信号 Csh に基づくソースドライバ 300 の出力部 304 の動作により、画素容量 Cp の充電特性が更に改善される。この詳細につき以下に説明する。

【 0 1 0 3 】

図 15 は、本実施形態に係る液晶表示装置におけるアクティブマトリクス基板の動作を示す詳細な信号波形図である。図 15 に示すように本実施形態では、1 水平期間毎にチャージシェア期間 Tsh が設けられており、チャージシェア期間 Tsh の終了時点で各ソースライン SLi が共通電位 $Vcom$ となる。また、第 1 の実施形態と同様、各画素容量 Cp は、画素データ書込パルス Pw によって充電が開始される前に、黒電圧印加パルス Pb によって放電されることで画素電極 Ep の電位 Vp も共通電位 $Vcom$ となっている。このようにして、2H 反転駆動における極性反転の単位である 2 ラインのうち 1 ライン目の画素容量 Cp および 2 ライン目の画素容量 Cp のいずれについても、それらの充電の開始時点 $t1$, $t2$ において、ソースライン SLi の電位は共に共通電位 $Vcom$ となり、画素電極 Ep の電位 $Vp(j, i)$, $Vp(j+1, i)$ も共に共通電位 $Vcom$ となっている。したがって、画素容量 Cp の充電不足が更に抑制される。しかも、当該 1 ライン目と 2 ライン目とで画素容量 Cp の充電開始時の条件（ソースラインの電位および画素電極の電位）が同一となっているので、当該 2 ラインにおける 1 ライン目の画素容量と 2 ライン目の画素容量についての充電量の差が確実に解消される。また、既述のように、黒電圧印加パルス Pb による画素容量 Cp の放電によって表示ライン毎に黒表示期間 Tbk が挿入されることにより、駆動回路等の複雑化や動作周波数の増大を抑えつつ表示がインパルス化される。このようにして本実施形態によれば、ホールド型の表示装置であるアクティブマトリクス型液晶表示装置において、駆動回路等の複雑化や動作周波数の増大を抑えつつ表示をインパルス化することで動画の表示性能を改善し、かつ、画素容量の充電特性を更に向上させることにより表示品質を高めることができる。

【 0 1 0 4 】

上記第 2 の実施形態では、ソースドライバ 300 の出力部 304 を図 12 に示すような構成とすることにより、チャージシェア期間 Tsh において各ソースライン SLi に共通電位 $Vcom$ が与えられるが、これに代えて、その出力部 304 を図 13 に示すような構成とすることにより、チャージシェア期間 Tsh において各ソースライン SLi にソースセンター電位 Vsd が与えられるようにしてもよい。この場合、アクティブマトリクス基板 110 におけるソースライン SLi の電位 Vs および画素電極 Ep の電位 $Vp(j, i)$, $Vp(j+1, i)$ は、画素容量 Cp が充電されるときに、図 16 に示すように変化する。

【 0 1 0 5 】

すなわち、2H 反転駆動における極性反転の単位である 2 ラインのうち 1 ライン目の画素容量 Cp および 2 ライン目の画素容量 Cp のいずれについても、それらの充電の開始時点 $t1$, $t2$ において、ソースライン SLi の電位は共に固定電位としてのソースセンター電位 Vsd となり、画素電極 Ep の電位 $Vp(j, i)$, $Vp(j+1, i)$ は共に共通電位 $Vcom$ となっている。したがって、充電開始時点 $t1$, $t2$ におけるソースライン SLi の電位と画素電極 Ep の電位とは若干異なるものの概ね等しい電位であり、当該 1 ライン目と 2 ライン目との間では、画素容量 Cp の充電開始時の条件（ソースラインの電位および画素電極の電位）は一致している。よって、上記のようにソースドライバ 300 の出力部 304 を図 12 に示すような構成とした場合であっても、上記第 2 の実施形態と同様の効果が得られる。

【 0 1 0 6 】

また、上記第 2 の実施形態において、ソースドライバ 300 の出力部 304 を、上記第

1の実施形態と同様、図8に示す構成(第1の構成例)としてもよい。充電特性の向上(充電不足の抑制および充電条件の均一化)の点では、当該構成よりも図12または図13に示す構成の方が好ましいが、上記第2の実施形態において当該構成を採用しても、上記第1の実施形態に比べ、充電条件が均一化され、横筋ムラの発生防止の点で有利である。

【0107】

<3. 他の実施形態および変形例>

上記第1および第2の実施形態では、2Hドット反転駆動方式が採用されていたが、本発明に係るアクティブマトリクス基板は、1Hドット反転駆動方式の液晶表示装置にも使用可能であり、ドット反転駆動方式でないライン反転駆動方式の液晶表示装置にも使用可能である。例えば1Hドット反転駆動方式の液晶表示装置に本発明に係るアクティブマトリクス基板を適用した場合、そのアクティブマトリクス基板におけるソースライン SL_i の電位 V_s および画素電極 E_p の電位 $V_p(j, i)$ 、 $V_p(j+1, i)$ は、画素容量 C_p が充電されるときに、図17に示すように変化する。ただし、図17に示した例では、チャージシェア期間 T_{sh} において、各ソースライン SL_i に固定電位としてのソースセンター電位 V_{SDC} が与えられるものとする。

【0108】

この場合、各ラインにおける画素容量 C_p の充電の開始時点において、ソースライン SL_i の電位は共に固定電位としてのソースセンター電位 V_{SDC} となり、画素電極 E_p の電位 $V_p(j, i)$ 、 $V_p(j+1, i)$ は共に共通電位 V_{COM} となる。したがって、高解像度化等によって1水平期間(充電に確保可能な時間)が短くなっても、画素容量 C_p の充電不足が抑制され、異なるライン間での画素容量の充電量差に起因するライン状の横筋ムラも抑制される。よって、上記第1および第2の実施形態と同様、駆動回路等の複雑化や動作周波数の増大を抑えつつ表示をインパルス化することで動画の表示性能を改善し、かつ、画素容量の充電特性を向上(充電量の差の抑制および充電不足の解消)させることで表示品質を高めることができる。

【0109】

また、上記第1および第2の実施形態では、アクティブマトリクス基板110における保持容量線 CSL に共通電極・保持容量線駆動回路600により共通電位 V_{COM} が与えられるが(図5)、図18に示すように、共通電極・保持容量線駆動回路600に代えて共通電極駆動回路610と保持容量線駆動回路620とを別々に設け、保持容量線 CSL に共通電位 V_{COM} 以外の電位(ただし、共通電位 V_{COM} に近い電位)を与えるようにしてもよい。図18に示した例では、保持容量線 CSL には保持容量線駆動回路620によりソースセンター電位 V_{SDC} が与えられる。なお、この例では、ソースドライバ300にもソースセンター電位 V_{SDC} が与えられ、チャージシェア期間 T_{sh} において、各ソースライン SL_i の電位 V_p はソースセンター電位 V_{SDC} となる(図16参照)。このような構成であっても、上記第2の実施形態と実質的に同様の効果が得られる。

【0110】

<4. テレビジョン受信機への適用>

次に、本発明に係るアクティブマトリクス基板をテレビジョン受信機に使用した例について説明する。図19は、テレビジョン受信機用の表示装置800の構成を示すブロック図である。この表示装置800は、Y/C分離回路80と、ビデオクロマ回路81と、A/Dコンバータ82と、液晶コントローラ83と、液晶パネル84と、バックライト駆動回路85と、バックライト86と、マイコン(マイクロコンピュータ)87と、階調回路88とを備えている。

【0111】

上記液晶パネル44は、本発明に係るアクティブマトリクス基板を使用した表示部と、その表示部を駆動するためのソースドライバ、画素ゲートドライバ、放電用ゲートドライバおよび共通電極・保持容量線駆動回路を含んでおり、その具体的な構成については、本発明の各実施形態や各変形例につき説明した何れの構成であってもよい(図5~図9、図11~図18参照)。

10

20

30

40

50

【 0 1 1 2 】

上記構成の表示装置 8 0 0 では、まず、テレビジョン信号としての複合カラー映像信号 S c v が外部から Y / C 分離回路 8 0 に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路 8 1 にて光の 3 原色に対応するアナログ R G B 信号に変換され、さらに、このアナログ R G B 信号は A / D コンバータ 8 2 により、デジタル R G B 信号に変換される。このデジタル R G B 信号は液晶コントローラ 8 3 に入力される。また、Y / C 分離回路 8 0 では、外部から入力された複合カラー映像信号 S c v から水平および垂直同期信号も取り出され、これらの同期信号もマイコン 8 7 を介して液晶コントローラ 8 3 に入力される。

【 0 1 1 3 】

液晶パネル 8 4 には、液晶コントローラ 8 3 からデジタル R G B 信号が、上記同期信号に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路 8 8 では、カラー表示の 3 原色 R , G , B それぞれの階調電圧が生成され、それらの階調電圧も液晶パネル 8 4 に供給される。液晶パネル 8 4 では、これらの R G B 信号、タイミング信号および階調電圧に基づき内部のソースドライバや画素ゲートドライバ、放電用ゲートドライバ等により駆動用信号（データ信号、画素走査信号、放電用走査信号等）が生成され、それらの駆動用信号に基づき（アクティブマトリクス基板を使用した）内部の表示部にカラー画像が表示される。なお、この液晶パネル 8 4 によって画像を表示するには、液晶パネル 8 4 の後方から光を照射する必要がある。この表示装置 8 0 0 では、マイコン 8 7 の制御の下にバックライト駆動回路 8 5 がバックライト 8 6 を駆動することにより、液晶パネル 8 4 の裏面に光が照射される。

【 0 1 1 4 】

上記の処理を含め、システム全体の制御はマイコン 8 7 が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この表示装置 8 0 0 では、様々な映像信号に基づいた画像表示が可能である。

【 0 1 1 5 】

上記構成の表示装置 8 0 0 でテレビジョン放送に基づく画像を表示する場合には、図 2 0 に示すように、当該表示装置 8 0 0 にチューナ部 9 0 が接続される。このチューナ部 9 0 は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号 S c v を取り出す。この複合カラー映像信号 S c v は、既述のように表示装置 8 0 0 に入力され、この複合カラー映像信号 S c v に基づく画像が当該表示装置 8 0 0 によって表示される。

【 0 1 1 6 】

図 2 1 は、上記構成の表示装置をテレビジョン受信機とするときの機械的構成の一例を示す分解斜視図である。図 2 1 に示した例では、テレビジョン受信機は、その構成要素として、上記表示装置 8 0 0 の他に第 1 筐体 8 0 1 および第 2 筐体 8 0 6 を有しており、表示装置 8 0 0 を第 1 筐体 8 0 1 と第 2 筐体 8 0 6 とで包み込むようにして挟持した構成となっている。第 1 筐体 8 0 1 には、表示装置 8 0 0 で表示される画像を透過させる開口部 8 0 1 a が形成されている。また、第 2 筐体 8 0 6 は、表示装置 8 0 0 の背面側を覆うものであり、当該表示装置 8 0 0 を操作するための操作用回路 8 0 5 が設けられると共に、下方に支持用部材 8 0 8 が取り付けられている。

【 0 1 1 7 】

以上のようなテレビジョン受信機によれば、液晶パネル 8 4 内のアクティブマトリクス基板や、ソースドライバ、画素ゲートドライバ、放電用ゲートドライバ等が上記第 1 もしくは第 2 の実施形態またはそれらの変形例と同様の構成となっているので、表示装置の駆動回路等の複雑化や動作周波数の増大を抑えつつ表示をインパルス化することで動画の表示性能を改善し、かつ、画素容量の充電特性の向上により表示品質を高めることができる

10

20

30

40

50

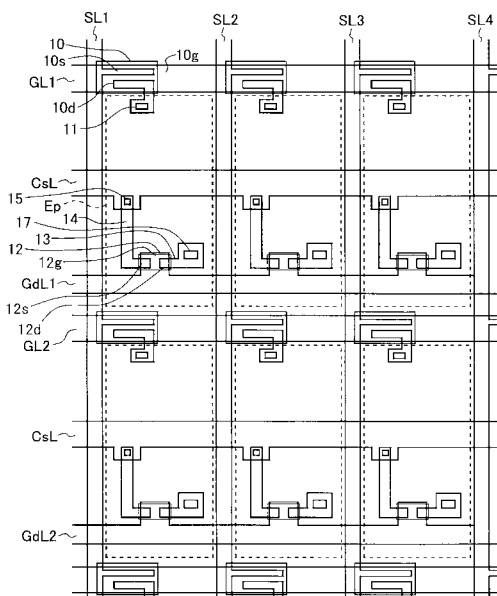
。

【産業上の利用可能性】

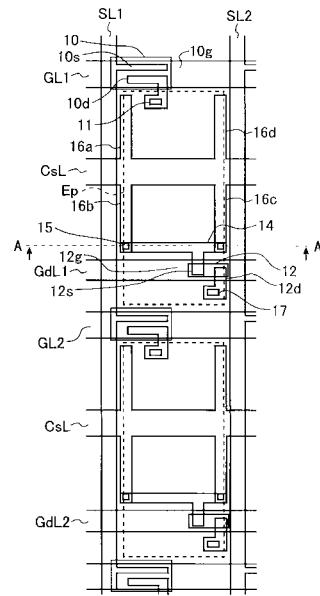
【0118】

本発明は、アクティブマトリクス基板またはそれを備えた表示装置に適用されるものであって、特に、アクティブマトリクス型の液晶表示装置およびそれに使用されるアクティブマトリクス基板に適している。

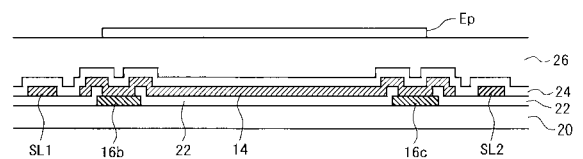
【図1】



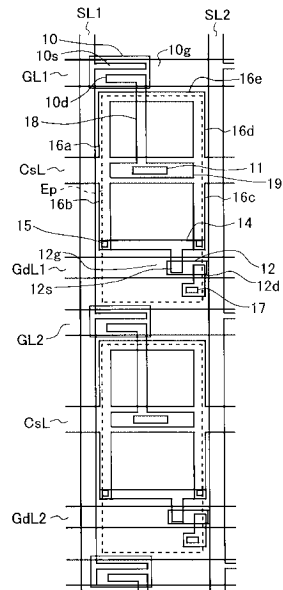
【図2】



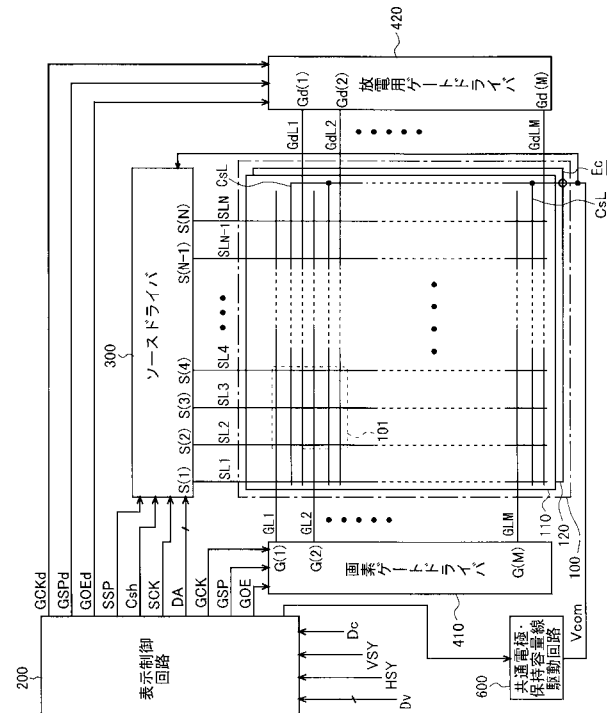
【図3】



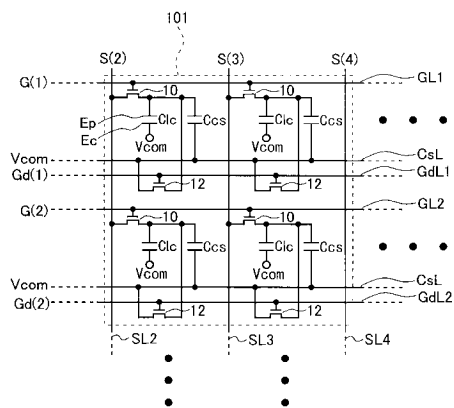
【 図 4 】



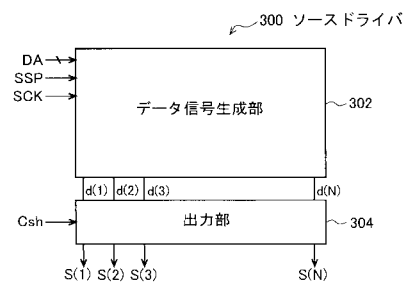
【 図 5 】



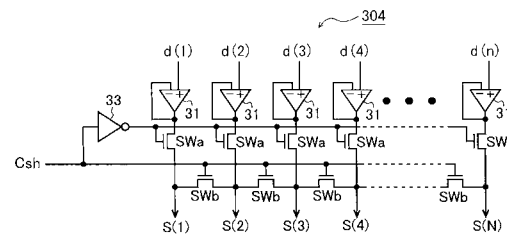
【 図 6 】



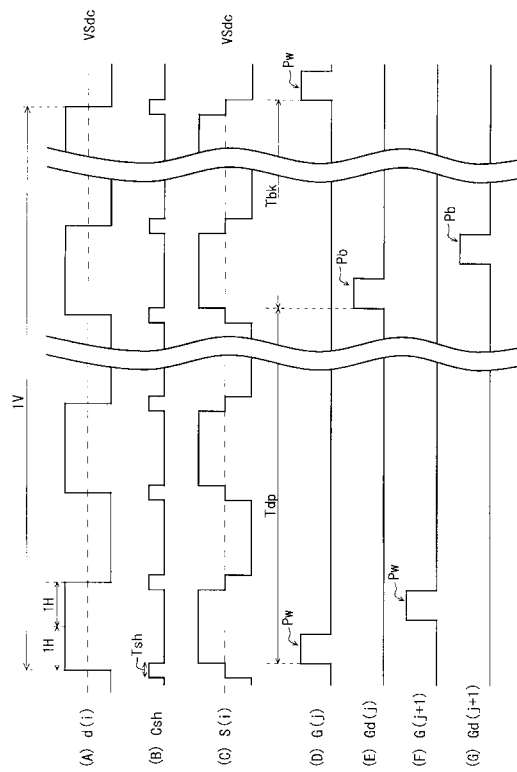
【 図 7 】



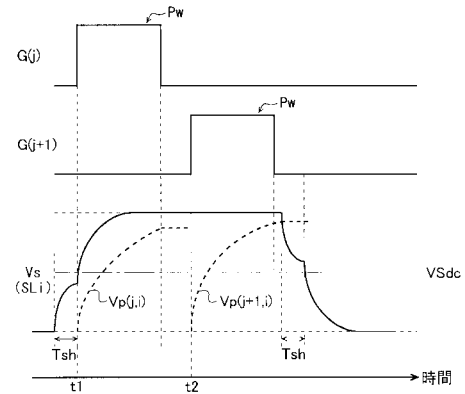
【 図 8 】



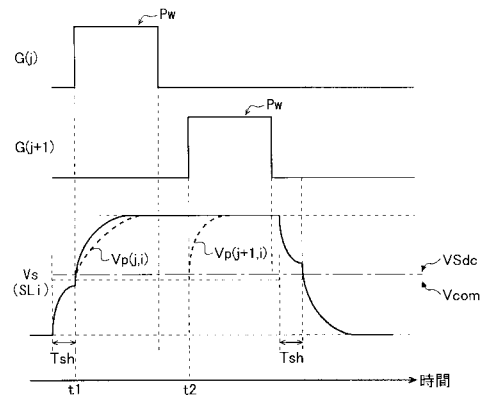
【図 9】



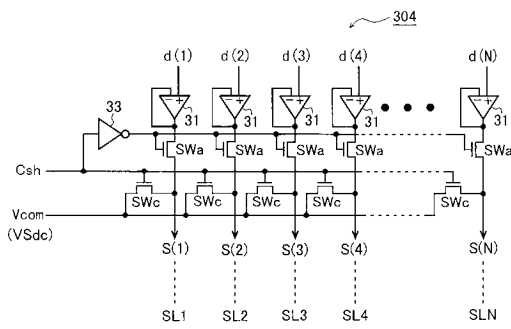
【図 10】



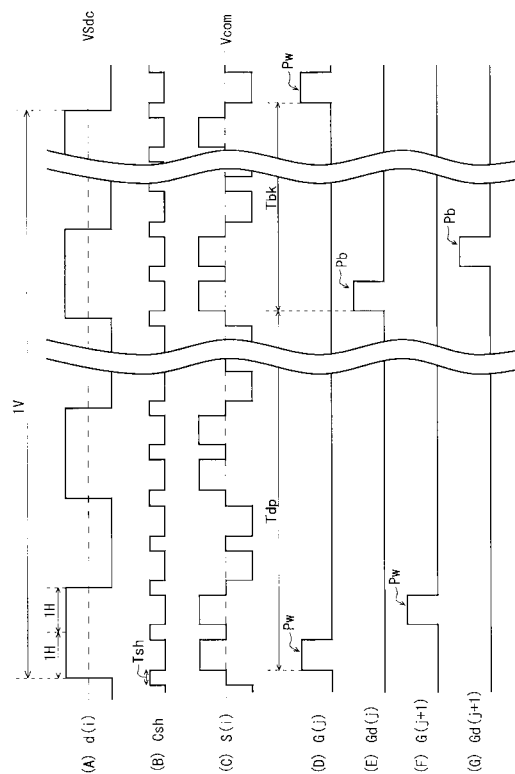
【図 11】



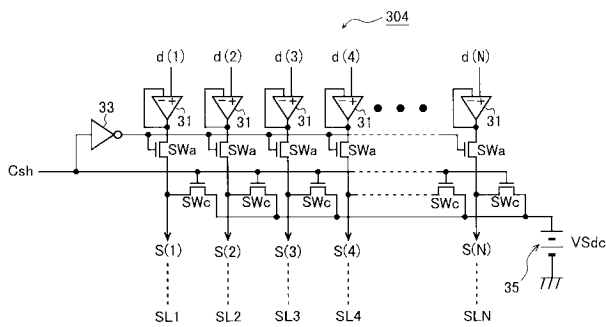
【図 12】



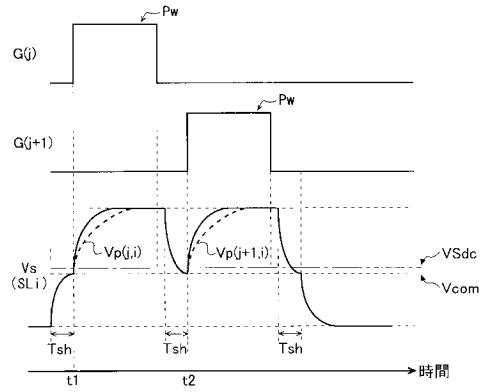
【図 14】



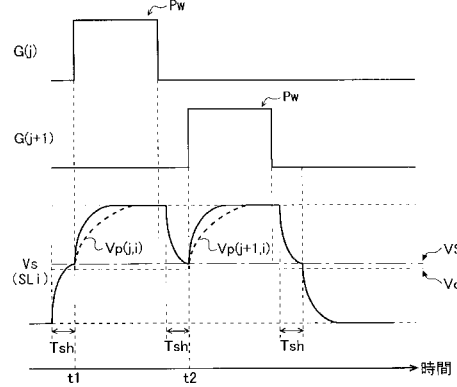
【図 13】



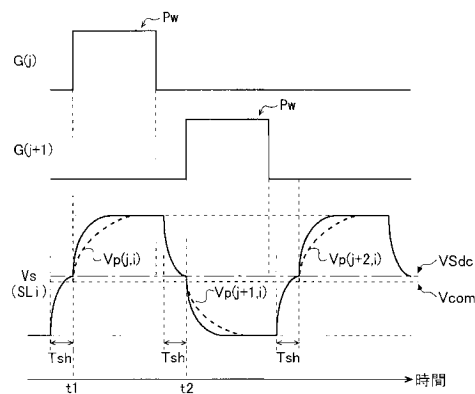
【図 15】



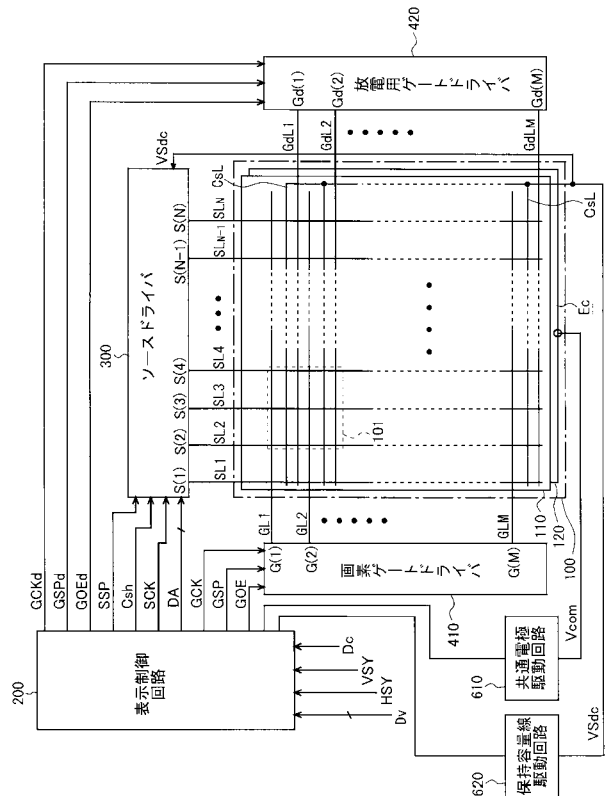
【図 16】



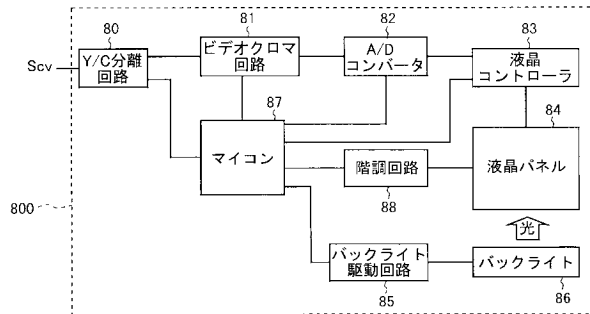
【図 17】



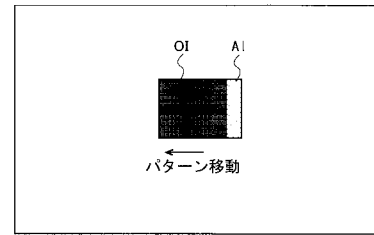
【図 18】



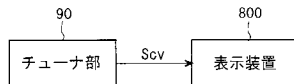
【図 19】



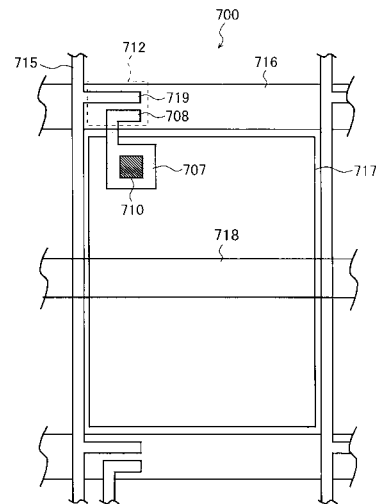
【図 22】



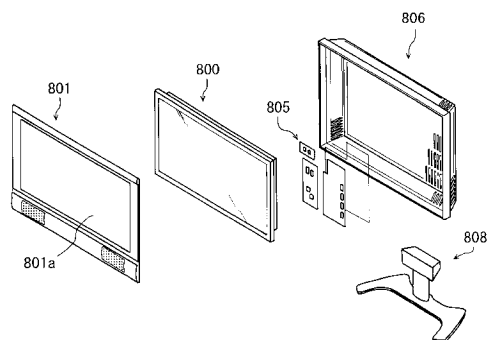
【図 20】



【図 23】



【図 21】



【手続補正書】

【提出日】平成21年2月18日(2009.2.18)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正の内容】

【0062】

本液晶表示装置では、各データ信号 $S(i)$ は、データ信号 $S(i)$ の直流レベルであるソースセンター電位 V_{SDC} を基準として極性が反転し、このソースセンター電位 V_{SDC} は共通電位 V_{COM} に近い値である。そして図9(C)に示すように、各データ信号 $S(i)$ は、チャージシェア期間 T_{sh} において、チャージシェア動作によりソースセンター電位 V_{SDC} に等しくなる。ただし、ここでは理想的なデータ信号波形を記載しており、各データ信号 $S(i)$ の値すなわち各ソースライン SL_i の電圧 V_s は、実際には後述の図11に示すように変化し、各チャージシェア期間 T_{sh} の終了時点には、ソースセンター電位 V_{SDC} に概ね等しい値すなわち共通電位 V_{COM} に近い電位となっている。なお、データ信号の極性反転時に隣接ソースラインを短絡することで各ソースライン SL_i の電圧 V_s をデータ信号 $S(i)$ の直流レベル V_{SDC} に概ね等しくするための構成は、図8に示した構成に限定されるものではない。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0111

【補正方法】変更

【補正の内容】

【0111】

上記液晶パネル 8 4 は、本発明に係るアクティブマトリクス基板を使用した表示部と、その表示部を駆動するためのソースドライバ、画素ゲートドライバ、放電用ゲートドライバおよび共通電極・保持容量線駆動回路を含んでおり、その具体的な構成については、本発明の各実施形態や各変形例につき説明した何れの構成であってもよい（図 5 ～ 図 9、図 1 1 ～ 図 1 8 参照）。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/062113

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 11-326957 A (Toshiba Corp.), 26 November, 1999 (26.11.99), Par. Nos. [0022], [0023], [0228] to [0245]; Figs. 20, 27, 28 & US 006046790 A1	1-8, 18 9-17, 19-21
X	JP 2001-331156 A (Hitachi, Ltd.), 30 November, 2001 (30.11.01), Par. Nos. [0035] to [0039]; Figs. 12, 13 & US 2002/0047818 A1 & TW 000508557 B	1, 18
Y	JP 11-352462 A (NEC Corp.), 24 December, 1999 (24.12.99), Fig. 5 (Family: none)	9-17, 19-21

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 August, 2007 (09.08.07)Date of mailing of the international search report
21 August, 2007 (21.08.07)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/062113

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-201974 A (Oki Electric Industry Co., Ltd.), 28 July, 2005 (28.07.05), Par. Nos. [0067] to [0070]; Figs. 6 to 8 & US 2005/0151714 A1	10-17, 20, 21

国際調査報告		国際出願番号 PCT/JP2007/062113	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/36, G02F1/133, G09G3/20			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	JP 11-326957 A (株式会社東芝)	1-8, 18	
Y	1999.11.26 段落0022, 0023, 0228-0245、図20, 27, 28 & US 006046790 A1	9-17, 19-21	
X	JP 2001-331156 A (株式会社日立製作所) 2001.11.30 段落0035-0039、図12, 13 & US 2002/0047818 A1 & TW 000508557 B	1, 18	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 09.08.2007		国際調査報告の発送日 21.08.2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 福村 拓 電話番号 03-3581-1101 内線 3226	2G 3308

国際調査報告		国際出願番号 PCT/J P 2 0 0 7 / 0 6 2 1 1 3
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 1 1 - 3 5 2 4 6 2 A (日本電気株式会社) 1 9 9 9 . 1 2 . 2 4 図 5 (ファミリーなし)	9 - 1 7 , 1 9 - 2 1
Y	J P 2 0 0 5 - 2 0 1 9 7 4 A (沖電気工業株式会社) 2 0 0 5 . 0 7 . 2 8 段落 0 0 6 7 - 0 0 7 0、図 6 - 8 & US 2 0 0 5 / 0 1 5 1 7 1 4 A 1	1 0 - 1 7 , 2 0 , 2 1

フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 6 0 V
G 0 9 G	3/20	6 8 0 H
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 5
H 0 4 N	5/66	1 0 2 B
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 4 2 A

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム(参考) 5C006 AA01 AA22 AC09 AC11 AC24 AC27 AF33 AF42 AF44 BB16
 BC03 BC06 FA12 FA22 FA29
 5C058 AA06 BA01 BA26
 5C080 AA10 BB05 CC03 DD05 DD08 DD28 EE19 GG08 JJ02 JJ03
 JJ04 JJ06 KK43

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有源矩阵基板和具有该基板的显示装置		
公开(公告)号	JPWO2008053612A1	公开(公告)日	2010-02-25
申请号	JP2008541999	申请日	2007-06-15
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	津幡俊英		
发明人	津幡 俊英		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G09G3/3648 G02F1/13624 G09G3/3614 G09G2310/0248 G09G2330/023		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.680.G G09G3/20.641.R G09G3/20.622.C G09G3/20.660.V G09G3/20.680.H G02F1/133.550 G02F1/133.525 H04N5/66.102.B G09G3/20.621.B G09G3/20.611.A G09G3/20.623.C G09G3/20.642.A		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZB02 2H193/ZB03 2H193/ZB06 2H193/ZC05 2H193/ZC25 2H193/ZD02 2H193/ZE02 2H193/ZE06 2H193/ZF22 2H193/ZF35 2H193/ZF36 5C006/AA01 5C006/AA22 5C006/AC09 5C006/AC11 5C006/AC24 5C006/AC27 5C006/AF33 5C006/AF42 5C006/AF44 5C006/BB16 5C006/BC03 5C006/BC06 5C006/FA12 5C006/FA22 5C006/FA29 5C058/AA06 5C058/BA01 5C058/BA26 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD08 5C080/DD28 5C080/EE19 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK43		
代理人(译)	岛田彰 川原贤治		
优先权	2006298440 2006-11-02 JP		
其他公开文献	JP4937271B2		
外部链接	Espacenet		

摘要(译)

旨在使显示装置能够在抑制驱动电路等的复杂性以及工作频率的增大的同时，使显示脉冲并改善像素电容的充电特性。在液晶显示装置的有源矩阵基板中，各像素电极（Ep）经由像素TFT（10）与源极线（SLi）连接，经由放电TFT（12）与辅助电容线（CsL）连接。。对于一帧周期，当像素TFTs（10）被像素导通时，由对应于每条显示线的像素电极（Ep）和公共电极（Ec）形成的液晶电容（Clc）被充电。像素栅极线（GLj）上的扫描信号（G（j）），然后当放电TFT（12）通过放电栅极线（GdLj）上的放电扫描信号（Gd（j））导通时被放电。源极线（SLi）受到2H点反转驱动，但每个水平周期均受电荷分配。

