

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5562544号
(P5562544)

(45) 発行日 平成26年7月30日 (2014. 7. 30)

(24) 登録日 平成26年6月20日 (2014. 6. 20)

(51) Int. Cl. F I
GO 2 F 1/1343 (2006. 01) GO 2 F 1/1343
GO 2 F 1/1368 (2006. 01) GO 2 F 1/1368

請求項の数 13 (全 17 頁)

(21) 出願番号 特願2008-257057 (P2008-257057)
(22) 出願日 平成20年10月2日 (2008. 10. 2)
(65) 公開番号 特開2009-163215 (P2009-163215A)
(43) 公開日 平成21年7月23日 (2009. 7. 23)
審査請求日 平成20年10月2日 (2008. 10. 2)
(31) 優先権主張番号 10-2007-0141816
(32) 優先日 平成19年12月31日 (2007. 12. 31)
(33) 優先権主張国 韓国 (KR)

前置審査

(73) 特許権者 501426046
エルジー ディスプレイ カンパニー リ
ミテッド
大韓民国 ソウル、ヨンドゥンポグ、ヨ
ウィーテロ 1 2 8
(74) 代理人 100110423
弁理士 曾我 道治
(74) 代理人 100111648
弁理士 梶並 順
(74) 代理人 100147566
弁理士 上田 俊一
(74) 代理人 100161171
弁理士 吉田 潤一郎
(74) 代理人 100117776
弁理士 武井 義一

最終頁に続く

(54) 【発明の名称】 液晶表示装置用アレイ基板

(57) 【特許請求の範囲】

【請求項 1】

画像が表示される表示領域と、リンク配線が設けられたリンク領域と前記リンク配線が接続されたパッドが設けられたパッド領域とを含む画像が表示されない非表示領域とに区
分された基板と、

前記基板上的の前記表示領域に設けられたアレイ素子と、

前記パッド領域に設けられた第 1 ～第 n パッド (n は自然数) と、

前記リンク領域に設けられ、前記アレイ素子と前記第 1 ～第 n パッド間に一対一に接続
された第 1 ～第 n リンク配線と

を備え、

前記第 1 ～第 (n / 2 - 1) リンク配線は、互いに平行に延長された斜線部を有し、第
p リンク配線の斜線部の幅は第 q リンク配線の斜線部の幅より広くて、前記第 p リンク配
線の斜線部の長さは前記 q リンク配線の斜線部の長さより長く、前記 p と q は (n / 2 -
1) ≥ k ≥ q > p ≥ 1 の関係を満たし、前記 k、p 及び q は自然数であり、

1 つのデータリンク配線の中心から次のデータリンク配線の中心までの距離で定義され
る前記第 1 ～第 k リンク配線の斜線部のリンクピッチは、前記第 1 リンク配線から前記第
k リンク配線に行くほど減少して、隣接したリンクピッチ間に公差値を有する等差数列を
なす

ことを特徴とする液晶表示装置用アレイ基板。

【請求項 2】

前記第1～第 $n/2-1$ リンク配線は、前記第 $n/2$ リンク配線を中心として、前記第 $(n/2+1) \sim n$ リンク配線と対称であることを特徴とする請求項1に記載の液晶表示装置用アレイ基板。

【請求項3】

前記第1～第 k リンク配線の斜線部は、均一な抵抗値を有することを特徴とする請求項1に記載の液晶表示装置用アレイ基板。

【請求項4】

前記第 $(k+1) \sim$ 第 $(n/2-1)$ リンク配線の斜線部は、等しい幅を有することを特徴とする請求項1に記載の液晶表示装置用アレイ基板。

【請求項5】

前記第 $(k+1) \sim$ 第 $(n/2-1)$ リンク配線の斜線部は、前記第 $(k+1)$ リンク配線から前記第 $(n/2-1)$ リンク配線に行くほど減少する幅を有することを特徴とする請求項1に記載の液晶表示装置用アレイ基板。

【請求項6】

前記第 $(k+1) \sim$ 第 $(n/2-1)$ リンク配線の隣接した斜線部間のリンク間隔は互いに同じであることを特徴とする請求項4に記載の液晶表示装置用アレイ基板。

【請求項7】

前記第 $(k+1) \sim$ 第 $(n/2-1)$ リンク配線の斜線部のリンク間隔は、前記第1～第 $n/2$ リンク配線の斜線部の平均ピッチより狭いことを特徴とする請求項4に記載の液晶表示装置用アレイ基板。

【請求項8】

前記第2～第 $(n/2-1)$ リンク配線は、前記斜線部の一端と前記第2～第 $(n/2-1)$ パッド間にそれぞれ連結された第1垂直部を含み、前記第2～第 $(n/2-1)$ リンク配線の第1垂直部は、等しい幅を有するとともに、前記第2リンク配線から前記第 $(n/2-1)$ リンク配線に行くほど増加する長さを有することを特徴とする請求項4に記載の液晶表示装置用アレイ基板。

【請求項9】

前記第2～第 $(n/2-1)$ リンク配線の隣接した第1垂直部間のリンク間隔は同じであることを特徴とする請求項8に記載の液晶表示装置用アレイ基板。

【請求項10】

前記第1～第 $(k-1)$ リンク配線は、前記斜線部の他端と前記アレイ素子間にそれぞれ連結された第2垂直部を含み、前記第1～第 $(k-1)$ リンク配線の第2垂直部は、前記第1リンク配線から前記第 $(k-1)$ リンク配線に行くほど減少する長さを有することを特徴とする請求項8に記載の液晶表示装置用アレイ基板。

【請求項11】

前記第1～第 $(k-1)$ リンク配線の隣接した前記第2垂直部間のリンク間隔は異なることを特徴とする請求項10に記載の液晶表示装置用アレイ基板。

【請求項12】

各前記斜線部の前記一端どうしを連結した第1線と各前記斜線部の前記他端どうしを連結した第2線とは曲線状に設けられていることを特徴とする請求項10に記載の液晶表示装置用アレイ基板。

【請求項13】

前記第1線は前記第2線より大きい傾斜を有することを特徴とする請求項12に記載の液晶表示装置用アレイ基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置用アレイ基板に関し、特に、非表示領域の全部分に対応したリンク配線の抵抗値を均一に確保できる液晶表示装置用アレイ基板に関する。

【背景技術】

10

20

30

40

50

【0002】

一般的に、平板型表示装置の一つである液晶表示装置は、陰極線管（Cathode Ray Tube：CRT）に比べて、高画質で、かつ、平均消費電力も同じ大きさの画面の陰極線管に比べて小さく、発熱量も少なくため、プラズマ表示装置や電界放出表示装置と共に、近年では、携帯電話やコンピュータのモニター、テレビの次世代表示装置としても脚光を浴びている。

【0003】

このような液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用するものである。液晶は、その構造が細くて長いため、分子の配列に方向性をもっており、人為的に液晶に電界を印加して分子配列の方向を制御することができる。

10

【0004】

したがって、液晶の分子配列方向を任意に調節すると、液晶の分子配列が変わるようになり、光学的異方性により、液晶の分子配列方向に光が屈折するので、これにより、画像情報を表現することができる。

【0005】

以下、添付した図面を参照して従来の液晶表示装置について説明する。

【0006】

図1は従来の液晶表示装置用アレイ基板を示した平面図である。

【0007】

図示したように、従来の液晶表示装置用アレイ基板10は画像を具現する表示領域AAと画像を具現しない非表示領域NAAに区分される。

20

【0008】

基板10上の表示領域AAには、図面上の水平方向に設けられ、スキャン信号が印加される第1～第mゲート配線GL1～GLmと、これらの第1～第mゲート配線GL1～GLmと垂直に交差して複数の画素領域Pをマトリックス状に定義し、データ信号が印加される第1～第nデータ配線DL1～DLnとが配置されている。

【0009】

第1～第mゲート配線GL1～GLmと第1～第nデータ配線DL1～DLnの交差点に対して、一対一に対応して、スイッチングの役割をする複数の薄膜トランジスタTが構成されており、また、薄膜トランジスタTと接触するように画素電極80が画素領域Pに対して、一対一に対応して、構成されている。

30

【0010】

また、第1～第mゲート配線GL1～GLmは、非表示領域NAAに設けられた第1～第mゲートリンク配線GLL1～GLLmを介して、第1～第mゲートパッドGP1～GPmに接続されている。一方、第1～第nデータ配線DL1～DLnは、非表示領域NAAに設けられた第1～第nデータリンク配線DLL1～DLLnを介して、第1～第nデータパッドDP1～DPnに接続されている。

【0011】

この時、第1～第mゲートパッドGP1～GPmと第1～第nデータパッドDP1～DPnは、それぞれの一部を露出する第1～第mゲートパッドコンタクトホール（図示せず）及び第1～第nデータパッドコンタクトホール（図示せず）を介して、画素電極80と同一層同一物質からなる第1～第mゲートパッド電極（図示せず）及び第1～第nデータパッド電極（図示せず）にそれぞれ接触される。

40

【0012】

このような第1～第mゲートパッド電極（図示せず）と第1～第nデータパッド電極（図示せず）はタブ（Tape Automated Bonding：TAB）実装工程を介して基板10の一側に付着されるゲート駆動回路部及びデータ駆動回路部（図示せず）と連結されるので、第1～第mゲートパッド電極（図示せず）と第1～第nデータパッド電極（図示せず）はゲート駆動回路部及びデータ駆動回路部（図示せず）からのスキャン信号及びデータ信号を第1～第mゲート配線GL1～GLmと第1～第nデータ配線D

50

L 1 ~ D L n にそれぞれ印加する役割をする。

【0013】

図2は、図1のA領域（すなわち、非表示領域N A Aにおけるデータリンク配線側）を拡大した図面であって、図3は、図2のA領域の左側半分を拡大した図面であり、以下では、これらを参照しながら詳細に説明する。

【0014】

図2及び図3に示したように、表示領域（図1のA A）と非表示領域N A Aとに区分した基板10上の非表示領域N A Aは、データパッド領域P Aとデータリンク領域L Aとに区分されている。データパッド領域P Aにおいては、第1～第nデータパッド電極D P 1 ~ D P n が、一定のパッドピッチP 1（パッド間隔P 1）で互いに離間されて配置されており、それらの第1～第nデータパッド電極D P 1 ~ D P n に対して一対一に対応して設けられた第1～第nデータリンク配線D L L 1 ~ D L L n は、表示領域（図1のA A）に設けられた第1～第nデータ配線（図1のD L 1 ~ D L n）にデータ信号を印加する役割をする。

10

【0015】

この時、第1～第nデータリンク配線D L L 1 ~ D L L n は、第1～第nデータパッド電極D P 1 ~ D P n から分岐した垂直部と、当該垂直部から斜線形態で延長された斜線部とを含む。

【0016】

この時、第1～第nデータリンク配線D L L 1 ~ D L L n は、全て、等しい幅Wを有するように設計されており、第1～第nデータリンク配線D L L 1 ~ D L L n 間の離間距離となるリンクピッチP 2（リンク間隔P 2）は垂直部と斜線部間に区分なく等間隔に設計される。

20

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかしながら、前述したような従来の構造においては、中央部に配置された第 $n/2$ データリンク配線D L L ($n/2$)を基準にして、第($n/2 - 1$)データリンク配線D L L ($n/2 - 1$)から第1データリンク配線D L L 1に行くほど、また同様に、第($n/2 + 1$)データリンク配線D L L ($n/2 + 1$)から第nデータリンク配線D L L nに行くほど、各データリンク配線の長さが長くならざるを得ない設計を有する。

30

【0018】

一般的に抵抗は長さに比例して断面積に反比例する。すなわち、配線の長さが長くなると電子が通り過ぎなければならない経路が長くなるため、その分だけ抵抗が大きくなる。

【0019】

この時、第1～第nデータリンク配線D L L 1 ~ D L L n の幅Wは全て一定であるため、第 $n/2$ データリンク配線D L L ($n/2$)を基準にすると、左端側近傍と右端側近傍に行くほど、そこに設けられたデータリンク配線の長さは長いため、その分だけ抵抗が大きくなるという問題点がある。

【0020】

40

特に、生産単価を下げるためにドライブI Cの個数を減らそうという研究が活発に進行しており、その場合には、液晶パネルが大型化されるほどデータリンク配線の数さらには増加するようになるだけでなく、左右端近傍に配設されたデータリンク配線の長さもさらに長くなるという結果をもたらす。

【0021】

さらに、高解像度モデルでは、データリンク配線の数が多くなるため、各データリンク配線間の離間距離であるリンクピッチP 2がより短くなって、その結果、中央部に配置されたデータリンク配線に比べて、左右端側に設けられたデータリンク配線の抵抗がさらに上昇するという結果をもたらしてしまい、信号伝達が遅延する等の未充電問題を誘発している。

50

【0022】

本発明は、かかる問題点を解決するためになされたものであり、リンク領域に対応した信号配線の設計を変更することにより、リンク領域の全域において均一な抵抗値を有するリンク配線を備えた液晶表示装置用アレイ基板を得ることを目的とする。

【課題を解決するための手段】

【0023】

この発明に係る液晶表示装置用アレイ基板は、画像が表示される表示領域と、リンク配線が設けられたリンク領域と前記リンク配線が接続されたパッドが設けられたパッド領域とを含む画像が表示されない非表示領域とに区分された基板と、前記基板上の前記表示領域に設けられたアレイ素子と、前記パッド領域に設けられた第1～第nパッド（nは自然数）と、前記リンク領域に設けられ、前記アレイ素子と前記第1～第nパッド間に一対一に接続された第1～第nリンク配線とを備え、前記第1～第 $(n/2-1)$ リンク配線は、互いに平行に延長された斜線部を有し、第pリンク配線の斜線部の幅は第qリンク配線の斜線部の幅より広くて、前記第pリンク配線の斜線部の長さは前記qリンク配線の斜線部の長さより長く、前記pとqは $(n/2-1) \geq k \geq q > p \geq 1$ の関係を満たし、前記k、p及びqは自然数であり、1つのデータリンク配線の中心から次のデータリンク配線の中心までの距離で定義される前記第1～第kリンク配線の斜線部のリンクピッチは、前記第1リンク配線から前記第kリンク配線に行くほど減少して、隣接したリンクピッチ間に公差値を有する等差数列をなすことを特徴とする。

10

20

【発明の効果】

【0024】

この発明は、画像が表示される表示領域と、リンク配線が設けられたリンク領域と前記リンク配線が接続されたパッドが設けられたパッド領域とを含む画像が表示されない非表示領域とに区分された基板と、前記基板上の前記表示領域に設けられたアレイ素子と、前記パッド領域に設けられた第1～第nパッド（nは自然数）と、前記リンク領域に設けられ、前記アレイ素子と前記第1～第nパッド間に一対一に接続された第1～第nリンク配線とを備え、前記第1～第 $(n/2-1)$ リンク配線は斜線部を有し、第pリンク配線の斜線部の幅は第qリンク配線の斜線部の幅より広くて、前記第pリンク配線の斜線部の長さは前記qリンク配線の斜線部の長さより長く、前記pとqは $(n/2-1) \geq k \geq q > p \geq 1$ の関係を満たし、前記k、p及びqは自然数であることを特徴とする液晶表示装置用アレイ基板であるので、このようにしてリンク領域に設けられた信号配線の設計を変更することにより、リンク領域の信号配線の抵抗値を全領域においてほぼ均一な値に確保する。

30

【発明を実施するための最良の形態】

【0025】

実施の形態1.

本発明は、ゲートリンク領域及びデータリンク領域に設けられたゲートリンク配線及びデータリンク配線の幅に差異を設けて設計することで、リンク領域の全領域においてリンク配線の抵抗値が均一になるように確保できることを特徴とする。

40

【0026】

以下、添付した図面を参照して本発明による液晶表示装置およびその基板について説明する。

【0027】

図4は本発明による液晶表示装置用アレイ基板を示した平面図である。

【0028】

図示したように、本発明による液晶表示装置用アレイ基板110は画像を具現する表示領域AAと画像を具現しない非表示領域NAAに区分される。

【0029】

50

基板 110 上の表示領域 A A には、図面上の水平方向に、スキャン信号が印加される第 1 ～第 m ゲート配線 G L 1 ～ G L m と、それらの第 1 ～第 m ゲート配線 G L 1 ～ G L m と垂直に交差して、マトリックス状に複数の画素領域 P を定義するとともに、データ信号が印加される第 1 ～第 n データ配線 D L 1 ～ D L n とが設けられている。

【0030】

第 1 ～第 m ゲート配線 G L 1 ～ G L m と第 1 ～第 n データ配線 D L 1 ～ D L n との各交差地点には、一対一対応で、スイッチングの役割をする薄膜トランジスタ T がそれぞれ構成されている。薄膜トランジスタ T は、各画素領域 P に対して一対一対応で構成された画素電極 180 に接続されている。この時、表示領域 A A に設けられた全ての電極及び配線を含めてアレイ素子という。

10

【0031】

一方、第 1 ～第 m ゲート配線 G L 1 ～ G L m と第 1 ～第 n データ配線 D L 1 ～ D L n とは、それぞれ、非表示領域 N A A に設けられた第 1 ～第 m ゲートリンク配線 G L L 1 ～ G L L m 及び第 1 ～第 n データリンク配線 D L L 1 ～ D L L n を介して、第 1 ～第 m ゲートパッド G P 1 ～ G P m 及び第 1 ～第 n データパッド D P 1 ～ D P n にそれぞれ接続される。

【0032】

この時、第 1 ～第 m ゲートパッド G P 1 ～ G P m と第 1 ～第 n データパッド D P 1 ～ D P n は、それぞれの一部を露出する第 1 ～第 m ゲートパッドコンタクトホール（図示せず）及び第 1 ～第 n データパッドコンタクトホール（図示せず）を介して、画素電極 180 と同一層同一物質から構成された第 1 ～第 m ゲートパッド電極（図示せず）及び第 1 ～第 n データパッド電極（図示せず）にそれぞれ接続される。

20

【0033】

このような第 1 ～第 m ゲートパッド電極（図示せず）と第 1 ～第 n データパッド電極（図示せず）とは、タブ（Tape Automated Bonding：TAB）実装工程により、基板 110 の一側に設けられるゲート駆動回路部（図示せず）及びデータ駆動回路部（図示せず）とそれぞれ接続されるので、第 1 ～第 m ゲートパッド電極（図示せず）と第 1 ～第 n データパッド電極（図示せず）とは、ゲート駆動回路部（図示せず）及びデータ駆動回路部（図示せず）からのスキャン信号及びデータ信号を、第 1 ～第 m ゲート配線 G L 1 ～ G L m と第 1 ～第 n データ配線 D L 1 ～ D L n にそれぞれ印加する役割をする。

30

【0034】

この時、本発明では、第 1 ～第 m ゲートリンク配線 G L 1 ～ G L m と第 1 ～第 n データリンク配線 D L 1 ～ D L n の幅に差を持たせて設計することを特徴とする。これについては、以下、添付した図面を参照しながら詳細に説明する。

【0035】

図 5 は、図 4 の B 部分を拡大した図面で、すなわち、非表示領域 N A A のデータリンク領域は第 $n/2$ データリンク配線を基準にして左右対称をなすので、図 5 では、非表示領域 N A A のデータリンク領域の左側部分を拡大して図示している。以下では、この B 部分を一例として挙げて説明する。

40

【0036】

図 5 に示したように、基板 110 上の非表示領域 N A A は、データリンク配線が設けられたリンク領域 L A とデータパッドが設けられたパッド領域 P A とに区分される。B 部分の基板 110 上のパッド領域 P A には、第 1 ～第 $n/2$ データパッド D P 1 ～ D P ($n/2$) が同じパッドピッチ P 1（パッド間隔 P 1）を有してそれぞれ互いに離間して配置されている。第 1 ～第 $n/2$ データパッド D P 1 ～ D P ($n/2$) に一対一に接続された第 1 ～第 $n/2$ データリンク配線 D L L 1 ～ D L L ($n/2$) は、それぞれ、第 1 ～第 $n/2$ データ配線（図 4 の D L 1 ～ D L ($n/2$ ））に接続される。

【0037】

この時、第 1 データリンク配線 D L L 1 は、その途中の箇所に 1 つの屈折部（折り曲げ

50

部)を有し、屈折部なく直線状に設けられた第 $n/2$ データリンク配線 $DL L(n/2)$ を基準にして、反対側の第 n データリンク配線 $DL L n$ と対称をなす。また、第 $2 \sim$ 第 $(n/2 - 1)$ データリンク配線 $DL L 2 \sim DL L(n/2 - 1)$ は、その途中の箇所に少なくとも1つの屈折部(折り曲げ部)、すなわち、1個あるいは2個の屈折部を有する(図では2個)。また、第1ないし第 $(n/2 - 1)$ データリンク配線のそれぞれは、第 $1 \sim$ 第 $(n/2 - 1)$ データ配線 $DL 1 \sim DL n$ の延伸方向に対して所定の角度をなすように設けられた斜線部を含み、隣接したデータリンク配線の斜線部間のリンクピッチ $P 2$ (リンク間隔 $P 2$)は第1データリンク配線 $DL L 1$ から第 $n/2$ データリンク配線 $DL L(n/2)$ に行くほどリンクピッチ $P 2$ が差等的に減少するように設計されたことを特徴とする。これと同様に、図面上に図示しなかったが、第 $(n/2 + 1) \sim$ 第 $(n - 1)$ データリンク配線(図4の $DL L(n/2 + 1) \sim DL L(n - 1)$)は少なくとも1つの屈折部を有し、隣接したデータリンク配線の斜線部間のリンクピッチは第 n データリンク配線(図4の $DL L n$)から第 $(n/2 + 1)$ データリンク配線(図4の $DL L(n/2 + 1)$)に行くほど減少する。ここで、各リンクピッチ $P 2$ は、1つのデータリンク配線の中心から次のデータリンク配線の中心までの距離で定義することができる。あるいは、1つのデータリンク配線の一方の側から次のデータリンク配線の(同じ側の)一方の側までの距離で定義することもできる。なお、上述の説明においては、第1データリンク配線 $DL L 1$ が1個の屈折部を有する例について説明したが、その場合に限らず、2個以上の屈折部を有することもでき、また、第 $n/2$ データリンク配線 $DL L(n/2)$ に隣接したいくつのデータリンク配線を、屈折部のない直線状に設けることもできる。

【0038】

さらに詳細には、リンク領域 LA の中央部に設けられた、第 $n/2$ データリンク配線 $DL L(n/2)$ に対応するリンクピッチ $P 2$ は、図2に示した従来のリンクピッチより狭い間隔に設計され、第 $n/2$ データリンク配線 $DL L(n/2)$ のリンク配線の幅 W および長さは、図2に示した従来のリンク配線の幅 W および長さと同じである。したがって、リンク領域 LA の中央部におけるデータリンク配線の抵抗値は従来と比較して増加される。なお、リンクピッチ $P 2$ を狭くする処理は、中央部の一箇所だけでなく、中央部近傍の数箇所で行うようにする。但し、図5に示すように、端部に行くほど、徐々に、リンクピッチ $P 2$ が広くなるように設計する。

【0039】

本発明では、上述のように、リンク領域 LA の中央部分近傍においてリンクピッチを狭くすることにより、リンク領域 LA の両端部近傍においては、従来よりも広いリンクピッチを確保することができる。そのため、本発明においては、リンク領域 LA の両端部近傍において、そこに設けられたデータリンク配線の長さが長くなっても、両端部近傍における十分なリンクピッチの確保で、この部分に設けられたデータリンク配線の幅を広く設計することができるという特徴を有する。言い換えると、第 p リンク配線の斜線部の幅 W が第 q リンク配線の斜線部の幅 W より広くて、第 p リンク配線の斜線部の長さは第 q リンク配線の斜線部の長さより長い。この時、 p と q は、 $(n/2 - 1) \geq k \geq q > p \geq 1$ の関係性を有し、 k と p と q は自然数である。本実施の形態で、第 $1 \sim$ 第 $n/2$ データリンク配線 $DL L 1 \sim DL L(n/2)$ に対応したリンクピッチ $P 2$ は、第1データリンク配線 $DL L 1$ に行くほど漸次的に増加し、第 $1 \sim$ 第 $n/2$ データリンク配線 $DL L 1 \sim DL L(n/2)$ のリンク配線の幅 W は、第1データリンク配線 $DL L 1$ に行くほど漸次的に増加する。これにより、リンク領域 LA の端部に設けられたデータリンク配線の抵抗値は減少されることを特徴とする。

【0040】

このような構成にすることにより、本実施の形態においては、リンク領域 LA の端部と中央部とにおける抵抗値を均一に確保できるという効果が得られる。

【0041】

図6は、図5を詳細に示した拡大平面図で、これを参照しながらさらに詳細に説明する。

10

20

30

40

50

【0042】

図示したように、図6は、第1ないし第 $(n/2)$ データリンク配線 $DLL1$ ないし $DLL(n/2)$ が設計された部分を拡大した図面で、第1～第 $(n/2)$ データリンク配線 $DLL1 \sim DLL(n/2)$ を包む矩形(長方形)を定義し、この矩形(長方形)の四辺である第1、第2、第3、第4辺を、それぞれ、 $S1$ 、 $S2$ 、 $S3$ 、 $S4$ と定義した時、第1データリンク配線 $DLL1$ の垂直部がそれに沿って設計される第4辺 $S4$ 上の任意の a 点と、リンク領域(図5の LA)と表示領域(図4の AA)の境界部に位置する第3辺 $S3$ に対応した任意の b 点と、第 $(n/2)$ データリンク配線 $DLL(n/2)$ がそれに沿って設計される第2辺 $S2$ と第3辺 $S3$ との交点である c 点と、第1～第 $(n/2)$ データリンクパッド(図5の $DP1 \sim DP(n/2)$)のデータリンク配線に接続される側の端部がそれに沿って設けられる第1辺 $S1$ 上の任意の d 点を選定する。なお、第1辺 $S1$ を、リンク領域(図5の LA)とパッド領域(図5の PA)との境界部としてもよい。

10

【0043】

前記 b 点に対応した任意のデータリンク配線を第 k データリンク配線 $DLLk$ と定義すると、前記 b 点に対応した第 k データリンク配線 $DLLk$ と c 点と d 点とを連結させた点線 H とが接する接点である e 点を選定することができる。ここで、 k は1より大きくて $n/2$ より小さい自然数である。この時、前記 a 、 b 、 c 、 d 、 e 点により、図6に示すように、第1、第2、第3、第4領域 I 、 II 、 III 、 IV に区分される。すなわち、第1領域 I は、第3辺 $S3$ と第4辺 $S4$ と a 点と b 点とを連結させた点線 G とにより定義されて、第2領域 II は、第1辺 $S1$ と第4辺 $S4$ と a 点と b 点とを連結させた点線 G と b 点と e 点とを連結させた点線と d 点と e 点とを連結させた点線 H とにより定義される。第3領域 III は、第1辺 $S1$ と第2辺 $S2$ と c 点、 e 点及び d 点を連結させた点線 H とにより定義され、第4領域 IV は、第3辺 $S3$ と b 点と e 点とを連結させた点線と e 点と c 点とを連結させた点線 H とにより定義される。

20

【0044】

第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ は、第1～第 $(k-1)$ データパッド(図5の $DP1 \sim DP(k-1)$)に接続され、それぞれ、図面上の垂直方向に沿って延長された複数の第1垂直部と、それらの複数の第1垂直部からそれぞれ屈折して互いに平行に延長された複数の斜線部と、それらの複数の斜線部からそれぞれ屈折して互いに平行に延長されて第1垂直部に対して平行な複数の第2垂直部とを含む。この時、第1データリンク配線 $DLL1$ は、第1垂直部を構成しないで、斜線部と第2垂直部とだけで構成するようにしてもよい。

30

【0045】

なお、前述した a 点は、最外縁(最端部)に位置する第1データリンク配線 $DLL1$ の斜線部と第2垂直部とが会う最外接点で定義されることができる。 a 点の位置は第1データリンク配線 $DLL1$ の設計によって変わることができるので、これに対しては後述する。

【0046】

この時、第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ それぞれの第1垂直部は第3領域 III に、斜線部は第2領域 II に、そして、第2垂直部は第1領域 I に、それぞれ対応して構成される。

40

【0047】

また、第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ の第2垂直部は、第1データリンク配線 $DLL1$ から第 $k-1$ データリンク配線 $DLL(k-1)$ に行くほど幅と長さが差等的に減少する設計を有する。ところが、第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ の幅は同じであることができる。この時、第1～第 $(k-1)$ データ配線(図4の $DL1$ ないし $DL(k-1)$)から遠い側の第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ の第2垂直部の各先端を連結した線、すなわち、 a 点と b 点とを連結した点線は、第1屈折線 G をなす。なお、第1屈折線

50

Gは、直線状ではなく、曲線状に設計されることを特徴とする。

【0048】

特に、第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ のそれぞれの斜線部において、第 $(k-1)$ データリンク配線 $DLL(k-1)$ から第1データリンク配線 $DLL1$ に行くほど各データリンク配線の幅 W が差等的に大きくなるように設計される。

【0049】

前述した図5では、第1～第 $(n/2)$ データリンク配線 $DLL1 \sim DLL(n/2)$ の幅 W は考慮されないで、隣接したデータリンク配線の斜線部間の離間距離であるリンクピッチ $P2$ が第1データリンク配線 $DLL1$ に行くほど差等的に大きくなることを説明したが、実際の設計においては、図6のように、第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ の斜線部の幅 W 間に差等を置いて設計されるので、第2領域IIに設けられた第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ の隣接した斜線部間のリンクピッチ $P2$ は同じであることが好ましい。ここで、リンクピッチ $P2$ は隣接したデータリンク配線の斜線部の向かい合う側面間の距離で定義されることができる。なお、この場合に限らず、第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ の隣接した斜線部間のリンクピッチ $P2$ は相異なるようにしてもよい。その場合には、リンクピッチ $P2$ が第1データリンク配線 $DLL1$ に行くほど差等的に大きくなるようにすることがより望ましい。なお、第 $(k+1) \sim (n/2-1)$ データリンク配線 $DLL(k+1) \sim DLL(n/2-1)$ の斜線部の幅 W は、等しい幅としてもよく、あるいは、第 $(k+1)$ から第 $(n/2-1)$ データリンク配線に行くほど減少する幅としてもよい。

【0050】

この時、前述した第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ のそれぞれの隣接した第2垂直部間のリンクピッチ $P2$ を第1リンクピッチ $F1$ とし、第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ の隣接した斜線部間のリンクピッチ $P2$ を第2リンクピッチ $F2$ としたとき、リンクピッチ $F1$ はリンクピッチ $F2$ より広く設計される。なお、第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ の隣接した第2垂直部間の第1リンクピッチ $F1$ は同じにしてもよいが、互いに相異なるようにしてもよい。同様に、第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ の隣接した斜線部間の第2リンクピッチ $F2$ も、同じにしてもよいが、互いに相異なるようにしてもよい。

【0051】

一方、b点とc点間に対応した第 $k \sim (n/2-1)$ データリンク配線 $DLLk \sim DLL(n/2-1)$ は、第 $k \sim (n/2-1)$ データパッド(図5の DPk ないし $DP(n/2-1)$)に接続されて、そこからそれぞれ図面の垂直方向に沿って延長された、複数の第1垂直部と、それらの複数の第1垂直部から屈折して互いに平行に延長された斜線部とを含むので、前記複数の第1垂直部は第3領域IIIに、前記複数の斜線部は第4領域IVにそれぞれ対応して構成される。

【0052】

この時、前述した第1～第 $(k-1)$ データリンク配線 $DLL1 \sim DLL(k-1)$ と、第 $k \sim (n/2-1)$ データリンク配線 $DLLk \sim DLL(n/2-1)$ のそれぞれの第1垂直部は、第1データリンク配線 $DLL1$ から第 $n/2$ データリンク配線 $DLL(n/2)$ に行くほど差等的に長さが長くなる設計を有する。ここで、前記第1～第 $(n/2-1)$ データリンク配線 $DLL1 \sim DLL(n/2-1)$ のそれぞれの第1垂直部の幅 W は相異なることが好ましい。

【0053】

第1～第 $n/2$ データリンク配線 $DLL1 \sim DLL(n/2)$ のそれぞれの第1垂直部間のリンクピッチ $P2$ を第3リンクピッチ $F3$ とすると、第3リンクピッチ $F3$ は第1～第 $n/2$ データリンク配線 $DLL1 \sim DLL(n/2)$ 間で相異なるようにしてもよい。

リンク幅 W と対応するリンクピッチ F_3 との合計で決定される第1～第 $n/2$ データリンク配線 $DLL_1 \sim DLL_{(n/2)}$ の隣接した第1垂直部間のピッチは、互いに同じであることが好ましい。あるいは、第1～第 $(n/2 - 1)$ データリンク配線 $DLL_1 \sim DLL_{(n/2 - 1)}$ の第1垂直部が等しい幅を有し、第3リンクピッチ F_3 が互いに同じであるようにしてもよい。

【0054】

第1～第 $(n/2 - 1)$ データリンク配線 $DLL_1 \sim DLL_{(n/2 - 1)}$ の隣接した第1垂直部間の第3リンクピッチ F_3 は第1及び第2リンクピッチ F_1 、 F_2 より狭い幅を有するように設計されるが、一部の場合、第3リンクピッチ F_3 は第1及び第2リンクピッチ F_1 、 F_2 より広いこともある。

10

【0055】

ここで、前記第1～第 $(n/2 - 1)$ データパッド（図5の $DP_1 \sim DP_{(n/2 - 1)}$ ）から遠い側の第1～第 $(n/2 - 1)$ データリンク配線 $DLL_1 \sim DLL_{(n/2 - 1)}$ の第1垂直部が終わる各点（先端）を連結した線、すなわち、 d 点から c 点を連結した点線である第2屈折線 H は曲線状であり、第2屈折線 H の第3辺 S_3 に対する傾斜は、第1屈折線 G より大きい傾斜となっている。

【0056】

また、前記第 $k \sim$ 第 $(n/2 - 1)$ データリンク配線 $DLL_k \sim DLL_{(n/2 - 1)}$ のそれぞれの斜線部において、第 $k \sim$ 第 $(n/2 - 1)$ データリンク配線 $DLL_k \sim DLL_{(n/2 - 1)}$ のそれぞれの斜線部の幅 W は同じであり、前記第 $k \sim$ 第 $(n/2 - 1)$ データリンク配線 $DLL_k \sim DLL_{(n/2 - 1)}$ のそれぞれの隣接した斜線部間の第4リンクピッチ F_4 は等間隔に設計されたことを特徴とする。あるいは、第 $k \sim$ 第 $(n/2 - 1)$ データリンク配線 $DLL_k \sim DLL_{(n/2 - 1)}$ の斜線部は相異なる幅を有し、第4リンクピッチ F_4 も相異なるようにすることもできる。この時、第 $k \sim$ 第 $(n/2 - 1)$ データリンク配線 $DLL_k \sim DLL_{(n/2 - 1)}$ の各斜線部の幅と第4リンクピッチ F_4 の合計であるピッチは、従来のピッチ（図3の $W + P_2$ ）と同じでもよく、また、狭くてもよい。

20

【0057】

すなわち、本発明では、第4領域 IV でのリンクピッチを従来のリンクピッチより小さくして、第4領域 IV に対応するデータリンク配線が従来と比較して狭い幅 W を有するように設計することにより、リンク領域（図5の LA ）の中央部付近に設けられた複数のデータリンク配線の抵抗を従来より増加させることができ、前記第1及び第2領域 I 、 II に設けられた複数のデータリンク配線の幅 W は端部に行くにつれて差等的に広がる構造であるので、リンク領域（図5の LA ）外端部付近に設けられた複数のデータリンク配線の抵抗を従来より減少させることができる。その結果、リンク領域（図5の LA ）の全部分（全領域）における抵抗値をほぼ均一に確保できる特徴がある。

30

【0058】

したがって、本発明では、第 $k \sim$ 第 $n/2$ データリンク配線 $DLL_k \sim DLL_{(n/2)}$ が位置する中央部（付近）と、第1～第 $(k - 1)$ データリンク配線 $DLL_1 \sim DLL_{(k - 1)}$ が位置する外端部（付近）間の抵抗差を均一に確保することができ、それにより、信号伝達が遅延する等の未充電問題を解決することができる。

40

【0059】

この時、第4辺 S_4 に対応した任意の a 点と第3辺 S_3 に対応した任意の b 点を選定することが重要な課題と言えるので、これに対しては以下添付した図面を参照しながら詳細に説明する。

【0060】

図7Aは本発明によるリンク領域の設計値を示した平面図であって、図7Bは従来のデータリンク配線の抵抗値 R と本発明によるデータリンク配線の抵抗値 R' とをそれぞれ測定したグラフであって、図7Cは従来のデータリンク配線の抵抗値 R に対する本発明のデータリンク配線の抵抗値 R' との比である R'/R 値を示したグラフである。

50

【0061】

一例として、最大1281チャンネルを有するドライブICを例に挙げて説明する。この時、図7Aは、第1～第641チャンネルに対応するリンク領域の左側半分を示した図面であるが、図示の関係上、第1～第641データリンク配線の全てを記載しておらず、その一部のみを記載しているが、以下では、第1～第641データリンク配線の全てが図示されていることとして説明する。図7Bと図7Cで、抵抗値RとR'はそれぞれ従来と本発明による第1～第641チャンネルまでの抵抗値をそれぞれ示す。

【0062】

図7A、図7B、図7Cに示したように、第1～第641データリンク配線を囲む矩形（長方形）の四辺を第1、第2、第3、第4辺S1、S2、S3、S4と定義した時、当該矩形（長方形）は、第1、第2、第3及び第4領域I、II、III、IVを含む。第4辺S4に位置した任意のa点から第4辺S4と第3辺S3とが会う点までの長さをXと定義する。

【0063】

ここで、第1、第2、第3、第4領域I、II、III、IVで隣接したリンク配線の向き合う側面間の距離は第1、第2、第3、第4リンクピッチF1、F2、F3、F4にそれぞれ定義されて、これらのリンクピッチは、リンク幅とリンクピッチとの合計に基づいて定義される。

【0064】

前記a点を図面の上方に移動させてXを増加させる場合、第2領域IIに対応したリンクピッチはますます伸びるようになるので、第2領域IIに対応したデータリンク配線の幅Wを増加させることができ、リンク領域（図5のLA）の端部付近における抵抗をさらに減らすことができる。しかしながら、この場合、第4領域IVに対応したリンクピッチが小さくなって、第4領域IVに対応したデータリンク配線間ショート不良が発生する恐れがあるので、Xの長さを無制限に増加させることはできない状況にある。特に、図7Aに示す、第2領域IIに対応した第1データリンク配線DLL1の斜線部の上方に位置する空間VAは、ゲート駆動信号が印加されるLOG（line on glass）配線（図示せず）が設けられるので、a点を上方に移動させてXを増加させるのには限界がある。

【0065】

このように、Xとa点を選定することが最も重要な課題と言える。この時、Xによってb点も変わるようになり、Xが1～4800μmの範囲で設計されることができる。好ましくは、第2及び第4辺S2、S4が4800μmであって、Xが1200μm、bが第365データリンク配線に対応するように設計した時、最も大きい効果を得ることができる。

【0066】

図7B及び図7Cの抵抗値R'は、第2辺S2が4800μm、Xが1200μm、bが第365データリンク配線に対応するように設計した時に得られた値である。

【0067】

従来においては、図7Bに示されるように、第1～第641データリンク配線の抵抗値Rが第1データリンク配線から第641データリンク配線に行くほど線形的に減少して、第641データリンク配線は最低値を有する。したがって、外端部における抵抗値Rが中央部における抵抗値Rより相当に大きいことが分かる。

【0068】

これに反し、本発明では抵抗値R'が第1データリンク配線から第365データリンク配線までは実質的に均一であり、第365データリンク配線からは第641データリンク配線に行くほど漸進的に減少する。なお、ここで、抵抗値R'は、第1データリンク配線から第365データリンク配線までは実質的に均一であると説明したが、その場合に限らず、第365データリンク配線から第1データリンク配線に行くほど少しずつ減少するようにしてもよい。

【0069】

本発明の第229データリンク配線の抵抗値 R' は、図7Bに示すように、従来の第229データリンク配線の抵抗値 R と同じであって、従って、第229データリンク配線の抵抗値比 R'/R は、図7Cに示すように、1になり、第1データリンク配線から第228データリンク配線までの抵抗値比 R'/R は1より小さくて、第230データリンク配線から第641データリンク配線までの抵抗値比 R'/R は1より大きい。したがって、本発明の第1データリンク配線から第228データリンク配線までは従来より大きい抵抗値を有し、本発明の第230データリンク配線から第641データリンク配線までは従来より小さい抵抗値を有する。

【0070】

10

さらに詳細に、第365～第641データリンク配線の抵抗値比 R'/R は大体1.5で、本発明の第365～第641データリンク配線の抵抗値 R' は従来に比べて1.5倍程度ずつ増加する。また、第365データリンク配線から第1データリンク配線に行くほど本発明の抵抗値 R' は少しずつ減少して、従来の抵抗値 R は増加する。したがって、第365データリンク配線から第1データリンク配線に行くほど抵抗値の比 R'/R は減少して、本発明の第1データリンク配線は従来より約0.64倍小さな抵抗値を有する。

【0071】

したがって、本発明では従来に比べて第1～第228データリンク配線における R' 値は減らして、第230～641データリンク配線における R' 値は増加させることにより、第1～第641データリンク配線に対応した R' 値を対等な水準に確保することができる特徴がある。

20

【0072】

本発明では第2辺 $S2$ を $4800\mu m$ に設計している。この時、従来によるリンク領域の設計構造で本発明のような効果を得るためには第2辺 $S2$ を $6784\mu m$ に設計しなければならない。したがって、本発明では第2辺 $S2$ の長さを従来に比べて縮小設計することができて画像を具現しない非表示領域、すなわちベゼル (bezel) 領域を縮小設計することを介してナロー型 (narrow-type) 液晶表示装置を製作することができる効果がある。

【0073】

以下、添付した図面を参照して本発明によるリンク領域の設計構造でa、b点を導出する方法に対して説明するようにする。

30

【0074】

図8は本発明によるリンク領域の設計方法を説明するための図面で、リンク領域には n 個 (n は自然数) のデータリンク配線が位置し、図8はリンク領域の左側半分に対応した部分、すなわち、第1～第 $n/2$ データリンク配線を示した図面である。

【0075】

図示したように、第1データリンク配線から第 $n/2$ データリンク配線までの距離を $L1$ 、前記第1データパッドから第 $n/2$ データパッドまでの距離を $L2$ 、第 $n/2$ データリンク配線の長さを $D1$ と定義して、任意の点aとbとを選定した後、 $x-y$ 座標平面に移すようになれば、点 $(0, 0)$ 、 $(b, 0)$ 、 $(L1, 0)$ 、 $(L1, D1)$ 、 $(L1 - L2, D1)$ 、 $(0, a)$ 、 $(0, D1)$ を決定することができる。

40

【0076】

この時、点 $(0, a)$ と点 $(b, 0)$ が決定されると、点 $(b, 0)$ を通過し、かつ、点 $(0, a)$ と点 $(L1 - L2, D1)$ とを連結した直線に平行なデータリンク配線が、点 $(L1 - L2, D1)$ と点 $(L1, 0)$ とを連結した直線と会う点 (x, y) を決定することができるので、前記点 (x, y) は、点 $(0, a)$ と点 $(b, 0)$ とにより変動する変動点である。

【0077】

ここで、前記点 $(0, a)$ から $(L1 - L2, D1)$ までの距離を $f1$ 、点 $(b, 0)$ から点 (x, y) までの距離を $f2$ 、点 (x, y) から点 $(L1 - L2, D1)$ までの距

50

離を f_3 と定義する。

【0078】

この時、前記点 $(0, a)$ 、 $(b, 0)$ 、 $(L_1 - L_2, D_1)$ 、 (x, y) に囲まれた部分を第1区域、点 $(b, 0)$ 、 $(L_1, 0)$ 、 (x, y) に囲まれた部分を第2区域だと定義すると、第1区域に k 個 (k は $n/2$ より小さい自然数) のデータリンク配線が位置する時、第1区域における第1平均リンクピッチ LP_1 は T_1/k 、すなわち、第1～第 k データ配線の個数に対する距離 T_1 の比で定義される。また、第2区域に $(n/2 - k)$ 個のデータリンク配線が位置する時、第2区域における第2平均リンクピッチ LP_2 は $T_2/(n/2 - k)$ 、すなわち、第 $(k+1)$ ないし第 $(n/2)$ データリンク配線の数に対する距離 T_2 の比で定義される。

10

【0079】

ここで、前記 T_1 は f_1 と点 $(b, 0)$ または点 $(0, a)$ と f_2 の最短距離、すなわち、 f_1 とこれに平行した f_2 間の距離であって、 T_2 は f_2 と点 $(L_1, 0)$ の最短距離である。

【0080】

第1平均リンクピッチ LP_1 と第2平均リンクピッチ LP_2 とを求めた後、第1及び第2区域における実際リンクピッチを求める。 f_1 から f_2 に行くほど第1区域に対応した実際リンクピッチ、すなわち、第1リンクピッチは、差等的に減少する形態に設計されて、第2区域に対応した実際リンクピッチ、すなわち、第2リンクピッチは、互いに同じであって、第2平均リンクピッチ LP_2 と同じになるように設計される。一方、第1区域で、 f_2 に隣接した第1リンクピッチは第2リンクピッチ、すなわち、第2平均リンクピッチ LP_2 と同じであるようにする。続いて、 f_1 に隣接した第1リンクピッチは f_2 に隣接した第1リンクピッチが第1平均リンクピッチ LP_1 から減少分だけ増加するようにする。したがって、 f_1 に隣接した第1リンクピッチを $LP(1)$ に示すならば、 $LP(1)$ は次の式で表示することができる。

20

【0081】

$$LP(1) = LP_1 + (LP_1 - LP_2) = 2 \times LP_1 - LP_2$$

【0082】

したがって、第1区域に対応した他の第1リンクピッチは f_1 に隣接した第1リンクピッチを初項、 f_2 に隣接した第1リンクピッチ、すなわち、第2平均リンクピッチ LP_2 を最後の項とする等差数列で計算されることができる。ここで、 f_1 は第1データリンク配線に対応して、 f_2 は第 k データリンク配線に対応する。すなわち、第1区域の第1リンクピッチは隣接した第1リンクピッチ間に公差を有する等差数列をなす。すなわち、第1ないし第 k データリンク配線のうち任意の第 X データリンク配線に対して、第 X データリンク配線に隣接した第1リンクピッチは次の式で表現される。

30

【0083】

$$LP(x) = LP(1) - \{(LP(1) - LP_2)/k\} * x,$$

【0084】

ここで、 $k \geq X \geq 1$ とする。

【0085】

前述した式に立脚して第1ないし第 k データリンク配線に対応した第1リンクピッチを差等的に設計するようになる。

40

【0086】

図9Aと図9Bは a 、 b 点によるデータリンク配線の抵抗の最大値を示したグラフで、第1区域の第1抵抗 R_1 と第2区域の第2抵抗 R_2 を比較して第1及び第2抵抗 R_1 、 R_2 の最大値、すなわち、 $MAX(R_1, R_2)$ を選択して三次元で示したグラフである。特に、図9Aと図9Bは相異なる視点から眺めたグラフである。

【0087】

図9Aと図9Bに示したように、 a 点と b 点の変化による第1及び第2抵抗値 R_1 、 R_2 の最大値 $MAX(R_1, R_2)$ を三次元のグラフで示している。この時、前記第1及び

50

第2抵抗 R_1 、 R_2 の最大値 $MAX(R_1, R_2)$ の最低値で現われるグラフの下端部分が点a、bの最適点といえる。

【0088】

ここで、aが大きくなると大きくなるほど第1及び第2抵抗 R_1 、 R_2 の最大値 $MAX(R_1, R_2)$ が小さくなる現象を示す。すなわち、aが大きくなると抵抗側面では有利であるが、第1及び第2リンクピッチの最小値が減少して、 $LOG(line on glass)$ 配線を設ける空間がなくなるので、aの値を無制限増やすことはできない状況である。

【0089】

一例で、1281チャンネルで最小リンクピッチは $6.5\mu m$ に設定されるが、このような最小ピッチ値を満足させるためにはaの値が $1400\mu m$ に制限される問題がある。

10

【0090】

図10はa、b値の変化による抵抗比と効率を示した表で、抵抗比は第2抵抗 R_2 に対する第1抵抗 R_1 の百分率で表示されて、効率は第1及び第2抵抗 R_1 、 R_2 の全体抵抗が減少する程度を意味する。これを参照しながら説明すれば、a値が増加するほど効率が減少することが分かる。

【0091】

この時、 $a = 1400\mu m$ である時効率が最大であるが、a値が大きくなるほど LOG 配線が設計される空間が減少することに比べて、効率の増加分は不備だというのが分かる。このような事項を考慮して見た時a点を $1200\mu m$ で設計することが好ましい。

20

【0092】

いままで、本発明ではデータパッド部を重点的に説明したが、ゲートパッド部にも同じく適用することができるということは周知の事実であることである。

【0093】

したがって、本発明は前記実施形態に限られるのではなく、本発明の精神及び思想を外れない限度内で多様に変形及び変更することができるということは自明な事実であることである。

【0094】

以上のように、本発明では、第一に、リンク領域（ゲートリンク領域および／またはデータリンク領域）の中央部における抵抗は増加させて、外端部における抵抗は減少させるようにし、抵抗値が全領域において均一かつ低減となるように設計することで、信号の伝送遅延等の未充電問題を改善することができる。

30

【0095】

また、第二に、このような新しい構造のリンク設計を適用するようにしたので、より高画質、高精度なナロー型液晶表示装置を製作することができる。

【図面の簡単な説明】

【0096】

【図1】従来の液晶表示装置用アレイ基板を示した平面図である。

【図2】図1のA部分を拡大した図である。

【図3】図2のA部分の左側半分を拡大した図である。

40

【図4】本発明に係る液晶表示装置用アレイ基板を示した平面図である。

【図5】図4のB部分を拡大した図である。

【図6】図5を詳細に示した拡大平面図である。

【図7A】本発明によるリンク領域の設計値を示した平面図である。

【図7B】従来と本発明によるリンク配線の抵抗値をグラフで示した説明図である。

【図7C】従来のリンク配線の抵抗値に対する本発明のリンク配線の抵抗値比をグラフで示した説明図である。

【図8】本発明によるリンク領域の設計方法を説明するための説明図である。

【図9A】点a、bによるデータリンク配線の抵抗最大値の変化をグラフで示した説明図である。

50

【図 9 B】点 a、b によるデータリンク配線の抵抗最大値の変化をグラフで示した説明図である。

【図 10】点 a と b の値の変化による抵抗比と効率を示した表である。

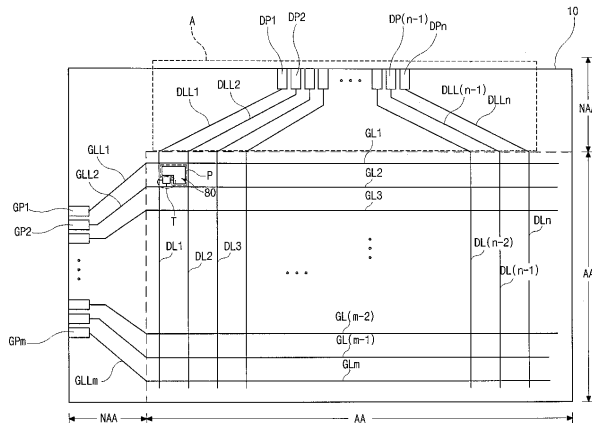
【符号の説明】

【0097】

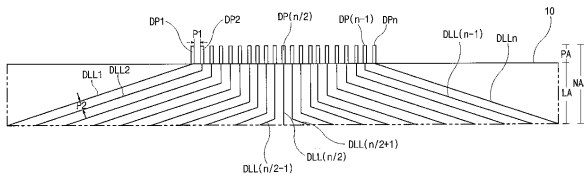
G 第 1 屈折線、H 第 2 屈折線、F 1 第 1 リンクピッチ、F 2 第 2 リンクピッチ、F 3 第 3 リンクピッチ、F 1 第 1 リンクピッチ、D L L 1 第 1 データリンク配線、D L L (n/2) 第 (n/2) データリンク配線、W 第 1～第 n/2 データリンク配線幅、S 1 第 1 辺、S 2 第 2 辺、S 3 第 3 辺、S 4 第 4 辺、I 第 1 領域、I I 第 2 領域、I I I 第 3 領域、I V 第 4 領域。

10

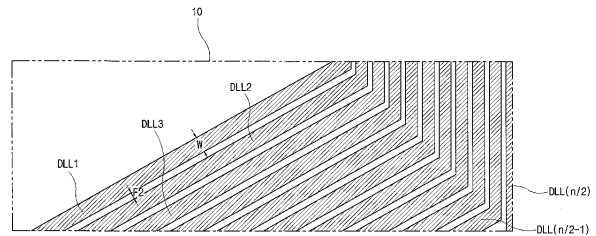
【図 1】



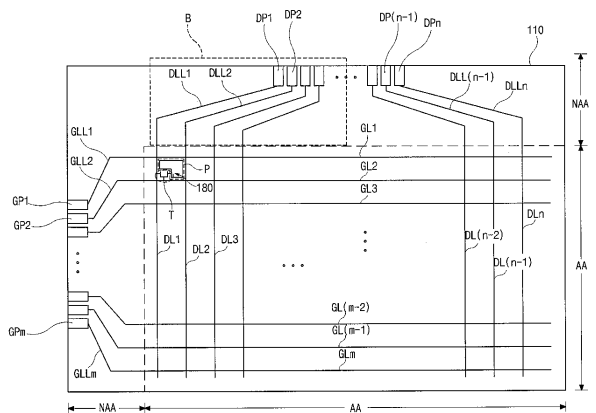
【図 2】



【図 3】



【図 4】



フロントページの続き

(74)代理人 100188329

弁理士 田村 義行

(74)代理人 100188514

弁理士 松岡 隆裕

(72)発明者 ヒョンーチョル・キム

大韓民国、550-818 チョルラナムード、ヨスーシ、ポンサンードン 280-5 (7/11)

(72)発明者 ジンーチョル・ホン

大韓民国、730-140 キョンサンブクード、クミーシ、オテードン、デドン・3チャ・アパートメント 102-1105

審査官 福田 知喜

(56)参考文献 特開平08-076136 (JP, A)

特開平10-010550 (JP, A)

特開平07-114036 (JP, A)

特開2000-056699 (JP, A)

(58)調査した分野(Int.Cl., DB名)

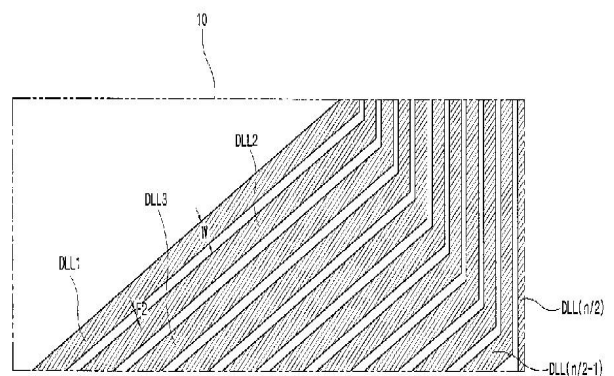
G02F 1/1343

G02F 1/1368

专利名称(译)	用于液晶显示装置的阵列基板		
公开(公告)号	JP5562544B2	公开(公告)日	2014-07-30
申请号	JP2008257057	申请日	2008-10-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ヒョンチョルキム ジンチョルホン		
发明人	ヒョン-チョル・キム ジン-チョル・ホン		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/1345 H01L27/124 H01L2924/0002 H05K1/117 H05K2201/0784 H05K2201/09727		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA33 2H092/JA24 2H092/NA28 2H192/AA24 2H192/FA32 2H192/FA37 2H192/FA65		
代理人(译)	Kajinami秩序 上田俊一 吉田纯一郎 田村善之		
审查员(译)	福田 知喜		
优先权	1020070141816 2007-12-31 KR		
其他公开文献	JP2009163215A		
外部链接	Espacenet		

摘要(译)

要解决的问题：使连接区域上布置的连接线的电阻均匀化和降低。解决方案：用于液晶显示装置的阵列基板的特征在于，它包括包括显示区域和非显示区域的基板，具有链接区域和焊盘区域的非显示区域，基板上的显示区域中的阵列元件，焊盘区域中的第一至第n焊盘，链接区域中的第一至第n链接线以及将阵列元件连接至焊盘，分别地，其中第一至第 $(n/2-1)$ 个连杆线具有倾斜部分，第p连杆线的倾斜部分的宽度宽于第q连杆线的倾斜部分的宽度，第二连杆线的长度第p连接线的倾斜部分比第q连接线的倾斜部分的长度长，并且p和q满足关系 $(n/2-1) \geq k \geq p \geq 1$ 。因此，连接区域被构造具有宽的宽度，以便减少电阻的发生，从而即使当链路的外端部中的连接线被加长时，也能够基板的所有区域中保持均匀的电阻值。



【图4】