

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5512284号
(P5512284)

(45) 発行日 平成26年6月4日(2014.6.4)

(24) 登録日 平成26年4月4日(2014.4.4)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 525
G09G 3/20 (2006.01)	G02F 1/133 550
	G09G 3/20 611E
	G09G 3/20 621B
	請求項の数 18 (全 54 頁) 最終頁に続く

(21) 出願番号	特願2009-547954 (P2009-547954)	(73) 特許権者	000005049
(86) (22) 出願日	平成20年11月11日 (2008.11.11)		シャープ株式会社
(86) 国際出願番号	PCT/JP2008/070491		大阪府大阪市阿倍野区長池町22番22号
(87) 国際公開番号	W02009/084331	(74) 代理人	110000338
(87) 国際公開日	平成21年7月9日 (2009.7.9)		特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
審査請求日	平成22年2月22日 (2010.2.22)	(72) 発明者	杉原 利典
審判番号	不服2012-19950 (P2012-19950/J1)		日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
審判請求日	平成24年10月10日 (2012.10.10)	(72) 発明者	伴 厚志
(31) 優先権主張番号	特願2007-338259 (P2007-338259)		日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(32) 優先日	平成19年12月27日 (2007.12.27)		
(33) 優先権主張国	日本国 (JP)		
			最終頁に続く

(54) 【発明の名称】 液晶表示装置、液晶表示装置の駆動方法、テレビジョン受像機

(57) 【特許請求の範囲】

【請求項1】

走査信号線の延伸方向を行方向とすれば、行および列方向に並ぶ画素を備えた液晶表示装置であって、

列方向に伸びる1つの画素列に対応して第1および第2のデータ信号線が設けられ、該画素列に含まれる1つの画素は1本の走査信号線に接続されるとともに第1および第2のデータ信号線のいずれかに接続され、第1および第2のデータ信号線には互いに同極性の信号電位が供給され、

上記画素列の所定画素を数え始めの1番目の画素とし、上記画素列の伸びる方向である走査方向に数えて奇数番目にあたる2画素を対とするとともに偶数番目にあたる2画素を対とし、奇数番目にあたる2画素からなる対をn個(nは自然数)含むグループと、偶数番目にあたる2画素からなる対をn個含むグループとを交互に順序付けて考えた場合に、

対をなす2つの画素が異なるデータ信号線に接続され、各データ信号線に供給される信号電位の極性がn水平走査期間ごとに反転することを特徴とする液晶表示装置。

【請求項2】

上記順序に従ってグループが選ばれ、選ばれたグループ内で、対をなす2つの画素それぞれに接続する走査信号線の同時選択が行われ、nが2以上の場合にはこの同時選択が各対につき順次行われることを特徴とする請求項1記載の液晶表示装置。

【請求項3】

隣り合う2つの画素列の一方に対応する第1および第2のデータ信号線に供給される信

号電位の極性と、該2つの画素列の他方に対応する第1および第2のデータ信号線に供給される信号電位の極性とが異なっていることを特徴とする請求項1記載の液晶表示装置。

【請求項4】

対をなす2つの画素は、連続する2つの奇数番目にあたるか、あるいは連続する2つの偶数番目にあたることを特徴とする請求項1記載の液晶表示装置。

【請求項5】

電位制御可能な保持容量配線を複数備え、上記1つの画素には、第1および第2のトランジスタと、第1および第2の画素電極とが含まれ、該第1および第2の画素電極はそれぞれ、第1および第2のトランジスタを介して同一のデータ信号線に接続され、上記第1および第2のトランジスタは上記1本の走査信号線に接続され、上記第1および第2の画素電極は、それぞれ異なる保持容量配線と保持容量を形成し、

該第1および第2の画素電極と保持容量を形成する2本の保持容量配線それぞれの電位は、第1および第2のトランジスタに接続する走査信号線の走査終了に同期してあるいはその後、互いに逆向きにレベルシフトすることを特徴とする請求項1～4のいずれか1項に記載の液晶表示装置。

【請求項6】

列方向に隣り合う2つの画素に対応して1本の保持容量配線が設けられ、上記2つの画素の一方に設けられた第1あるいは第2の画素電極と上記2つの画素領域の他方に設けられた第1あるいは第2の画素電極とが、この保持容量配線と保持容量を形成していることを特徴とする請求項5記載の液晶表示装置。

【請求項7】

上記第1および第2のデータ信号線には、各水平走査期間において、予備電位が供給された後に上記信号電位が供給されることを特徴とする請求項1～6のいずれか1項に記載の液晶表示装置。

【請求項8】

上記予備電位が一定値となっていることを特徴とする請求項7記載の液晶表示装置。

【請求項9】

上記一定値が信号電位のレンジの中央値であることを特徴とする請求項8に記載の液晶表示装置。

【請求項10】

上記予備電位が、一水平走査期間前に同一データ信号線に供給された信号電位と現水平走査期間の信号電位とに基づいて決定された値となっていることを特徴とする請求項7記載の液晶表示装置。

【請求項11】

走査信号線の走査期間と走査期間との間に、上記予備電位の供給タイミングに合わせた中途選択期間が設けられ、この中途選択期間に、該走査信号線に接続する画素へ上記予備電位が書き込まれることを特徴とする請求項7記載の液晶表示装置。

【請求項12】

上記第1および第2のデータ信号線の一方が上記画素列の一方の側に配されるとともに、他方が上記画素列と重なるように配されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項13】

同時選択される各走査信号線は、液晶パネル内で接続されるか、あるいは走査信号線を駆動するゲートドライバの同一出力端子に接続されていることを特徴とする請求項2に記載の液晶表示装置。

【請求項14】

表示部に複数の領域が設けられるとともに、各領域に上記データ信号線および走査信号線並びに画素が設けられ、これらが領域ごとに個別駆動されることを特徴とする請求項1～13のいずれか1項に記載の液晶表示装置。

【請求項15】

10

20

30

40

50

1 秒間に表示するコマ数が 60 よりも多いことを特徴とする請求項 1 ~ 14 のいずれか 1 項に記載の液晶表示装置。

【請求項 16】

電位制御可能な複数の保持容量配線を備え、各画素には、第 1 および第 2 トランジスタと、第 1 および第 2 画素電極とが含まれ、該第 1 および第 2 画素電極は、それぞれ第 1 および第 2 トランジスタを介して同一のデータ信号線に接続され、上記第 1 および第 2 トランジスタは同一の走査信号線に接続され、上記第 1 および第 2 画素電極は異なる保持容量配線と保持容量を形成し、

上記画素列の隣り合う 2 つの画素に対応して 1 本の保持容量配線が設けられ、上記 2 つの画素の一方に設けられたいずれかの画素電極と他方に設けられたいずれかの画素電極とが、この 2 つの画素に対応する 1 本の保持容量配線と保持容量を形成しており、

1 番目の画素の各画素電極と保持容量を形成する保持容量配線が 1 番目および 2 番目の保持容量配線であり、2 番目の保持容量配線は、2 番目の画素のいずれかの画素電極とも保持容量を形成しており、

1 番目の画素の各画素電極と保持容量を形成する保持容量配線が 1 番目および 2 番目の保持容量配線であり、2 番目の保持容量配線は 2 番目の画素のいずれかの画素電極とも保持容量を形成しており、1 番目および 2 番目の画素の書き込み終了時あるいはその後、1 番目および 2 番目の保持容量配線の電位が同期して逆向きにレベルシフトし、

1 番目の保持容量配線を数え始めとして走査方向に数え、奇数番目の保持容量配線を 2 本ずつ束にして考えた場合に、各束では、2 本の保持容量配線の電位が同期して同じ向きにレベルシフトし、隣り合う 2 つの束間では、走査方向上流側に位置する束の各保持容量配線の電位がレベルシフトした 2 水平走査期間後に、走査方向下流側に位置する束の各保持容量配線の電位がレベルシフトし、

偶数番目の保持容量配線を 2 本ずつ束にして考えた場合に、各束では、2 本の保持容量配線の電位が同期して同じ向きにレベルシフトし、隣り合う 2 つの束間では、走査方向上流側に位置する束の各保持容量配線の電位がレベルシフトした 2 水平走査期間後に、走査方向下流側に位置する束の各保持容量配線の電位がレベルシフトすることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 17】

走査信号線の延伸方向を行方向とすれば、行および列方向に並ぶ画素を備え、列方向に伸びる 1 つの画素列に対応して第 1 および第 2 のデータ信号線が設けられ、該画素列に含まれる 1 つの画素は 1 本の走査信号線に接続されるとともに第 1 および第 2 のデータ信号線のいずれかに接続され、上記画素列の所定画素を数え始めの 1 番目の画素とし、上記画素列の伸びる方向である走査方向に数えて奇数番目にあたる 2 画素を対とするとともに偶数番目にあたる 2 画素を対とし、奇数番目にあたる 2 画素からなる対を n 個含むグループと、偶数番目にあたる 2 画素からなる対を n 個含むグループとを交互に順序付けて考えた場合に、対をなす 2 つの画素が異なるデータ信号線に接続された液晶表示装置に対し、

第 1 および第 2 のデータ信号線に、互いに同極性の信号電位を供給するとともに、各データ信号線に供給される信号電位の極性を n 水平走査期間 (n は自然数) ごとに反転させ、かつ上記順序に従ってグループを選ぶとともに、選んだグループ内で、対をなす 2 つの画素それぞれに接続する走査信号線の同時選択を行い、 n が 2 以上の場合にはこの同時選択を各対につき順次行うことを特徴とする液晶表示装置の駆動方法。

【請求項 18】

請求項 1 ~ 16 のいずれか 1 項に記載の液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とするテレビジョン受像機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、同一の画素列に含まれる複数の画素に同時書き込みを行う液晶表示装置に関する。

10

20

30

40

50

【背景技術】

【0002】

液晶表示装置の大型・高精細化が進んでいるが、これに伴う画素数の増加やデータ信号線の配線抵抗等の増大によって、各画素を十分に充電することが難しくなっている。ここで特許文献1には、1つの画素列に対して2本のデータ信号線を設け、隣接する2つの画素それぞれに接続する走査信号線を同時選択する構成が開示されている。なお、各データ信号線に供給する信号電位の極性はフレームごとに反転させている。該構成によれば、隣接する2つの画素に同時に信号電位を書き込むことができ、各画素の充電時間を増加させることができる。

【特許文献1】日本国公開特許公報「特開平10-253987号公報(1998年9月25日公開)」

【発明の開示】

【0003】

しかしながら、特許文献1の構成では、1フレーム間に各画素に書き込まれる信号電位の極性が同一であるのに加え、隣接する2つの画素それぞれに接続する走査信号線を同時にON/OFFする(該2つの画素が同期してちらつく)ため、フリッカが顕著に目立つという問題があった。

【0004】

本発明は、上記課題に鑑みてなされたものであり、その目的は、フリッカを抑制しつつ画素充電時間の増加を図りうる液晶表示装置を提供する点にある。

【0005】

本発明の液晶表示装置は、走査信号線の延伸方向を行方向とすれば、行および列方向に並ぶ画素を備えた液晶表示装置であって、1つの画素列に対応して第1および第2のデータ信号線が設けられ、該画素列に含まれる1つの画素は1本の走査信号線に接続されるとともに第1および第2のデータ信号線のいずれかに接続され、第1および第2のデータ信号線には互いに逆極性の信号電位が供給され、上記画素列の所定画素を数え始めの1番目の画素とし、走査方向に数えて奇数番目の1画素と偶数番目の1画素とを対とするとともにn個(nは自然数)の対を1グループとし、各グループに順序を付して考えた場合に、同一のグループでは、各対の2つの画素が異なるデータ信号線に接続されるとともに、nが2以上の場合には奇数番目の各画素が同一のデータ信号線に接続されており、連続する2つのグループ間では、一方のグループに含まれる奇数番目の画素が接続するデータ信号線と、他方のグループに含まれる奇数番目の画素が接続するデータ信号線とが異なっていることを特徴とする。ここでは、データ信号線に1画素に対応する電位が出力されている期間を1水平走査期間(1H)とする。

【0006】

本液晶表示装置では、例えば、各データ信号線に供給される信号電位の極性をn水平走査期間ごとに反転させ、かつ上記順序に従ってグループを選ぶとともに、選んだグループ内で、対をなす2つの画素それぞれに接続する走査信号線の同時選択を行い、nが2以上の場合にはこの同時選択を各対につき順次行うことで、2本の走査信号線を同時選択しつつ、上記画素列の各画素をドット反転させることができる。これにより、各画素をドット反転させてフリッカを抑制しつつ、2本の走査信号線を同時選択することで一水平走査期間を延ばし、画素充電時間を増やすことができる。

【0007】

なお、本構成では、一水平走査期間を走査信号線が1本ずつ選択される場合と同じにすれば2倍の本数の走査信号線を走査することができ、走査信号線の本数を上記場合と同じにすれば一水平走査期間を2倍にすることができる。したがって、本液晶表示装置は、単位時間当たりのコマ数(例えば、フレーム数、サブフレーム数、フィールド数)を2倍(例えば、120コマ/秒)にする倍速駆動に好適である。倍速駆動では必然的に画素充電時間が少なくなるが、本構成を用いることで、必要な画素充電時間を確保することができる。同様に、本液晶表示装置は、走査信号線が2160本のデジタルシネマ規格の表示装

10

20

30

40

50

置や走査信号線が4320本のスーパーハイビジョン規格の表示装置にも好適である。

【0008】

本液晶表示装置では、対をなす2つの画素が隣接している構成とすることもできる。この場合、 $2 \times n \times i + 1$ 番目 (i は自然数)の画素以外は前段の画素と異なるデータ信号線に接続される一方、 $2 \times n \times i + 1$ 番目の画素は前段の画素と同じデータ信号線に接続されており、走査信号線が、所定画素に接続する走査信号線から順に、隣り合う2本ずつ同時選択されていく構成とすることもできる。

【0009】

本液晶表示装置では、 $n = 1$ としてもよい。このようにデータ信号線に供給される信号電位を一水平走査期間ごとに反転させることで、大型、高精細あるいは高速駆動を行う液晶表示装置において、一水平走査期間前に同一データ信号線に供給された電位レベルの相異に起因する現水平走査期間での到達電位(充電率)のばらつきを大幅に抑えることができる。

【0010】

本発明の液晶表示装置は、走査信号線の延伸方向を行方向とすれば、行および列方向に並ぶ画素を備えた液晶表示装置であって、1つの画素列に対応して第1および第2のデータ信号線が設けられ、該画素列に含まれる1つの画素は1本の走査信号線に接続されるとともに第1および第2のデータ信号線のいずれかに接続され、第1および第2のデータ信号線には互いに逆極性の信号電位が供給され、上記画素列の所定画素を数え始めの1番目の画素とし、走査方向に数えて奇数番目の1画素と偶数番目の1画素とを対として各対に順序を付して考えた場合に、各対の2つの画素が異なるデータ信号線に接続されるとともに、上記順序が連続する2つの対については、一方の対に含まれる奇数番目の画素が接続するデータ信号線と、他方の対に含まれる奇数番目の画素が接続するデータ信号線とが同一であることを特徴とする。

【0011】

本液晶表示装置では、例えば、各データ信号線に供給される信号電位の極性を1垂直走査期間ごとに反転させ、かつ対をなす2つの画素それぞれに接続する走査信号線の同時選択を、上記順序に従って各対につき行うことで、2本の走査信号線を同時選択しつつ、上記画素列の各画素をドット反転させることができる。これにより、各画素をドット反転させてフリッカを抑制しつつ、2本の走査信号線を同時選択することで一水平走査期間を延ばし、画素充電時間を増やすことができる。

【0012】

なお、本構成では、一水平走査期間を走査信号線が1本ずつ選択される場合と同じにすれば2倍の本数の走査信号線を走査することができ、走査信号線の本数を上記場合と同じにすれば一水平走査期間を2倍にすることができる。したがって、本液晶表示装置は、単位時間当たりのコマ数を2倍(例えば、120コマ/秒)にする倍速駆動に好適である。倍速駆動では必然的に画素充電時間が少なくなるが、本構成を用いることで、必要な画素充電時間を確保することができる。同様に、本液晶表示装置は、走査信号線が2160本のデジタルシネマ規格の表示装置や走査信号線が4320本のスーパーハイビジョン規格の表示装置にも好適である。

【0013】

本液晶表示装置では、対をなす2つの画素が隣接している構成とすることもできる。この場合、上記所定画素よりも走査方向側に位置する各画素は、前段の画素と異なるデータ信号線に接続され、走査信号線は、所定画素に接続する走査信号線から順に、隣り合う2本ずつ同時選択されていく構成とすることもできる。

【0014】

本液晶表示装置では、1つの画素行に含まれる各画素は同一の走査信号線に接続され、隣接する2つの画素列の一方に対応する第1のデータ信号線と、該2つの画素列の他方に対応する第1のデータ信号線とは同極性の信号電位が供給され、行方向に隣り合う画素間では、第1および第2のデータ信号線との接続関係が逆になっている構成とすることも

10

20

30

40

50

できる。こうすれば、上記画素行の各画素をドット反転させることができる。

【0015】

この場合、1つの画素列の両側に該画素列に対応する第1および第2のデータ信号線が配され、隣接する2つの画素列の一方に対応する第1のデータ信号線と該2つの画素列の他方に対応する第1のデータ信号線とが画素列を挟むことなく隣接するか、あるいは該2つの画素列の一方に対応する第2のデータ信号線と該2つの画素列の他方に対応する第2のデータ信号線とが画素列を挟むことなく隣接している構成とすることもできる。こうすれば、画素列を挟むことなく隣接する(最近接する)2本のデータ信号線に供給される信号電位が常に同極性となるため、この2本のデータ信号線間の寄生容量に起因する電力消費を抑制でき、ソースドライバの負荷を小さくすることができる。

10

【0016】

なお、1つの画素列の両側に該画素列に対応する第1および第2のデータ信号線が配され、隣接する2つの画素列の一方に対応する第1のデータ信号線と該2つの画素列の他方に対応する第2のデータ信号線とが画素列を挟むことなく隣接するか、あるいは該2つの画素列の一方に対応する第2のデータ信号線と該2つの画素列の他方に対応する第1のデータ信号線とが画素列を挟むことなく隣接している構成としても構わない。

【0017】

本発明の液晶表示装置は、走査信号線の延伸方向を行方向とすれば、行および列方向に並ぶ画素を備えた液晶表示装置であって、1つの画素列に対応して第1および第2のデータ信号線が設けられ、該画素列に含まれる1つの画素は1本の走査信号線に接続されるとともに第1および第2のデータ信号線のいずれかに接続され、第1および第2のデータ信号線には互いに同極性の信号電位が供給され、上記画素列の所定画素を数え始めの1番目の画素とし、走査方向に数えて奇数番目にあたる2画素を対するとともに偶数番目にあたる2画素を対とし、奇数番目にあたる2画素の対を n 個(n は自然数)含むグループと、偶数番目にあたる2画素の対を n 個含むグループとを交互に順序付けて考えた場合に、各対の2つの画素が異なるデータ信号線に接続され、各データ信号線に供給される信号電位の極性が n 水平走査期間(n は自然数)ごとに反転することを特徴とする。

20

【0018】

本液晶表示装置では、例えば、上記順序に従ってグループを選ぶとともに、選んだグループ内で、対をなす2つの画素それぞれに接続する走査信号線の同時選択を行い、 n が2以上の場合にはこの同時選択を各対につき順次行うことで、2本の走査信号線を同時選択しつつ、こうすれば、上記画素列の各画素をドット反転させることができる。これにより、各画素をドット反転させてフリッカを抑制しつつ、2本の走査信号線を同時選択することで一水平走査期間を延ばし、画素充電時間を増やすことができる。

30

【0019】

なお、本構成では、一水平走査期間を走査信号線が1本ずつ選択される場合と同じにすれば2倍の本数の走査信号線を走査することができ、走査信号線の本数を上記場合と同じにすれば一水平走査期間を2倍にすることができる。したがって、本液晶表示装置は、単位時間当たりのコマ数を2倍(例えば、120コマ/秒)にする倍速駆動に好適である。倍速駆動では必然的に画素充電時間が少なくなるが、本構成を用いることで、必要な画素充電時間を確保することができる。同様に、本液晶表示装置は、走査信号線が2160本のデジタルシネマ規格の表示装置や走査信号線が4320本のスーパーハイビジョン規格の表示装置にも好適である。

40

【0020】

上記構成では、隣り合う2つの画素列の一方に対応する第1および第2のデータ信号線に供給される信号電位の極性と、該2つの画素列の他方に対応する第1および第2のデータ信号線に供給される信号電位の極性とが異なっている構成とすることもできる。こうすれば、上記画素行の各画素をドット反転させることができる。なお、上記構成では、各対の2つの画素は、連続する2つの奇数番目にあたるか、あるいは連続する2つの偶数番目にあたる構成とすることもできる。

50

【0021】

本液晶表示装置では、電位制御可能な保持容量配線（例えば、保持容量配線信号が供給される保持容量配線）を複数備え、上記1つの画素には、第1および第2のトランジスタと、第1および第2の画素電極とが含まれ、該第1および第2の画素電極は、それぞれ第1および第2のトランジスタを介して同一のデータ信号線に接続され、上記第1および第2のトランジスタは上記1本の走査信号線に接続され、上記第1および第2の画素電極は、それぞれ異なる保持容量配線と保持容量を形成し、該第1および第2の画素電極と保持容量を形成する2本の保持容量配線それぞれの電位（例えば、2本の保持容量配線それぞれに供給される保持容量配線信号の電位）は、第1および第2のトランジスタに接続する走査信号線の走査終了に同期してあるいはその後、互いに逆向きにレベルシフトする構成とすることもできる。こうすれば、1つの画素に明副画素と暗副画素とを形成して中間調を表示することができ、中間調表示時の視野角特性を高めることができる。この場合、列方向に隣り合う2つの画素に対応して1本の保持容量配線が設けられ、上記2つの画素の一方に設けられた第1あるいは第2の画素電極と上記2つの画素領域の他方に設けられた第1あるいは第2の画素電極とが、この保持容量配線と保持容量を形成している構成とすることもできる。こうすれば、1本の保持容量配線を2つの画素で共有することができ、保持容量配線数を少なくすることができる。さらに、本液晶表示装置では、各画素をドット反転させることができるため、本構成のように1本の保持容量配線を2つの画素で共有する場合にも、明副画素と暗副画素とを市松状に配置し、1画素列内において明副画素同士あるいは暗副画素同士が隣り合わないようにすることができる。これにより、ざらつき感（ジャギー）を抑制しながら視野角特性を高めることが可能となる。

10

20

【0022】

本液晶表示装置では、上記第1および第2のデータ信号線に、各水平走査期間において予備電位（例えば、リフレッシュ用の電位）が供給された後に上記信号電位が供給される構成とすることもできる。このように、各水平走査期間の冒頭に予備電位を供給することで、大型、高精細あるいは高速駆動を行う液晶表示装置において、一水平走査期間前に同一データ信号線に供給された電位レベルの相異に起因する現水平走査期間での到達電位（充電率）のばらつきを抑えることができる。

【0023】

本液晶表示装置では、走査信号線の走査期間と走査期間との間に、上記予備電位の供給タイミングに合わせた中途選択期間が設けられ、この中途選択期間に、該走査信号線に接続する画素へ上記予備電位が書き込まれる構成とすることもできる。こうすれば、各画素において、1フレーム期間の一部で特定の表示（例えば、黒表示）を行うことができ、動画表示時の尾引き等が低減され、動画表示品位を向上させることができる。

30

【0024】

本液晶表示装置では、上記予備電位が一定値となってもよい。定電位とすることで、予備電位の供給が容易になる。この場合、上記一定値が信号電位のレンジの中央値であること値であってもよい。こうすれば、ノーマリブラックモードの液晶表示装置において、予備電位を黒表示電位とすることができる。また、上記予備電位が、一水平走査期間前に同一データ信号線に供給された信号電位と現水平走査期間の信号電位とに基づいて決定された値となっている構成とすることもできる。こうすれば、一水平走査期間前に同一データ信号線に供給された電位レベルの相異に起因する現水平走査期間の到達電位（充電率）のばらつきをより効果的に抑制することができる。

40

【0025】

本液晶表示装置では、上記第1および第2のデータ信号線の一方が上記画素列の一方の側に配されるとともに、他方が上記画素列と重なるように配されている構成とすることもできる。こうすれば、画素列の両側に該画素列に対応するデータ信号線を配置する構成に比べてデータ信号線同士の距離を広く保つことができる。これにより、データ信号線同士の短絡率を減少させることができ、製造歩留まりを高めることができる。

【0026】

50

本液晶表示装置では、同時選択される各走査信号線は、液晶パネル内で接続されるか、あるいは走査信号線を駆動するゲートドライバの同一出力端子に接続されている構成とすることもできる。

【0027】

本液晶表示装置では、表示部に複数の領域が設けられるとともに、各領域に上記データ信号線および走査信号線並びに画素が設けられ、これらが領域ごとに個別駆動される構成とすることもできる。

【0028】

本構成は、上記のように、1秒間に表示するコマ数（例えば、フレーム数、サブフレーム数、フィールド数）が60よりも多い液晶表示装置（例えば、120コマ/秒の液晶表示装置）に好適である。

【0029】

本液晶表示装置は、電位制御可能な複数の保持容量配線を備え、各画素には、第1および第2トランジスタと、第1および第2画素電極とが含まれ、該第1および第2画素電極は、それぞれ第1および第2トランジスタを介して同一のデータ信号線に接続され、上記第1および第2トランジスタは同一の走査信号線に接続され、上記第1および第2画素電極は異なる保持容量配線と保持容量を形成し、上記画素列の隣り合う2つの画素に対応して1本の保持容量配線が設けられ、上記2つの画素の一方に設けられたいずれかの画素電極と他方に設けられたいずれかの画素電極とが、この2つの画素に対応する1本の保持容量配線と保持容量を形成しており、1番目の画素の各画素電極と保持容量を形成する保持容量配線が1番目および2番目の保持容量配線であり、2番目の保持容量配線は、2番目の画素のいずれかの画素電極とも保持容量を形成しており、1番目および2番目の画素の書き込み終了時あるいはその後、1番目および2番目の保持容量配線の電位が同期して逆向きにレベルシフトし、1番目の保持容量配線を数え始めとして走査方向に数え、連続する2つの奇数番目にあたる保持容量配線間では、前番となる保持容量配線の電位のレベルシフトから1水平走査期間後に、後番となる保持容量配線の電位がこれと同じ向きにレベルシフトし、連続する2つの偶数番目にあたる保持容量配線間では、前番となる保持容量配線の電位のレベルシフトから1水平走査期間後に、後番となる保持容量配線の電位がこれと同じ向きにレベルシフトする構成とすることもできる。例えば、1番目および2番目の画素の書き込み終了時あるいはその後、1番目および2番目の保持容量配線に供給される保持容量配線信号の電位が同期して逆向きにレベルシフトし、連続する奇数番目の各保持容量配線に供給される保持容量配線信号の位相は、1番目から順に1水平走査期間ずつ遅れ、連続する偶数番目の各保持容量配線に供給される保持容量配線信号の位相は、2番目から順に1水平走査期間ずつ遅れるようにする。

【0030】

こうすれば、第1および第2のデータ信号線に供給される信号電位の極性が異なるマルチ画素構造の液晶表示装置を、簡易に構成することができる。

【0031】

本液晶表示装置は、電位制御可能な複数の保持容量配線を備え、各画素には、第1および第2トランジスタと、第1および第2画素電極とが含まれ、該第1および第2画素電極は、それぞれ第1および第2トランジスタを介して同一のデータ信号線に接続され、上記第1および第2トランジスタは同一の走査信号線に接続され、上記第1および第2画素電極は異なる保持容量配線と保持容量を形成し、上記画素列の隣り合う2つの画素に対応して1本の保持容量配線が設けられ、上記2つの画素の一方に設けられたいずれかの画素電極と他方に設けられたいずれかの画素電極とが、この2つの画素に対応する1本の保持容量配線と保持容量を形成しており、1番目の画素の各画素電極と保持容量を形成する保持容量配線が1番目および2番目の保持容量配線であり、2番目の保持容量配線は、2番目の画素のいずれかの画素電極とも保持容量を形成しており、1番目の画素の各画素電極と保持容量を形成する保持容量配線が1番目および2番目の保持容量配線であり、2番目の保持容量配線は2番目の画素のいずれかの画素電極とも保持容量を形成しており、1番目

10

20

30

40

50

および 2 番目の画素の書き込み終了時あるいはその後、1 番目および 2 番目の保持容量配線の電位が同期して逆向きにレベルシフトし、1 番目の保持容量配線を数え始めとして走査方向に数え、奇数番目の保持容量配線を 2 本ずつ束にして考えた場合に、各束では、2 本の保持容量配線の電位が同期して同じ向きにレベルシフトし、隣り合う 2 つの束間では、走査方向上流側に位置する束の各保持容量配線の電位がレベルシフトした 2 水平走査期間後に、走査方向下流側に位置する束の各保持容量配線の電位がレベルシフトし、偶数番目の保持容量配線を 2 本ずつ束にして考えた場合に、各束では、2 本の保持容量配線の電位が同期して同じ向きにレベルシフトし、隣り合う 2 つの束間では、走査方向上流側に位置する束の各保持容量配線の電位がレベルシフトした 2 水平走査期間後に、走査方向下流側に位置する束の各保持容量配線の電位がレベルシフトすることを特徴とする。例えば

10

【 0 0 3 2 】

こうすれば、第 1 および第 2 のデータ信号線に供給される信号電位の極性が同じマルチ画素構造の液晶表示装置を、簡易に構成することができる。また、各束では、前番となる保持容量配線の電位のレベルシフトに同期して後番となる保持容量配線の電位がこれと同じ向きにレベルシフトする。すなわち、各束の 2 本の保持容量配線は同一の電位制御を行えばよく、これら保持容量配線に供給する信号 (Cs 信号) を共通化することができる。これにより、保持容量配線の制御回路を簡易化することができる。

20

【 0 0 3 3 】

本液晶表示装置の駆動方法は、走査信号線の延伸方向を行方向とすれば、行および列方向に並ぶ画素を備え、1 つの画素列に対応して第 1 および第 2 のデータ信号線が設けられ、該画素列に含まれる 1 つの画素は 1 本の走査信号線に接続されるとともに第 1 および第 2 のデータ信号線のいずれかに接続され、上記画素列の所定画素を数え始めの 1 番目の画素とし、走査方向に数えて奇数番目の 1 画素と偶数番目の 1 画素とを対とするとともに n 個 (n は自然数) の対を 1 グループとし、各グループに順序を付して考えた場合に、同一のグループでは、対をなす 2 つの画素が異なるデータ信号線に接続されるとともに奇数番目の画素全てが 1 本のデータ信号線に接続されており、順序が連続する 2 つのグループ間では、一方のグループに含まれる奇数番目の画素が接続するデータ信号線と、他方のグループに含まれる奇数番目の画素が接続するデータ信号線とが異なっている液晶表示装置に対して、第 1 および第 2 のデータ信号線に互いに逆極性の信号電位を供給するとともに、各データ信号線に供給される信号電位の極性を n 水平走査期間ごとに反転させ、かつ上記順序に従ってグループを選ぶとともに、選んだグループ内で、対をなす 2 つの画素それぞれに接続する走査信号線の同時選択を行い、 n が 2 以上の場合にはこの同時選択を各対につき順次行うことを特徴とする。

30

【 0 0 3 4 】

本液晶表示装置の駆動方法は、走査信号線の延伸方向を行方向とすれば、行および列方向に並ぶ画素を備え、1 つの画素列に対応して第 1 および第 2 のデータ信号線が設けられ、該画素列に含まれる 1 つの画素は 1 本の走査信号線に接続されるとともに第 1 および第 2 のデータ信号線のいずれかに接続され、上記画素列の所定画素を数え始めの 1 番目の画素とし、走査方向に数えて奇数番目の 1 画素と偶数番目の 1 画素とを対として各対に順序を付して考えた場合に、対をなす 2 つの画素が異なるデータ信号線に接続されるとともに、上記順序が連続する 2 つの対については、一方の対に含まれる奇数番目の画素が接続するデータ信号線と、他方の対に含まれる奇数番目の画素が接続するデータ信号線とが同一である液晶表示装置に対し、第 1 および第 2 のデータ信号線に、互いに逆極性の信号電位を供給するとともに、各データ信号線に供給される信号電位の極性を 1 垂直走査期間ごとに反転させ、かつ対をなす 2 つの画素それぞれに接続する走査信号線の同時選択を、上記

40

50

順序に従って各対につき行うことを特徴とする。

【0035】

本液晶表示装置の駆動方法は、走査信号線の延伸方向を行方向とすれば、行および列方向に並ぶ画素を備え、1つの画素列に対応して第1および第2のデータ信号線が設けられ、該画素列に含まれる1つの画素は1本の走査信号線に接続されるとともに第1および第2のデータ信号線のいずれかに接続され、上記画素列の所定画素を数え始めの1番目の画素とし、走査方向に数えて奇数番目にあたる2画素を対とするとともに偶数番目にあたる2画素を対とし、奇数番目にあたる2画素からなる対をn個含むグループと、偶数番目にあたる2画素からなる対をn個含むグループとを交互に順序付けて考えた場合に、対をなす2つの画素が異なるデータ信号線に接続された液晶表示装置に対し、第1および第2のデータ信号線に、互いに同極性の信号電位を供給するとともに、各データ信号線に供給される信号電位の極性をn水平走査期間(nは自然数)ごとに反転させ、かつ上記順序に従ってグループを選ぶとともに、選んだグループ内で、対をなす2つの画素それぞれに接続する走査信号線の同時選択を行い、nが2以上の場合にはこの同時選択を各対につき順次行うことを特徴とする。

10

【0036】

本発明のテレビジョン受像機は、上記液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とする。

【0037】

以上のように、本液晶表示装置によれば、画素列の各画素をドット反転させてフリッカを抑制しつつ、2本の走査信号線を同時選択することで一水平走査期間を延ばし、画素充電時間を増やすことができる。

20

【図面の簡単な説明】

【0038】

【図1】(a)は実施の形態1にかかる液晶表示装置の表示部を示す模式図であり、(b)~(d)は該表示部の駆動方法を示す模式図である。

【図2】図1(a)に示す表示部の駆動方法を示すタイミングチャートである。

【図3】(a)は実施の形態1にかかる他の液晶表示装置の表示部を示す模式図であり、(b)~(d)は該表示部の駆動方法を示す模式図である。

【図4】図3(a)に示す表示部の駆動方法を示すタイミングチャートである。

30

【図5】(a)は実施の形態1にかかるさらに他の液晶表示装置の表示部を示す模式図であり、(b)~(d)は該表示部の駆動方法を示す模式図である。

【図6】図5(a)に示す表示部の駆動方法を示すタイミングチャートである。

【図7】(a)は実施の形態1にかかるさらに他の液晶表示装置の表示部を示す模式図であり、(b)~(d)は該表示部の駆動方法を示す模式図である。

【図8】図7(a)に示す表示部の駆動方法を示すタイミングチャートである。

【図9】図1(a)に示す表示部の他の駆動方法を示すタイミングチャートである。

【図10】図5(a)に示す表示部の他の駆動方法を示すタイミングチャートである。

【図11】図1(a)に示す表示部のさらに他の駆動方法を示すタイミングチャートである。

40

【図12】図5(a)に示す表示部のさらに他の駆動方法を示すタイミングチャートである。

【図13】(a)は実施の形態2にかかる液晶表示装置の表示部を示す模式図であり、(b)~(d)は該表示部の駆動方法を示す模式図である。

【図14】図13(a)に示す表示部の駆動方法を示すタイミングチャートである。

【図15】(a)は実施の形態2にかかる他の液晶表示装置の表示部を示す模式図であり、(b)~(d)は該表示部の駆動方法を示す模式図である。

【図16】図15(a)に示す表示部の駆動方法を示すタイミングチャートである。

【図17】(a)は実施の形態2にかかるさらに他の液晶表示装置の表示部を示す模式図であり、(b)~(d)は該表示部の駆動方法を示す模式図である。

50

- 【図18】図17(a)に示す表示部の駆動方法を示すタイミングチャートである。
- 【図19】(a)は実施の形態2にかかるさらに他の液晶表示装置の表示部を示す模式図であり、(b)~(d)は該表示部の駆動方法を示す模式図である。
- 【図20】図19(a)に示す表示部の駆動方法を示すタイミングチャートである。
- 【図21】図13(a)に示す表示部の他の駆動方法を示すタイミングチャートである。
- 【図22】図17(a)に示す表示部の他の駆動方法を示すタイミングチャートである。
- 【図23】図13(a)に示す表示部のさらに他の駆動方法を示すタイミングチャートである。
- 【図24】図17(a)に示す表示部のさらに他の駆動方法を示すタイミングチャートである。 10
- 【図25】(a)は実施の形態3にかかる液晶表示装置の表示部を示す模式図であり、(b)~(d)は該表示部の駆動方法を示す模式図である。
- 【図26】図25(a)に示す表示部の駆動方法を示すタイミングチャートである。
- 【図27】(a)は実施の形態3にかかる他の液晶表示装置の表示部を示す模式図であり、(b)~(d)は該表示部の駆動方法を示す模式図である。
- 【図28】図27(a)に示す表示部の駆動方法を示すタイミングチャートである。
- 【図29】図25(a)に示す表示部の他の駆動方法を示すタイミングチャートである。
- 【図30】図27(a)に示す表示部の他の駆動方法を示すタイミングチャートである。
- 【図31】図25(a)に示す表示部のさらに他の駆動方法を示すタイミングチャートである。 20
- 【図32】図27(a)に示す表示部のさらに他の駆動方法を示すタイミングチャートである。
- 【図33】(a)は実施の形態4にかかる液晶表示装置の表示部を示す模式図であり、(b)~(e)は該表示部の駆動方法を示す模式図である。
- 【図34】図33(a)に示す表示部の駆動方法を示すタイミングチャートである。
- 【図35】(a)は実施の形態4にかかる他の液晶表示装置の表示部を示す模式図であり、(b)・(c)は該表示部の駆動方法を示す模式図である。
- 【図36】図35(a)に示す表示部の駆動方法を示すタイミングチャートである。
- 【図37】図33(a)に示す表示部の他の駆動方法を示すタイミングチャートである。
- 【図38】図35(a)に示す表示部の他の駆動方法を示すタイミングチャートである。 30
- 【図39】図33(a)に示す表示部のさらに他の駆動方法を示すタイミングチャートである。
- 【図40】図35(a)に示す表示部のさらに他の駆動方法を示すタイミングチャートである。
- 【図41】データ信号線に供給する信号電位の極性を1垂直走査期間ごとに反転させる場合の、1水平走査期間前に供給された電位レベルによる現水平走査期間の到達電位のばらつきを示す波形図である。
- 【図42】データ信号線に供給する信号電位の極性を1垂直走査期間ごとに反転させつつ1水平走査期間の冒頭にデータ信号線にリフレッシュ電位を供給する場合の、1水平走査期間前に供給された電位レベルによる現水平走査期間の到達電位のばらつきを示す波形図である。 40
- 【図43】データ信号線に供給する信号電位の極性を1水平走査期間ごとに反転させつつ1水平走査期間の冒頭にデータ信号線にリフレッシュ電位を供給する場合の、1水平走査期間前に供給された電位レベルによる現水平走査期間の到達電位のばらつきを示す波形図である。
- 【図44】データ信号線に供給する信号電位の極性を1水平走査期間ごとに反転させる場合の、1水平走査期間前に供給された電位レベルによる現水平走査期間の到達電位のばらつきを示す波形図である。
- 【図45】本液晶表示装置(非画素分割方式)の構成を示すブロック図である。
- 【図46】本液晶表示装置(画素分割方式)の構成を示すブロック図である。 50

【図47】本液晶表示装置（非画素分割方式）の他の構成（領域分割駆動の構成）を示すブロック図である。

【図48】本液晶表示装置（画素分割方式）の他の構成（領域分割駆動の構成）を示すブロック図である。

【図49】（a）は本液晶表示装置のゲートドライバの構成を示すブロック図であり、（b）は本液晶表示装置においてリフレッシュ駆動を行う場合のゲートドライバの構成を示すブロック図である。

【図50】本液晶表示装置のデータ並び替え回路の構成を示すブロック図である。

【図51】（a）（b）は、本液晶表示装置においてリフレッシュ駆動を行う場合のソースドライバを示すブロック図である。

【図52】本液晶表示装置においてリフレッシュ駆動を行う場合の他のソースドライバを示すブロック図である。

【図53】本液晶表示装置における、画素列とこれに対応する第1および第2データ信号線の他の配置例を示す模式図である。

【図54】本液晶表示装置の機能を説明するブロック図である。

【図55】本テレビジョン受像機の機能を説明するブロック図である。

【図56】本テレビジョン受像機の構成を示す分解斜視図である。

【図57】データ信号線に供給する信号電位の極性を1垂直走査期間ごとに反転させ、かつアクティブリフレッシュ（リフレッシュ期間＝データ信号線の時定数の100パーセント）を行った場合の、1水平走査期間前に供給された電位レベルによる現水平走査期間の到達電位のばらつきを示す波形図である。

【図58】データ信号線に供給する信号電位の極性を1垂直走査期間ごとに反転させ、かつアクティブリフレッシュ（リフレッシュ期間＝データ信号線の時定数の90パーセント）を行った場合の、1水平走査期間前に供給された電位レベルによる現水平走査期間の到達電

【符号の説明】

【0039】

10a～10k・10p 表示部

P(i, j) 画素

S1x 第1データ信号線

S2x 第1データ信号線

S1y 第2データ信号線

S2y 第2データ信号線

G1～G7 走査信号線

Cs1～Cs7 保持容量配線

PS1 PS2 画素列

PE 画素電極

PE1 第1画素電極

PE2 第2の画素電極

84 液晶表示ユニット

601 テレビジョン受像機

800 液晶表示装置

【発明を実施するための最良の形態】

【0040】

本発明にかかる実施の形態の例を、図1～53を用いて説明すれば、以下のとおりである。本液晶表示装置（例えば、ノーマリブラックモード）の表示部には、行および列方向に画素が並べられており、以下では、図中における、i行目の画素行をPGi、j列目の画素列をPSj、i行目のj列目の画素をP(i, j)と記す。なお、説明の便宜のため、以下では走査信号線の延伸方向を行方向とする。ただし、本液晶表示装置の利用（視聴）状態において、その走査信号線が横方向に延伸していても縦方向に延伸していてもよい

10

20

30

40

50

ことはいうまでもない。また、1水平走査期間(1H)を、データ信号線に1画素に対応する電位(信号電位あるいは信号電位とリフレッシュ電位)が出力されている期間とする。

【0041】

〔実施の形態1〕

図1(a)は、本液晶表示装置の表示部の一構成例を示す模式図であり、図1(b)~(d)は該表示部の駆動方法を示す模式図であり、図2は、該駆動方法を示すタイミングチャートである。図1(a)に示すように、表示部10aには、1つの画素列(例えば、PS1)に対応して第1および第2データ信号線(例えば、S1x・S1y)が設けられ、該画素列に含まれる1つの画素(例えば、P(1,1))は1本の走査信号線(例えば、G1)に接続されるとともに第1および第2のデータ信号線(例えば、S1x・S1y)のいずれかに接続される。具体的には、各画素列の1行目の画素から、列方向に隣り合う2つの画素を順に対としていき、その順に順序を付して考えた場合に、各対の2つの画素が異なるデータ信号線に接続されるとともに、順序が連続する2つの対については、一方の対に含まれる奇数番目の画素が接続するデータ信号線と、他方の対に含まれる奇数番目の画素が接続するデータ信号線とが同一となっている。すなわち、1つの画素列において、2行目以降の各画素は、前段の画素と異なるデータ信号線に接続される。なお、各画素においては、画素電極PEがトランジスタ(TFT)を介して1本のデータ信号線に接続され、該トランジスタのゲート端子は1本の走査信号線に接続されている。

【0042】

また、第1および第2データ信号線には互いに逆極性の信号電位が供給され、各データ信号線に供給される信号電位の極性は1垂直走査期間(1フレーム)ごとに反転する。さらに、1つの画素行に含まれる各画素は同一の走査信号線に接続され、隣接する2つの画素列の一方に対応する第1データ信号線と、該2つの画素列の他方に対応する第1データ信号線とは同極性の信号電位が供給され、行方向に隣り合う画素間では、第1および第2のデータ信号線との接続関係が逆になっている。ここで、画素列の両側に、該画素列に対応する第1および第2データ信号線が配されており、隣接する2つの画素列の一方に対応する第1データ信号線と該2つの画素列の他方に対応する第1データ信号線とが、画素列を挟むことなく隣接している。

【0043】

そして、そして、対をなす2つの画素それぞれに接続する走査信号線が同時選択される工程が、走査方向(上記順序)に従って順次行われる。すなわち、各走査信号線は、1行目の画素に接続する走査信号線から順に、隣り合う2本ずつ同時選択されていく。

【0044】

例えば画素列PS1についていえば、画素列PS1の両側に第1および第2データ信号線S1x・S1yが配されており、1番目の画素P(1,1)と2番目の画素P(2,1)とが対とされ、画素P(1,1)が走査信号線G1に接続されるとともに第1データ信号線S1xに接続され、画素P(2,1)が走査信号線G2に接続されるとともに第2データ信号線S1yに接続され、同様に、3番目の画素P(3,1)と4番目の画素P(4,1)とが対とされ、画素P(3,1)が走査信号線G3に接続されるとともに第1データ信号線S1xに接続され、画素P(4,1)が走査信号線G4に接続されるとともに第2データ信号線S1yに接続され、同様に、5番目の画素P(5,1)と6行目の画素P(6,1)とが対とされ、画素P(5,1)が走査信号線G5に接続されるとともに第1データ信号線S1xに接続され、画素P(6,1)が走査信号線G6に接続されるとともに第2データ信号線S1yに接続されている。

【0045】

また、画素列PS2についていえば、画素列PS2の両側に第1および第2データ信号線S2x・S2yが配されており、1番目の画素P(1,2)と2番目の画素P(2,2)

）とが対とされ、画素 $P(1, 2)$ が走査信号線 G_1 に接続されるとともに第2データ信号線 S_{2y} に接続され、画素 $P(2, 2)$ が走査信号線 G_2 に接続されるとともに第1データ信号線 S_{2x} に接続され、同様に、3番目の画素 $P(3, 2)$ と4番目の画素 $P(4, 2)$ とが対とされ、画素 $P(3, 2)$ が走査信号線 G_3 に接続されるとともに第2データ信号線 S_{2y} に接続され、画素 $P(4, 2)$ が走査信号線 G_4 に接続されるとともに第1データ信号線 S_{2x} に接続され、同様に、5番目の画素 $P(5, 2)$ と6番目の画素 $P(6, 2)$ とが対とされ、画素 $P(5, 2)$ が走査信号線 G_5 に接続されるとともに第2データ信号線 S_{2y} に接続され、画素 $P(6, 2)$ が走査信号線 G_6 に接続されるとともに第1データ信号線 S_{2x} に接続されている。

【0046】

上記第1および第2データ信号線 $S_{1x} \cdot S_{1y}$ については、所定フレーム（図1（b）～（d）に示した状態）では常に第1データ信号線 S_{1x} にプラス極性の電位が供給される一方、第2データ信号線 S_{1y} にマイナス極性の電位が供給され、次フレームでは、第1データ信号線 S_{1x} にマイナス極性の電位が供給される一方、第2データ信号線 S_{1y} にプラス極性の電位が供給される。また、上記第1および第2データ信号線 $S_{2x} \cdot S_{2y}$ については、上記所定フレーム（図1（b）～（d）に示した状態）では常に第1データ信号線 S_{2x} にプラス極性の電位が供給される一方、第2データ信号線 S_{2y} にマイナス極性の電位が供給され、次フレームでは、第1データ信号線 S_{2x} にマイナス極性の電位が供給される一方、第2データ信号線 S_{2y} にプラス極性の電位が供給される。なお、隣り合う画素列 $PS_1 \cdot PS_2$ において、画素列 PS_1 に対応する第2データ信号線 S_{1y} と画素列 PS_2 に対応する第2データ信号線 S_{2y} とが、画素列を挟むことなく隣接している。

【0047】

そして、図1（b）～（d）および図2に示すように、画素 $P(1, 1) \cdot P(1, 2)$ に接続する走査信号線 G_1 と画素 $P(2, 1) \cdot P(2, 2)$ に接続する走査信号線 G_2 とがまず同時選択され、次いで、画素 $P(3, 1) \cdot P(3, 2)$ に接続する走査信号線 G_3 と画素 $P(4, 1) \cdot P(4, 2)$ に接続する走査信号線 G_4 とが同時選択され、次いで、画素 $P(5, 1) \cdot P(5, 2)$ に接続する走査信号線 G_5 と画素 $P(6, 1) \cdot P(6, 2)$ に接続する走査信号線 G_6 とが同時選択される。

【0048】

これにより、表示部10aでは、最初の水平走査期間に、第1データ信号線 S_{1x} から画素 $P(1, 1)$ の画素電極にプラス極性の電位が書き込まれるのに同期して、第2データ信号線 S_{1y} から画素 $P(2, 1)$ の画素電極にマイナス極性の電位が書き込まれるとともに、第2データ信号線 S_{2y} から画素 $P(1, 2)$ の画素電極にマイナス極性の電位が書き込まれるのに同期して、第1データ信号線 S_{2x} から画素 $P(2, 2)$ の画素電極にプラス極性の電位が書き込まれる（図1（b）参照）。また、次の水平走査期間には、第1データ信号線 S_{1x} から画素 $P(3, 1)$ の画素電極にプラス極性の電位が書き込まれるのに同期して、第2データ信号線 S_{1y} から画素 $P(4, 1)$ の画素電極にマイナス極性の電位が書き込まれるとともに、第2データ信号線 S_{2y} から画素 $P(3, 2)$ の画素電極にマイナス極性の電位が書き込まれるのに同期して、第1データ信号線 S_{2x} から画素 $P(4, 2)$ の画素電極にプラス極性の電位が書き込まれる（図1（c）参照）。さらに次の水平走査期間には、第1データ信号線 S_{1x} から画素 $P(5, 1)$ の画素電極にプラス極性の電位が書き込まれるのに同期して、第2データ信号線 S_{1y} から画素 $P(6, 1)$ の画素電極にマイナス極性の電位が書き込まれるとともに、第2データ信号線 S_{2y} から画素 $P(5, 2)$ の画素電極にマイナス極性の電位が書き込まれるのに同期して、第1データ信号線 S_{2x} から画素 $P(6, 2)$ の画素電極にプラス極性の電位が書き込まれる（図1（d）参照）。

【0049】

このように、表示部10aによれば、2本の走査信号線を同時選択することで一水平走査期間を延ばしつつ、各画素をドット反転させることができる。すなわち、フリッカを抑

10

20

30

40

50

制しつつ画素充電時間を増やすことが可能となる。また、画素列を挟むことなく隣接する（近接する）2本のデータ信号線（例えば、 $S1y$ および $S2y$ ）に供給される信号電位が常に同極性となるため、この2本のデータ信号線間の寄生容量に起因する電力消費を抑制でき、ソースドライバの負荷を小さくすることができる。

【0050】

また、本構成では、一水平走査期間を走査信号線が1本ずつ選択される場合と同じにすれば2倍の本数の走査信号線を走査することができ、走査信号線の本数を上記場合と同じにすれば一水平走査期間を2倍にすることができる。したがって、本液晶表示装置は、単位時間当たりのコマ数を2倍（例えば、120コマ/秒）にする倍速駆動に好適である。倍速駆動では必然的に画素充電時間が少なくなるが、本構成を用いることで、必要な画素充電時間を確保することができる。同様に、本液晶表示装置は、走査信号線が2160本のデジタルシネマ規格の液晶表示装置や走査信号線が4320本のスーパーハイビジョン規格の液晶表示装置にも好適である。

10

【0051】

なお、本液晶表示装置の表示部を図3(a)のように構成することもできる。図3(a)の表示部10bが図1(a)の表示部10aと異なる点は、隣接する2つの画素列の一方に対応する第2データ信号線と該2つの画素列の他方に対応する第1データ信号線とが画素列を挟むことなく隣接するか、あるいは該2つの画素列の一方に対応する第1データ信号線と該2つの画素列の他方に対応する第2データ信号線とが画素列を挟むことなく隣接している点である。

20

【0052】

例えば、画素列 $PS1$ の両側に第1および第2データ信号線 $S1x \cdot S1y$ が配され、画素列 $PS2$ の両側に第1および第2データ信号線 $S2x \cdot S2y$ が配され、画素列 $PS1$ に対応する第2データ信号線 $S1y$ と、画素列 $PS2$ に対応する第1データ信号線 $S2x$ とが隣接している。表示部10bの駆動方法を図4に示し、各画素への書き込み状態を図3(b)~(d)に示す。これらの図に示されるように、表示部10bによっても、一水平走査期間を延ばしつつ、各画素をドット反転させることができる。

【0053】

図1(a)の表示部10aを、例えば図5(a)に示すような画素分割方式（マルチ画素構造）とすることもできる。図5(a)に示す表示部10cでは、1つの画素を横切るように該画素に対応する1本の走査信号線が設けられ、走査信号線と平行に複数の保持容量配線が設けられる。各画素には、走査信号線の一方側に第1トランジスタおよび第1画素電極 $PE1$ が設けられるとともに該走査信号線の他方側に第2トランジスタおよび第2画素電極 $PE2$ が設けられており、第1および第2画素電極 $PE1 \cdot PE2$ は、それぞれ第1および第2トランジスタを介して同一のデータ信号線に接続され、第1および第2のトランジスタは同一の走査信号線に接続され、第1および第2の画素電極 $PE1 \cdot PE2$ は、それぞれ異なる保持容量配線と保持容量を形成している。また、列方向に隣り合う2つの画素（2つの画素列）に対応して1本の保持容量配線が設けられ、該2つの画素の一方に設けられた第1あるいは第2の画素電極と上記2つの画素領域の他方に設けられた第1あるいは第2の画素電極とが、この保持容量配線と保持容量を形成している。なお、各画素（これに含まれる第1および第2画素電極 $PE1 \cdot PE2$ 、並びに第1および第2トランジスタ）とデータ信号線および走査信号線との接続関係は、図1(a)の表示部10aと同様である。

30

40

【0054】

例えば、画素 $P(1, 1)$ を横切るように走査信号線 $G1$ が設けられ、走査信号線($G1 \sim G6$)と平行に複数の保持容量配線($Cs1 \sim Cs7$)が設けられる。画素 $P(1, 1)$ には、走査信号線 $G1$ の一方側に第1トランジスタおよび第1画素電極 $PE1$ が設けられるとともにその他方側に第2トランジスタおよび第2画素電極 $PE2$ が設けられており、第1画素電極 $PE1$ は第1トランジスタを介して第1データ信号線 $S1x$ に接続されるとともに第2画素電極 $PE2$ は第2トランジスタを介して第1データ信号線 $S1x$ に接

50

続され、第1および第2トランジスタは走査信号線G1に接続され、第1画素電極PE1は保持容量配線Cs1と保持容量を形成し、第2画素電極PE2は保持容量配線Cs2と保持容量を形成している。また、画素P(2,1)の第1画素電極PE1は第1トランジスタを介して第2データ信号線S1yに接続されるとともに第2画素電極PE2は第2トランジスタを介して第2データ信号線S1yに接続され、該第1および第2トランジスタは走査信号線G2に接続され、画素P(2,1)の第1画素電極PE1は保持容量配線Cs2と保持容量を形成するとともに、第2画素電極PE2は保持容量配線Cs3と保持容量を形成している。また、画素P(1,2)の第1画素電極PE1は第1トランジスタを介して第2データ信号線S2yに接続されるとともに第2画素電極PE2は第2トランジスタを介して第2データ信号線S2yに接続され、該第1および第2トランジスタは走査信号線G1に接続され、画素P(1,2)の第1画素電極PE1は保持容量配線Cs2と保持容量を形成するとともに、第2画素電極PE2は保持容量配線Cs1と保持容量を形成している。また、画素P(2,2)の第1画素電極PE1は第1トランジスタを介して第1データ信号線S2xに接続されるとともに第2画素電極PE2は第2トランジスタを介して第1データ信号線S2xに接続され、該第1および第2トランジスタは走査信号線G2に接続され、画素P(2,2)の第1画素電極PE1は保持容量配線Cs3と保持容量を形成するとともに、第2画素電極PE2は保持容量配線Cs2と保持容量を形成している。このように、本構成では、列方向に隣り合う2つの画素(P(1,1)とP(2,1)あるいはP(1,2)とP(2,2))で保持容量配線Cs2を共有している。

10

【0055】

20

図6は表示部10cの各データ信号線および各走査信号線、並びに各保持容量配線の駆動方法を示すタイミングチャートである。図6に示すように、各データ信号線および各走査信号線の駆動方法は図2と同様であり、1つの画素に接続する走査信号線をOFFするのに同期して、あるいはOFFした後に、該画素の第1および第2の画素電極PE1・PE2と保持容量を形成する2本の保持容量配線の電位を、互いに逆方向(突き上げ・突き下げ方向)にレベルシフトさせる。例えば、走査信号線G1・G2がOFFするのに同期して、保持容量配線Cs1の電位を突き上げる方向にレベルシフトさせるとともに保持容量配線Cs2の電位を突き下げる方向にレベルシフトさせ、走査信号線G3・G4がOFFするのに同期して、保持容量配線Cs3の電位を突き上げる方向にレベルシフトさせるとともに保持容量配線Cs4の電位を突き下げる方向にレベルシフトさせる。

30

【0056】

より具体的には、表示部10cの各保持容量配線は以下のように形成され、そして電位制御される。すなわち、1行目の画素(例えば、P(1,1))の各画素電極PE1・PE2と保持容量を形成する保持容量配線が1番目および2番目の保持容量配線Cs1・Cs2であり、2番目の保持容量配線Cs2は2行目の画素(例えば、P(2,1))の画素電極PE2とも保持容量を形成しており、1行目および2行目の画素の同時書き込み終了時あるいはその後、1番目および2番目の保持容量配線Cs1・Cs2の電位が同期して逆向きにレベルシフトし、連続する2つの奇数番目にあたる保持容量配線(例えば、Cs1・Cs3)間では、前番となる保持容量配線(例えば、Cs1)の電位のレベルシフトから1水平走査期間後に、後番となる保持容量配線(例えば、Cs3)の電位がこれと同じ向きにレベルシフトし、連続する2つの偶数番目にあたる保持容量配線(例えば、Cs2・Cs4)間では、前番となる保持容量配線(例えば、Cs2)の電位のレベルシフトから1水平走査期間後に、後番となる保持容量配線(例えば、Cs4)の電位がこれと同じ向きにレベルシフトする。なお、各保持容量配線の電位レベルシフトの周期は、1垂直走査期間(1フレーム期間)である。

40

【0057】

表示部10cでは、図5(b)に示すように、最初の水平走査期間に走査信号線G1・G2が同時にON(選択)され、第1データ信号線S1xから画素P(1,1)の第1および第2画素電極PE1・PE2にプラス極性の同一電位が書き込まれるのに同期して、第2データ信号線S1yから画素P(2,1)の第1および第2画素電極PE1・PE2

50

にマイナス極性の同一電位が書き込まれるとともに、第2データ信号線 S_{2y} から画素 $P(1, 2)$ の第1および第2画素電極 $PE_1 \cdot PE_2$ にマイナス極性の同一電位が書き込まれるのに同期して、第1データ信号線 S_{2x} から画素 $P(2, 2)$ の第1および第2画素電極 $PE_1 \cdot PE_2$ へプラス極性の同一電位が書き込まれる。

【0058】

そして、走査信号線 $G_1 \cdot G_2$ が同時にOFFされるのに同期して、保持容量配線 Cs_1 が突き上げるとともに保持容量配線 Cs_2 が突き下げる。これにより、画素 $P(1, 1)$ の第1画素電極 PE_1 を含む部分は明副画素、画素 $P(1, 1)$ の第2画素電極 PE_2 を含む部分は暗副画素、画素 $P(2, 1)$ の第1画素電極 PE_1 を含む部分は明副画素、画素 $P(1, 2)$ の第1画素電極 PE_1 を含む部分は明副画素、画素 $P(1, 2)$ の第2画素電極 PE_2 を含む部分は暗副画素、画素 $P(2, 2)$ の第2画素電極 PE_2 を含む部分は暗副画素となる。次の水平走査期間については図5(c)のとおりであり、その次の水平走査期間については図5(d)のとおりである。これにより、画素列 PS_1 では、副画素が、明、暗、明、暗、明・・・の順に並ぶ一方、画素列 PS_2 では、副画素が、暗、明、暗、明、暗・・・の順に並び、明副画素と暗副画素とが市松状に配置される。

10

【0059】

このように、表示部10cによれば、フリッカを抑制しつつ画素充電時間を増やし、かつ視野角特性も高める(すなわち、1つの画素に明副画素と暗副画素とを形成して中間調を表示し、中間調表示時の白浮き等を抑制する)ことが可能となる。また、画素列を挟むことなく隣接する(近接する)2本のデータ信号線(例えば、 S_{1y} および S_{2y})に供給される信号電位が常に同極性となるため、この2本のデータ信号線間の寄生容量に起因する電力消費を抑制でき、ソースドライバの負荷を小さくすることができる。

20

【0060】

また、本構成では、明副画素と暗副画素とを市松状に配置し、明副画素同士あるいは暗副画素同士が隣り合わないようにすることができる。これにより、ざらつき感(ジャギー)を抑制しながら視野角特性を高めることが可能となる。

【0061】

なお、本構成でも、一水平走査期間を走査信号線が1本ずつ選択される場合と同じにすれば2倍の本数の走査信号線を走査することができ、走査信号線の本数を上記場合と同じにすれば一水平走査期間を2倍にすることができる。したがって、本液晶表示装置は、倍速駆動を行う液晶表示装置やデジタルシネマ規格あるいはスーパーハイビジョン規格の液晶表示装置に好適である。

30

【0062】

なお、本液晶表示装置の表示部を図7(a)のように構成することもできる。図7(a)の表示部10dが図5(a)の表示部10cと異なる点は、隣接する2つの画素列の一方に対応する第2データ信号線と該2つの画素列の他方に対応する第1データ信号線とが画素列を挟むことなく隣接するか、あるいは該2つの画素列の一方に対応する第1データ信号線と該2つの画素列の他方に対応する第2データ信号線とが画素列を挟むことなく隣接している点である。

【0063】

例えば、画素列 PS_1 の両側に第1および第2データ信号線 $S_{1x} \cdot S_{1y}$ が配され、画素列 PS_2 の両側に第1および第2データ信号線 $S_{2x} \cdot S_{2y}$ が配され、画素列 PS_1 に対応する第2データ信号線 S_{1y} と、画素列 PS_2 に対応する第1データ信号線 S_{2x} とが隣接している。表示部10dの駆動方法を図8に示し、各画素への書き込み状態を図7(b)~(d)に示す。これらの図に示されるように、表示部10dによっても、一水平走査期間を延ばしつつ各画素をドット反転させ、かつ視野角特性を高めることができる。また、明副画素と暗副画素とを市松状に配置し、明副画素同士あるいは暗副画素同士が隣り合わないようにすることができる。これにより、ざらつき感(ジャギー)を抑制しながら視野角特性を高めることが可能となる。

40

【0064】

50

図1(a)の表示部10aを、図9に示すように駆動することも可能である。すなわち、各水平走査期間の冒頭にリフレッシュ期間Rを設け、このリフレッシュ期間Rには、各データ信号線にリフレッシュ電位(予備電位、例えば V_{com})を供給する。なお、リフレッシュ期間Rは、例えば、ラッチストロブ信号LSが「High」になっている期間に同期させる(後述)。こうすれば、大型化、高精細化あるいは高速駆動化等によって必然的に画素充電時間が小さくなる液晶表示装置において、一水平走査期間前に同一データ信号線に供給された電位レベルの相異に起因する現水平走査期間の到達電位(充電率)のばらつきを抑制することができる。この点につき、本願発明者らは、例えば120コマ/秒の倍速駆動時において、現水平走査期間の階調が中間調(例えば、0~255階調の256階調表示での101階調、階調電位 $V_{101} = 2.1V$ (コモン電位を電位0としたときの電位))である場合に、一水平走査期間前に供給された電位レベルが白階調に対応する値である場合と、黒階調に対応する値である場合とで、画素電位の到達レベル(以下、到達電位)が異なることを見出した。例えば、上記倍速駆動時において、データ信号線に供給される信号電位の極性が1フレーム中プラス極性であって現水平走査期間の階調が中間調の場合、図41に示すように、一水平走査期間前に該データ信号線に供給された電位レベルが白階調に対応する値(階調電位 $V_{255} = 7.5V$)のときには現水平走査期間の到達電位が設定階調電位を越えたレベルになる反面、上記電位レベルが黒階調に対応する値(階調電位 $V_0 = 0V$)のときは現水平走査期間の到達電位が設定階調電位未満のレベルとなる。ここで、図9のように、各水平走査期間冒頭のリフレッシュ期間Rにリフレッシュ電位(V_{com})を供給して倍速駆動を行うと、図42に示すように、一水平走査期間前に該データ信号線に供給された電位レベルが白階調に対応する値のときの到達電位を下げるることができる。これにより、上記電位レベルが白階調に対応する値である場合の到達電位と、黒階調に対応する値である場合の到達電位とを近づけることができる。なお、図41・42は上記のとおり倍速駆動時のものであり、1H(一水平走査期間)が14.82[μs]、リフレッシュ期間が3[μs]となっている。また、図9についても、倍速駆動時には、1Hおよびリフレッシュ期間Rの具体的時間は上記のようになる。

【0065】

なお、画素分割方式である図5(a)の表示部10cを図10のように駆動することでも、一水平走査期間前に同一データ信号線に供給された電位レベルの相異に起因する現水平走査期間の到達電位(充電率)のばらつきを抑制することができる。

【0066】

また、図1(a)の表示部10aを、図11に示すように駆動することも可能である。すなわち、各水平走査期間の冒頭にリフレッシュ期間Rを設けて該リフレッシュ期間Rに各データ信号線へリフレッシュ電位(例えば、 V_{com})を供給するとともに、各走査信号線を、前回の走査から2/3フレーム期間程度経過したタイミングで、リフレッシュ期間Rと同期するように複数回(例えば、3回)選択し、この中途選択期間において各走査信号線に接続する画素に上記リフレッシュ電位(例えば、 V_{com})を書き込む。中途選択期間は一水平走査期間よりも短期間であるが、中途選択期間を一水平走査期間の間隔において複数回設けてインパルス駆動を行うことで、各画素に黒を書き込む(黒挿入する)ことができる。こうすれば、各画素は、1フレーム期間のうち2/3フレーム期間は入力映像データを表示する一方、残りの1/3フレーム期間は黒表示を行うことになるため、動画表示時の尾引き等が低減され、動画表示品位を向上させることができる。

【0067】

なお、画素分割方式である図5(a)の表示部10cを、図12のように駆動することでも、動画表示時の尾引き等が低減され、動画表示品位を向上させることができる。

【0068】

〔実施の形態2〕

図13(a)は、本液晶表示装置の表示部の一構成例を示す模式図であり、図13(b)~(d)は該表示部の駆動方法を示す模式図であり、図14は、該駆動方法を示すタイミングチャートである。図13(a)に示すように、表示部10eには、1つの画素列(

10

20

30

40

50

例えば、 PS_1) に対応して第 1 および第 2 データ信号線 (例えば、 $S_{1x} \cdot S_{1y}$) が設けられ、該画素列に含まれる 1 つの画素 (例えば、 $P(1, 1)$) は 1 本の走査信号線 (例えば、 G_1) に接続されるとともに第 1 および第 2 のデータ信号線 (例えば、 $S_{1x} \cdot S_{1y}$) のいずれかに接続される。具体的には、各画素列の 1 行目の画素から、列方向に隣り合う 2 つの画素を順に対としていき、その順に順序を付して考えた場合に、各対の 2 つの画素が異なるデータ信号線に接続されるとともに、順序が連続する 2 つの対については、一方の対に含まれる奇数番目の画素が接続するデータ信号線と、他方の対に含まれる奇数番目の画素が接続するデータ信号線とが異なっている。すなわち、1 行目の画素を数え始めの 1 番目の画素とし、走査方向に数えて $2 \times 1 \times i + 1$ 番目 (i は自然数) の画素以外は前段の画素と異なるデータ信号線に接続される一方、 $2 \times 1 \times i + 1$ 番目の画素は前段の画素と同じデータ信号線に接続される。なお、各画素においては、画素電極 PE がトランジスタ (TFT) を介して 1 本のデータ信号線に接続され、該トランジスタのゲート端子は 1 本の走査信号線に接続されている。

10

【0069】

また、第 1 および第 2 データ信号線には互いに逆極性の信号電位が供給され、各データ信号線に供給される信号電位の極性は 1 水平走査期間 (1H) ごとに反転する。さらに、1 つの画素行に含まれる各画素は同一の走査信号線に接続され、隣接する 2 つの画素列の一方に対応する第 1 データ信号線と、該 2 つの画素列の他方に対応する第 1 データ信号線とは同極性の信号電位が供給され、行方向に隣り合う画素間では、第 1 および第 2 のデータ信号線との接続関係が逆になっている。ここで、画素列の両側に、該画素列に対応する第 1 および第 2 データ信号線が配されており、隣接する 2 つの画素列の一方に対応する第 1 データ信号線と該 2 つの画素列の他方に対応する第 1 データ信号線とが、画素列を挟むことなく隣接するか、あるいは該 2 つの画素列の一方に対応する第 2 データ信号線と該 2 つの画素列の他方に対応する第 2 データ信号線とが、画素列を挟むことなく隣接している。

20

【0070】

そして、対をなす 2 つの画素それぞれに接続する走査信号線の同時選択が、走査方向 (上記順序) に従って順次行われる。すなわち、各走査信号線は、1 行目の画素に接続する走査信号線から順に、隣り合う 2 本ずつ同時選択されていく。

【0071】

例えば画素列 PS_1 についていえば、画素列 PS_1 の両側に第 1 および第 2 データ信号線 $S_{1x} \cdot S_{1y}$ が配されており、1 番目の画素 $P(1, 1)$ と 2 番目の画素 $P(2, 1)$ とが対とされ、画素 $P(1, 1)$ が走査信号線 G_1 に接続されるとともに第 1 データ信号線 S_{1x} に接続され、画素 $P(2, 1)$ が走査信号線 G_2 に接続されるとともに第 2 データ信号線 S_{1y} に接続され、同様に、3 番目の画素 $P(3, 1)$ と 4 番目の画素 $P(4, 1)$ とが対とされ、画素 $P(3, 1)$ が走査信号線 G_3 に接続されるとともに第 2 データ信号線 S_{1y} に接続され、画素 $P(4, 1)$ が走査信号線 G_4 に接続されるとともに第 1 データ信号線 S_{1x} に接続され、同様に、5 番目の画素 $P(5, 1)$ と 6 行目の画素 $P(6, 1)$ とが対とされ、画素 $P(5, 1)$ が走査信号線 G_5 に接続されるとともに第 1 データ信号線 S_{1x} に接続され、画素 $P(6, 1)$ が走査信号線 G_6 に接続されるとともに第 2 データ信号線 S_{1y} に接続されている。

30

40

【0072】

また、画素列 PS_2 についていえば、画素列 PS_2 の両側に第 1 および第 2 データ信号線 $S_{2x} \cdot S_{2y}$ が配されており、1 番目の画素 $P(1, 2)$ と 2 番目の画素 $P(2, 2)$ とが対とされ、画素 $P(1, 2)$ が走査信号線 G_1 に接続されるとともに第 2 データ信号線 S_{2y} に接続され、画素 $P(2, 2)$ が走査信号線 G_2 に接続されるとともに第 1 データ信号線 S_{2x} に接続され、同様に、3 番目の画素 $P(3, 2)$ と 4 番目の画素 $P(4, 2)$ とが対とされ、画素 $P(3, 2)$ が走査信号線 G_3 に接続されるとともに第 1 データ信号線 S_{2x} に接続され、画素 $P(4, 2)$ が走査信号線 G_4 に接続されるとともに第 2 データ信号線 S_{2y} に接続され、同様に、5 番目の画素 $P(5, 2)$ と 6 番目の画素 P

50

(6, 2) とが対とされ、画素 P(5, 2) が走査信号線 G5 に接続されるとともに第 2 データ信号線 S2y に接続され、画素 P(6, 2) が走査信号線 G6 に接続されるとともに第 1 データ信号線 S2x に接続されている。

【0073】

上記第 1 および第 2 データ信号線 S1x・S1y については、所定水平走査期間(図 13(b) に示した状態)では第 1 データ信号線 S1x にプラス極性の電位が供給される一方、第 2 データ信号線 S1y にマイナス極性の電位が供給され、次の水平走査期間(図 13(c) に示した状態)では、第 1 データ信号線 S1x にマイナス極性の電位が供給される一方、第 2 データ信号線 S1y にプラス極性の電位が供給される。また、上記第 1 および第 2 データ信号線 S2x・S2y については、所定水平走査期間(図 13(b) に示した状態)では第 1 データ信号線 S2x にプラス極性の電位が供給される一方、第 2 データ信号線 S2y にマイナス極性の電位が供給され、次の水平走査期間(図 13(c) に示した状態)では、第 1 データ信号線 S2x にマイナス極性の電位が供給される一方、第 2 データ信号線 S2y にプラス極性の電位が供給される。なお、隣り合う画素列 PS1・PS2 において、画素列 PS1 に対応する第 2 データ信号線 S1y と画素列 PS2 に対応する第 2 データ信号線 S2y とが、画素列を挟むことなく隣接している。

10

【0074】

そして、図 13(b)~(d) および図 14 に示すように、画素 P(1, 1)・P(1, 2) に接続する走査信号線 G1 と画素 P(2, 1)・P(2, 2) に接続する走査信号線 G2 とがまず同時選択され、次いで、画素 P(3, 1)・P(3, 2) に接続する走査信号線 G3 と画素 P(4, 1)・P(4, 2) に接続する走査信号線 G4 とが同時選択され、次いで、画素 P(5, 1)・P(5, 2) に接続する走査信号線 G5 と画素 P(6, 1)・P(6, 2) に接続する走査信号線 G6 とが同時選択される。

20

【0075】

これにより、表示部 10e では、最初の水平走査期間に、第 1 データ信号線 S1x から画素 P(1, 1) の画素電極にプラス極性の電位が書き込まれるのに同期して、第 2 データ信号線 S1y から画素 P(2, 1) の画素電極にマイナス極性の電位が書き込まれるとともに、第 2 データ信号線 S2y から画素 P(1, 2) の画素電極にマイナス極性の電位が書き込まれるのに同期して、第 1 データ信号線 S2x から画素 P(2, 2) の画素電極にプラス極性の電位が書き込まれる(図 13(b) 参照)。また、次の水平走査期間には、第 2 データ信号線 S1y から画素 P(3, 1) の画素電極にプラス極性の電位が書き込まれるのに同期して、第 1 データ信号線 S1x から画素 P(4, 1) の画素電極にマイナス極性の電位が書き込まれるとともに、第 1 データ信号線 S2x から画素 P(3, 2) の画素電極にマイナス極性の電位が書き込まれるのに同期して、第 2 データ信号線 S2y から画素 P(4, 2) の画素電極にプラス極性の電位が書き込まれる(図 13(c) 参照)。さらに次の水平走査期間には、第 1 データ信号線 S1x から画素 P(5, 1) の画素電極にプラス極性の電位が書き込まれるのに同期して、第 2 データ信号線 S1y から画素 P(6, 1) の画素電極にマイナス極性の電位が書き込まれるとともに、第 2 データ信号線 S2y から画素 P(5, 2) の画素電極にマイナス極性の電位が書き込まれるのに同期して、第 1 データ信号線 S2x から画素 P(6, 2) の画素電極にプラス極性の電位が書き込まれる(図 13(d) 参照)。

30

40

【0076】

このように、表示部 10e によれば、2 本の走査信号線を同時選択することで一水平走査期間を延ばしつつ、各画素をドット反転させることができる。すなわち、フリッカを抑制しつつ画素充電時間を増やすことが可能となる。また、画素列を挟むことなく隣接する(近接する)2 本のデータ信号線(例えば、S1y および S2y)に供給される信号電位が常に同極性となるため、この 2 本のデータ信号線間の寄生容量に起因する電力消費を抑制でき、ソースドライバの負荷を小さくすることができる。

【0077】

また、本構成では、一水平走査期間を走査信号線が 1 本ずつ選択される場合と同じにす

50

れば2倍の本数の走査信号線を走査することができ、走査信号線の本数を上記場合と同じにすれば一水平走査期間を2倍にすることができる。したがって、本液晶表示装置は、単位時間当たりのコマ数を2倍（例えば、120コマ/秒）にする倍速駆動に好適である。倍速駆動では必然的に画素充電時間が少なくなるが、本構成を用いることで、必要な画素充電時間を確保することができる。同様に、本液晶表示装置は、走査信号線が2160本のデジタルシネマ規格の液晶表示装置や走査信号線が4320本のスーパーハイビジョン規格の液晶表示装置にも好適である。

【0078】

さらに、本構成ではデータ信号線に供給される信号電位の極性を1水平走査期間単位で反転させるため、大型、高精細あるいは高速駆動等によって必然的に画素充電時間が小さくなる液晶表示装置において、一水平走査期間前に同一データ信号線に供給された電位レベルの相異に起因する現水平走査期間の到達電位（充電率）のばらつきを概ね解消することができる。すなわち、倍速駆動時において、データ信号線に供給される信号電位の極性が1フレーム中プラス極性であって現水平走査期間の階調が中間調の場合には、上記のとおり一水平走査期間前に供給された電位レベルの相異によって到達電位がばらつくが（図41参照）、図14のようにデータ信号線に供給される信号電位の極性を1水平走査期間ごとに反転させて倍速駆動を行うことで、図44に示すように、一水平走査期間前に供給された電位レベルが白階調に対応する値（階調電位 $V_{255} = -7.5V$ （コモン電位を電位0としたときの電位））である場合の画素電位の波形と、該電位レベルが黒階調（階調電位 $V_0 = 0V$ ）に対応する場合の画素電位の波形と、上記電位レベルが中間調に対応する場合の画素電位の波形とを揃えることができ、各場合の到達電位をほぼ一致させることができる。なお、図44は上記のとおり倍速駆動時のものであり、1H（一水平走査期間）が $14.82[\mu s]$ となっている。また、図14についても、倍速駆動時には、1Hの具体的時間は上記のようになる。

【0079】

なお、本液晶表示装置の表示部を図15(a)のように構成することもできる。図15(a)の表示部10fが図13(a)の表示部10eと異なる点は、隣接する2つの画素列の一方に対応する第2データ信号線と該2つの画素列の他方に対応する第1データ信号線とが画素列を挟むことなく隣接するか、あるいは該2つの画素列の一方に対応する第1データ信号線と該2つの画素列の他方に対応する第2データ信号線とが画素列を挟むことなく隣接している点である。

【0080】

例えば、画素列PS1の両側に第1および第2データ信号線 $S_{1x} \cdot S_{1y}$ が配され、画素列PS2の両側に第1および第2データ信号線 $S_{2x} \cdot S_{2y}$ が配され、画素列PS1に対応する第2データ信号線 S_{1y} と、画素列PS2に対応する第1データ信号線 S_{2x} とが隣接している。表示部10fの駆動方法を図16に示し、各画素への書き込み状態を図15(b)~(d)に示す。これらの図に示されるように、表示部10fによっても、フリッカを抑制しつつ画素充電時間を増やすとともに、一水平走査期間前に供給された電位レベルの相異によって現水平走査期間での到達電位（充電率）がばらつくという問題を概ね解消することができる。

【0081】

図13(a)の表示部10eを、例えば図17(a)に示すような画素分割方式（マルチ画素構造）とすることもできる。図17(a)に示す表示部10gでは、1つの画素を横切るように該画素に対応する1本の走査信号線が設けられ、走査信号線と平行に複数の保持容量配線が設けられる。各画素には、走査信号線の一方側に第1トランジスタおよび第1画素電極PE1が設けられるとともに該走査信号線の他方側に第2トランジスタおよび第2画素電極PE2が設けられており、第1および第2画素電極PE1・PE2は、それぞれ第1および第2トランジスタを介して同一のデータ信号線に接続され、第1および第2のトランジスタは同一の走査信号線に接続され、第1および第2の画素電極PE1・PE2は、それぞれ異なる保持容量配線と保持容量を形成している。また、列方向に隣り

10

20

30

40

50

合う2つの画素(2つの画素列)に対応して1本の保持容量配線が設けられ、該2つの画素の一方に設けられた第1あるいは第2の画素電極と上記2つの画素領域の他方に設けられた第1あるいは第2の画素電極とが、この保持容量配線と保持容量を形成している。なお、各画素(これに含まれる第1および第2画素電極PE1・PE2、並びに第1および第2トランジスタ)とデータ信号線および走査信号線との接続関係は、図13(a)の表示部10eと同様である。

【0082】

例えば、画素P(1,1)を横切るように走査信号線G1が設けられ、走査信号線(G1~G6)と平行に複数の保持容量配線(Cs1~Cs7)が設けられる。画素P(1,1)、P(2,1)、P(1,2)、およびP(2,2)の接続関係は図5(a)の表示部10cと同一である。また、画素P(3,1)の第1画素電極PE1は第1トランジスタを介して第2データ信号線S1yに接続されるとともに第2画素電極PE2は第2トランジスタを介して第2データ信号線S1yに接続され、該第1および第2トランジスタは走査信号線G3に接続され、画素P(3,1)の第1画素電極PE1は保持容量配線Cs3と保持容量を形成するとともに、第2画素電極PE2は保持容量配線Cs4と保持容量を形成している。また、画素P(4,1)の第1画素電極PE1は第1トランジスタを介して第1データ信号線S1xに接続されるとともに第2画素電極PE2は第2トランジスタを介して第1データ信号線S1xに接続され、該第1および第2トランジスタは走査信号線G4に接続され、画素P(4,1)の第1画素電極PE1は保持容量配線Cs4と保持容量を形成するとともに、第2画素電極PE2は保持容量配線Cs5と保持容量を形成している。また、画素P(3,2)の第1画素電極PE1は第1トランジスタを介して第1データ信号線S2xに接続されるとともに第2画素電極PE2は第2トランジスタを介して第1データ信号線S2xに接続され、該第1および第2トランジスタは走査信号線G3に接続され、画素P(3,2)の第1画素電極PE1は保持容量配線Cs4と保持容量を形成するとともに、第2画素電極PE2は保持容量配線Cs3と保持容量を形成している。また、画素P(4,2)の第1画素電極PE1は第1トランジスタを介して第2データ信号線S2yに接続されるとともに第2画素電極PE2は第2トランジスタを介して第2データ信号線S2yに接続され、該第1および第2トランジスタは走査信号線G4に接続され、画素P(4,2)の第1画素電極PE1は保持容量配線Cs5と保持容量を形成するとともに、第2画素電極PE2は保持容量配線Cs4と保持容量を形成している。

【0083】

図18は表示部10gの各データ信号線および各走査信号線、並びに各保持容量配線の駆動方法を示すタイミングチャートである。図18に示すように、各データ信号線および各走査信号線の駆動方法は図14と同様であり、1つの画素に接続する走査信号線をOFFするのに同期して、あるいはOFFした後に、該画素の第1および第2の画素電極PE1・PE2と保持容量を形成する2本の保持容量配線の電位を、互いに逆方向(突き上げ・突き下げ方向)にレベルシフトさせる。例えば、走査信号線G1・G2がOFFするのに同期して、保持容量配線Cs1の電位を突き上げる方向にレベルシフトさせるとともに保持容量配線Cs2の電位を突き下げる方向にレベルシフトさせ、走査信号線G3・G4がOFFするのに同期して、保持容量配線Cs3の電位を突き上げる方向にレベルシフトさせるとともに保持容量配線Cs4の電位を突き下げる方向にレベルシフトさせる。

【0084】

表示部10gでは、図17(b)に示す最初の水平走査期間の動作は図5(b)と同じとなり、次の水平走査期間については図17(c)のようになる。すなわち、走査信号線G3・G4が同時にON(選択)され、第2データ信号線S1yから画素P(3,1)の第1および第2画素電極PE1・PE2にプラス極性の同一電位が書き込まれるのに同期して、第1データ信号線S1xから画素P(4,1)の第1および第2画素電極PE1・PE2にマイナス極性の同一電位が書き込まれるとともに、第1データ信号線S2xから画素P(3,2)の第1および第2画素電極PE1・PE2にマイナス極性の同一電位が書き込まれるのに同期して、第2データ信号線S2yから画素P(4,2)の第1および

10

20

30

40

50

第2画素電極PE1・PE2へプラス極性の同一電位が書き込まれる。

【0085】

そして、走査信号線G3・G4が同時にOFFされるのに同期して、保持容量配線Cs3が突き上げるとともに保持容量配線Cs4が突き下げる。これにより、画素列PS1では、画素P(2,1)の第2画素電極PE2を含む部分は暗副画素、画素P(3,1)の第1画素電極PE1を含む部分は明副画素、画素P(3,1)の第2画素電極PE2を含む部分は暗副画素、画素P(4,1)の第1画素電極PE1を含む部分は明副画素となり、画素列PS2では、画素P(2,2)の第1画素電極PE1を含む部分は明副画素、画素P(3,2)の第2画素電極PE2を含む部分は暗副画素、画素P(3,2)の第1画素電極PE1を含む部分は明副画素、画素P(4,2)の第2画素電極PE2を含む部分は暗副画素となる。次の水平走査期間については図17(d)のとおりである。これにより、画素列PS1では、副画素が、明、暗、明、暗、明・・・の順に並ぶ一方、画素列PS2では、副画素が、暗、明、暗、明、暗・・・の順に並び、明副画素と暗副画素とが市松状に配置される。

10

【0086】

このように、表示部10gによれば、フリッカを抑制しつつ画素充電時間を増やすとともに、一水平走査期間前に供給された電位レベルの相異によって現水平走査期間での到達電位(充電率)がばらつくという問題を概ね解消し、かつ視野角特性も高めることが可能となる。また、画素列を挟むことなく隣接する(近接する)2本のデータ信号線(例えば、S1yおよびS2y)に供給される信号電位が常に同極性となるため、この2本のデータ信号線間の寄生容量に起因する電力消費を抑制でき、ソースドライバの負荷を小さくすることができる。また、明副画素と暗副画素とを市松状に配置し、明副画素同士あるいは暗副画素同士が隣り合わないようにすることができる。これにより、ざらつき感(ジャギー)を抑制しながら視野角特性を高めることが可能となる。

20

【0087】

なお、本構成でも、一水平走査期間を走査信号線が1本ずつ選択される場合と同じにすれば2倍の本数の走査信号線を走査することができ、走査信号線の本数を上記場合と同じにすれば一水平走査期間を2倍にすることができる。したがって、本液晶表示装置は、倍速駆動を行う液晶表示装置やデジタルシネマ規格あるいはスーパーハイビジョン規格の液晶表示装置に好適である。

30

【0088】

なお、本液晶表示装置の表示部を図19(a)のように構成することもできる。図19(a)の表示部10hが図17(a)の表示部10gと異なる点は、隣接する2つの画素列の一方に対応する第2データ信号線と該2つの画素列の他方に対応する第1データ信号線とが画素列を挟むことなく隣接するか、あるいは該2つの画素列の一方に対応する第1データ信号線と該2つの画素列の他方に対応する第2データ信号線とが画素列を挟むことなく隣接している点である。

【0089】

例えば、画素列PS1の両側に第1および第2データ信号線S1x・S1yが配され、画素列PS2の両側に第1および第2データ信号線S2x・S2yが配され、画素列PS1に対応する第2データ信号線S1yと、画素列PS2に対応する第1データ信号線S2xとが隣接している。表示部10hの駆動方法を図20に示し、各画素への書き込み状態を図19(b)~(d)に示す。これらの図に示されるように、表示部10hによっても、フリッカを抑制しつつ画素充電時間を増やすとともに、一水平走査期間前に供給された電位レベルの相異によって現水平走査期間での到達電位(充電率)がばらつくという問題を概ね解消し、かつ視野角特性も高めることが可能となる。また、明副画素と暗副画素とを市松状に配置し、明副画素同士あるいは暗副画素同士が隣り合わないようにすることができる。これにより、ざらつき感(ジャギー)を抑制しながら視野角特性を高めることが可能となる。

40

【0090】

50

図13(a)の表示部10eを、図21に示すように駆動することも可能である。すなわち、各水平走査期間の冒頭にリフレッシュ期間Rを設け、このリフレッシュ期間Rには、各データ信号線にリフレッシュ電位(例えば、Vcom)を供給する。なお、リフレッシュ期間Rは、例えば、ラッチストロブ信号LSが「High」になっている期間に同期させる(後述)。こうすれば、大型化、高精細化あるいは高速駆動化等によって必然的に画素充電時間が小さくなる液晶表示装置において、一水平走査期間前に同一データ信号線に供給された電位レベルの相異に起因する現水平走査期間の到達電位(充電率)のばらつきを抑制することができる。すなわち、倍速駆動時において、データ信号線に供給される信号電位の極性が1フレーム中プラス極性であって現水平走査期間の階調が中間調の場合には、上記のとおり一水平走査期間前に供給された電位レベルの相異によって到達電位がばらつくが(図41参照)、図21のように各データ信号線に供給される信号電位の極性を1Hごとに反転させるとともに各水平走査期間冒頭のリフレッシュ期間Rにリフレッシュ電位(Vcom)を供給して倍速駆動を行うことで、図43に示すように、一水平走査期間前に供給された電位レベルが白階調(階調電位V255 = -7.5V(コモン電位を電位0としたときの電位))に対応する場合の画素電位の波形と、該電位レベルが黒階調(階調電位V0 = 0V(コモン電位を電位0としたときの電位))に対応する場合の画素電位の波形と、上記電位レベルが中間調に対応する場合の画素電位の波形とを近づけることができ、到達電位のばらつきを抑制することができる。なお、図43は上記のとおり倍速駆動時のものであり、1H(一水平走査期間)が14.82[μs]、リフレッシュ期間が1.5[μs]となっている。また、図21についても、倍速駆動時には、1Hおよびリフレッシュ期間Rの具体的時間は上記のようになる。

【0091】

ここで、図14・16に示す駆動(信号極性が1Hごとに反転する駆動)と図21に示す駆動(信号極性が1Hごとに反転するとともに1Hの冒頭にリフレッシュ電位が供給される駆動)とを比較すると、図21に示す駆動ではリフレッシュ期間の分だけ充電時間が短くなって到達電位(充電率)のばらつきが大きくなるが(図43・44参照)、リフレッシュ電位の供給によってデータ信号線の駆動回路(ソースドライバ)の負荷が低減される。すなわち、図21に示す駆動は、図16に示す駆動よりも消費電力の抑制やソースドライバ自体の発熱を抑える点で有利といえる。

【0092】

なお、画素分割方式である図17(a)の表示部10gを図22のように駆動することでも、一水平走査期間前に同一データ信号線に供給された電位レベルの相異に起因する現水平走査期間の到達電位(充電率)のばらつきを大幅に抑制することができる。なお、図22に示す駆動は、図18・20に示す駆動よりも消費電力の抑制やソースドライバ自体の発熱を抑える点で有利といえる。

【0093】

また、図13(a)の表示部10eを、図23に示すように駆動することも可能である。すなわち、各水平走査期間の冒頭にリフレッシュ期間Rを設けて該リフレッシュ期間Rに各データ信号線へリフレッシュ電位(例えば、Vcom)を供給するとともに、各走査信号線を、前回の走査から2/3フレーム期間程度経過したタイミングで、リフレッシュ期間Rと同期するように複数回(例えば、3回)選択し、この中途選択期間において各走査信号線に接続する画素に上記リフレッシュ電位(例えば、Vcom)を書き込む。中途選択期間は一水平走査期間よりも短期間であるが、中途選択期間を一水平走査期間の間隔において複数回設けてインパルス駆動を行うことで、各画素に黒を書き込む(黒挿入)することができる。こうすれば、各画素は、1フレーム期間のうち2/3フレーム期間は入力映像データを表示する一方、残りの1/3フレーム期間は黒表示を行うことになるため、動画表示時の尾引き等が低減され、動画表示品位を向上させることができる。

【0094】

なお、画素分割方式である図17(a)の表示部10gを、図24のように駆動することでも、動画表示時の尾引き等が低減され、動画表示品位を向上させることができる。

10

20

30

40

50

【 0 0 9 5 】

〔実施の形態 3〕

図 2 5 (a) は、本液晶表示装置の表示部の一構成例を示す模式図であり、図 2 5 (b) ~ (d) は該表示部の駆動方法を示す模式図であり、図 2 6 は、該駆動方法を示すタイミングチャートである。図 2 5 (a) に示すように、表示部 1 0 i には、1 つの画素列 (例えば、P S 1) に対応して第 1 および第 2 データ信号線 (例えば、S 1 x ・ S 1 y) が設けられ、該画素列に含まれる 1 つの画素 (例えば、P (1 , 1)) は 1 本の走査信号線 (例えば、G 1) に接続されるとともに第 1 および第 2 のデータ信号線 (例えば、S 1 x ・ S 1 y) のいずれかに接続される。具体的には、各画素列の 1 行目の画素から、列方向に隣り合う 2 つの画素を順に対とするとともに、隣り合う 2 個の対を順に 1 グループとしていき、その順に順序を付して考えた場合に、同一のグループでは、各対の 2 つの画素が異なるデータ信号線に接続されるとともに、奇数番目の各画素が同一のデータ信号線に接続されており、上記順序が連続する 2 つのグループ間では、一方のグループに含まれる奇数番目の画素が接続するデータ信号線と、他方のグループに含まれる奇数番目の画素が接続するデータ信号線とが異なっている。すなわち、1 行目の画素を数え始めの 1 番目の画素とし、走査方向に数えて $2 \times 2 \times i + 1$ 番目 (i は自然数) の画素以外は前段の画素と異なるデータ信号線に接続される一方、 $2 \times 2 \times i + 1$ 番目の画素は前段の画素と同じデータ信号線に接続される。なお、各画素においては、画素電極 P E がトランジスタ (T F T) を介して 1 本のデータ信号線に接続され、該トランジスタのゲート端子は 1 本の走査信号線に接続されている。

10

20

【 0 0 9 6 】

また、第 1 および第 2 データ信号線には互いに逆極性の信号電位が供給され、各データ信号線に供給される信号電位の極性は 2 水平走査期間 (2 H) ごとに反転する。さらに、1 つの画素行に含まれる各画素は同一の走査信号線に接続され、隣接する 2 つの画素列の一方に対応する第 1 データ信号線と、該 2 つの画素列の他方に対応する第 1 データ信号線とは同極性の信号電位が供給され、行方向に隣り合う画素間では、第 1 および第 2 のデータ信号線との接続関係が逆になっている。ここで、画素列の両側に、該画素列に対応する第 1 および第 2 データ信号線が配されており、隣接する 2 つの画素列の一方に対応する第 1 データ信号線と該 2 つの画素列の他方に対応する第 1 データ信号線とが、画素列を挟むことなく隣接するか、あるいは該 2 つの画素列の一方に対応する第 2 データ信号線と該 2 つの画素列の他方に対応する第 2 データ信号線とが、画素列を挟むことなく隣接している。

30

【 0 0 9 7 】

そして、走査方向 (上記順序) に従ってグループが選ばれ、選ばれたグループ内で、対をなす 2 つの画素それぞれに接続する走査信号線の同時選択が各対につき順次行われる。すなわち、各走査信号線は、1 行目の画素に接続する走査信号線から順に、隣り合う 2 本ずつ同時選択されていく。

【 0 0 9 8 】

なお、図 2 5 (a) の第 1 および第 2 データ信号線 S 1 x ・ S 1 y については、所定水平走査期間 (図 2 5 (b) に示した状態) では第 1 データ信号線 S 1 x にプラス極性の電位が供給される一方、第 2 データ信号線 S 1 y にマイナス極性の電位が供給され、次の水平走査期間 (図 2 5 (c) に示した状態) でも第 1 データ信号線 S 1 x にプラス極性の電位が供給される一方、第 2 データ信号線 S 1 y にマイナス極性の電位が供給され、次の水平走査期間 (図 2 5 (d) に示した状態) では第 1 データ信号線 S 1 x にマイナス極性の電位が供給される一方、第 2 データ信号線 S 1 y にプラス極性の電位が供給される。また、図 2 5 (a) の第 1 および第 2 データ信号線 S 2 x ・ S 2 y については、所定水平走査期間 (図 2 5 (b) に示した状態) では第 1 データ信号線 S 2 x にプラス極性の電位が供給される一方、第 2 データ信号線 S 2 y にマイナス極性の電位が供給され、次の水平走査期間 (図 2 5 (c) に示した状態) でも第 1 データ信号線 S 2 x にプラス極性の電位が供給される一方、第 2 データ信号線 S 2 y にマイナス極性の電位が供給され、次の水平走査

40

50

期間（図25（d）に示した状態）では第1データ信号線S2xにマイナス極性の電位が供給される一方、第2データ信号線S2yにプラス極性の電位が供給される。なお、隣り合う画素列PS1・PS2において、画素列PS1に対応する第2データ信号線S1yと画素列PS2に対応する第2データ信号線S2yとが、画素列を挟むことなく隣接している。

【0099】

そして、図25（b）～（d）および図26に示すように、画素P（1，1）・P（1，2）に接続する走査信号線G1と画素P（2，1）・P（2，2）に接続する走査信号線G2とがまず同時選択され、次いで、画素P（3，1）・P（3，2）に接続する走査信号線G3と画素P（4，1）・P（4，2）に接続する走査信号線G4とが同時選択され、次いで、画素P（5，1）・P（5，2）に接続する走査信号線G5と画素P（6，1）・P（6，2）に接続する走査信号線G6とが同時選択される。

10

【0100】

これにより、表示部10iでは、最初の水平走査期間に、第1データ信号線S1xから画素P（1，1）の画素電極にプラス極性の電位が書き込まれるのに同期して、第2データ信号線S1yから画素P（2，1）の画素電極にマイナス極性の電位が書き込まれるとともに、第2データ信号線S2yから画素P（1，2）の画素電極にマイナス極性の電位が書き込まれるのに同期して、第1データ信号線S2xから画素P（2，2）の画素電極にプラス極性の電位が書き込まれる（図25（b）参照）。また、次の水平走査期間には、第1データ信号線S1xから画素P（3，1）の画素電極にプラス極性の電位が書き込まれるのに同期して、第2データ信号線S1yから画素P（4，1）の画素電極にマイナス極性の電位が書き込まれるとともに、第2データ信号線S2yから画素P（3，2）の画素電極にマイナス極性の電位が書き込まれるのに同期して、第1データ信号線S2xから画素P（4，2）の画素電極にプラス極性の電位が書き込まれる（図25（c）参照）。さらに次の水平走査期間には、第2データ信号線S1yから画素P（5，1）の画素電極にプラス極性の電位が書き込まれるのに同期して、第1データ信号線S1xから画素P（6，1）の画素電極にマイナス極性の電位が書き込まれるとともに、第1データ信号線S2xから画素P（5，2）の画素電極にマイナス極性の電位が書き込まれるのに同期して、第2データ信号線S2yから画素P（6，2）の画素電極にプラス極性の電位が書き込まれる（図25（d）参照）。

20

30

【0101】

このように、表示部10iによれば、2本の走査信号線を同時選択することで一水平走査期間を延ばしつつ、各画素をドット反転させることができる。すなわち、フリッカを抑制しつつ画素充電時間を増やすことが可能となる。また、画素列を挟むことなく隣接する（近接する）2本のデータ信号線（例えば、S1yおよびS2y）に供給される信号電位が常に同極性となるため、この2本のデータ信号線間の寄生容量に起因する電力消費を抑制でき、ソースドライバの負荷を小さくすることができる。

【0102】

なお、本構成でも、一水平走査期間を走査信号線が1本ずつ選択される場合と同じにすれば2倍の本数の走査信号線を走査することができ、走査信号線の本数を上記場合と同じにすれば一水平走査期間を2倍にすることができる。したがって、本液晶表示装置は、倍速駆動を行う液晶表示装置やデジタルシネマ規格あるいはスーパーハイビジョン規格の液晶表示装置に好適である。

40

【0103】

また、データ信号線に供給される信号電位の極性を2水平走査期間ごとに反転させることで、上記信号電位の極性を1水平走査期間ごとに反転させる場合よりもソースドライバの消費電力を低減することができる。

【0104】

図25（a）の表示部10iを、例えば図27（a）に示すような画素分割方式（マルチ画素構造）とすることもできる。図27（a）に示す表示部10jでは、1つの画素を

50

横切るように該画素に対応する 1 本の走査信号線が設けられ、走査信号線と平行に複数の保持容量配線が設けられる。各画素には、走査信号線の一方側に第 1 トランジスタおよび第 1 画素電極 P E 1 が設けられるとともに該走査信号線の他方側に第 2 トランジスタおよび第 2 画素電極 P E 2 が設けられており、第 1 および第 2 画素電極 P E 1 ・ P E 2 は、それぞれ第 1 および第 2 トランジスタを介して同一のデータ信号線に接続され、第 1 および第 2 のトランジスタは同一の走査信号線に接続され、第 1 および第 2 の画素電極 P E 1 ・ P E 2 は、それぞれ異なる保持容量配線と保持容量を形成している。また、列方向に隣り合う 2 つの画素（2 つの画素列）に対応して 1 本の保持容量配線が設けられ、該 2 つの画素の一方に設けられた第 1 あるいは第 2 の画素電極と上記 2 つの画素領域の他方に設けられた第 1 あるいは第 2 の画素電極とが、この保持容量配線と保持容量を形成している。なお、各画素（これに含まれる第 1 および第 2 画素電極 P E 1 ・ P E 2、並びに第 1 および第 2 トランジスタ）とデータ信号線および走査信号線との接続関係は、図 2 5（a）の表示部 1 0 i と同様である。

10

【 0 1 0 5 】

図 2 8 は表示部 1 0 j の各データ信号線および各走査信号線、並びに各保持容量配線の駆動方法を示すタイミングチャートである。図 2 8 に示すように、各データ信号線および各走査信号線の駆動方法は図 2 6 と同様であり、1 つの画素に接続する走査信号線を O F F するのに同期して、あるいは O F F した後に、該画素の第 1 および第 2 の画素電極 P E 1 ・ P E 2 と保持容量を形成する 2 本の保持容量配線の電位を、互いに逆方向（突き上げ・突き下げ方向）にレベルシフトさせる。例えば、走査信号線 G 1 ・ G 2 が O F F するのに同期して、保持容量配線 C s 1 の電位を突き上げる方向にレベルシフトさせるとともに保持容量配線 C s 2 の電位を突き下げる方向にレベルシフトさせ、走査信号線 G 3 ・ G 4 が O F F するのに同期して、保持容量配線 C s 3 の電位を突き上げる方向にレベルシフトさせるとともに保持容量配線 C s 4 の電位を突き下げる方向にレベルシフトさせる。

20

【 0 1 0 6 】

表示部 1 0 j では、図 2 7（b）に示す最初の水平走査期間の動作は図 5（b）と同じとなり、次の水平走査期間については図 2 7（c）のとおりであり、その次の水平走査期間については図 2 7（d）のとおりである。これにより、画素列 P S 1 では、副画素が、明、暗、明、暗、明・・・の順に並び、画素列 P S 2 では、副画素が、暗、明、暗、明、暗・・・の順に並ぶことになる。

30

【 0 1 0 7 】

このように、表示部 1 0 j によれば、フリッカを抑制しつつ画素充電時間を増やし、かつ視野角特性も高めることが可能となる。また、画素列を挟むことなく隣接する（近接する）2 本のデータ信号線（例えば、S 1 y および S 2 y）に供給される信号電位が常に同極性となるため、この 2 本のデータ信号線間の寄生容量に起因する電力消費を抑制でき、ソースドライバの負荷を小さくすることができる。また、明副画素と暗副画素とを市松状に配置し、明副画素同士あるいは暗副画素同士が隣り合わないようにすることができる。これにより、ざらつき感（ジャギー）を抑制しながら視野角特性を高めることが可能となる。

【 0 1 0 8 】

なお、本構成でも、一水平走査期間を走査信号線が 1 本ずつ選択される場合と同じにすれば 2 倍の本数の走査信号線を走査することができ、走査信号線の本数を上記場合と同じにすれば一水平走査期間を 2 倍にすることができる。したがって、本液晶表示装置は、倍速駆動を行う液晶表示装置やデジタルシネマ規格あるいはスーパーハイビジョン規格の液晶表示装置に好適である。

40

【 0 1 0 9 】

図 2 5（a）の表示部 1 0 i を、図 2 9 に示すように駆動することも可能である。すなわち、各水平走査期間の冒頭にリフレッシュ期間 R を設け、このリフレッシュ期間 R には、各データ信号線にリフレッシュ電位（例えば、V c o m）を供給する。なお、リフレッシュ期間 R は、例えば、ラッチストロブ信号 L S が「H i g h」になっている期間に同

50

期させる（後述）。こうすれば、大型化、高精細化あるいは高速駆動化等によって必然的に画素充電時間が小さくなる液晶表示装置において、一水平走査期間前に同一データ信号線に供給された電位レベルの相異に起因する現水平走査期間の到達電位（充電率）のばらつきを抑制することができる。すなわち、倍速駆動時において、データ信号線に供給される信号電位の極性が1フレーム中プラス極性であって現水平走査期間の階調が中間調の場合には、上記のとおり一水平走査期間前に供給された電位レベルの相異によって到達電位がばらつくが（図41参照）、図29のように、各データ信号線に供給される信号電位の極性を2Hごとに反転させるとともに各水平走査期間冒頭のリフレッシュ期間Rにリフレッシュ電位（Vcom）を供給して倍速駆動を行うことで、到達電位のばらつきを抑制することができる。

10

【0110】

なお、画素分割方式である図27(a)の表示部10jを図30のように駆動することでも、一水平走査期間前に同一データ信号線に供給された電位レベルの相異に起因する現水平走査期間の到達電位（充電率）のばらつきを抑制することができる。

【0111】

また、図25(a)の表示部10iを、図31に示すように駆動することも可能である。すなわち、各水平走査期間の冒頭にリフレッシュ期間Rを設けて該リフレッシュ期間Rに各データ信号線へリフレッシュ電位（例えば、Vcom）を供給するとともに、各走査信号線を、前回の走査から2/3フレーム期間程度経過したタイミングで、リフレッシュ期間Rと同期するように複数回（例えば、3回）選択し、この中途選択期間において各走査信号線に接続する画素に上記リフレッシュ電位（例えば、Vcom）を書き込む。中途選択期間は一水平走査期間よりも短期間であるが、中途選択期間を一水平走査期間の間隔において複数回設けてインパルス駆動を行うことで、各画素に黒を書き込む（黒挿入すること）ことができる。こうすれば、各画素は、1フレーム期間のうち2/3フレーム期間は入力映像データを表示する一方、残りの1/3フレーム期間は黒表示を行うことになるため、動画表示時の尾引き等が低減され、動画表示品位を向上させることができる。

20

【0112】

なお、画素分割方式である図27(a)の表示部10jを、図32のように駆動することでも、動画表示時の尾引き等が低減され、動画表示品位を向上させることができる。

【0113】

〔実施の形態4〕

図33(a)は、本液晶表示装置の表示部の一構成例を示す模式図であり、図33(b)～(e)は該表示部の駆動方法を示す模式図であり、図34は、該駆動方法を示すタイミングチャートである。図33(a)に示すように、表示部10kでは、1つの画素列（例えば、PS1）に対応して、その（例えば、PS1の）両側に第1および第2データ信号線（例えば、S1a・S1b）が設けられ、該画素列に含まれる1つの画素（例えば、P(1,1)）は1本の走査信号線（例えば、G1）に接続されるとともに第1および第2のデータ信号線（例えば、S1a・S1b）のいずれかに接続される。具体的には、各画素列の1行目の画素を数え始めの1番目の画素とし、走査方向に数えて連続する奇数番目にあたる2画素を順に対としていくとともに連続する偶数番目にあたる2画素を対としていき、奇数番目にあたる2つの画素からなる対と、偶数番目にあたる2つの画素からなる対とを交互に順序付けて考えた場合に、各対の2つの画素が異なるデータ信号線に接続される。なお、各画素においては、画素電極PEがトランジスタ(TFT)を介して1本のデータ信号線に接続され、該トランジスタのゲート端子は1本の走査信号線に接続されている。

30

40

【0114】

また、第1および第2データ信号線（例えば、S1a・S1b）には互いに同極性の信号電位が供給され、各データ信号線に供給される信号電位の極性は1水平走査期間（1H）ごとに反転する。さらに、1つの画素行に含まれる各画素は同一の走査信号線に接続され、隣接する2つの画素列の一方（例えば、PS1）に対応する第1および第2データ信

50

号線と、該2つの画素列の他方（例えば、PS2）に対応する第1および第2データ信号線とには逆極性の信号電位が供給される。

【0115】

そして、対をなす2つの画素それぞれに接続する走査信号線の同時選択が上記順序に従って行われる（該同時選択が、奇数番目にあたる2画素からなる対と、偶数番目にあたる2画素からなる対とにつき、走査方向に従って交互に行われる）。すなわち、各走査信号線は、1行目の画素に接続する走査信号線を1番目の走査信号線として、これから順に、連続する奇数番目にあたる2本の走査信号線と、連続する偶数番目にあたる2本の走査信号線とが、交互に同時選択されていく。

【0116】

例えば画素列PS1についていえば、画素列PS1の両側に第1および第2データ信号線S1x・S1yが配されており、1番目の画素P(1,1)と3番目の画素P(3,1)とが対とされ、画素P(1,1)が走査信号線G1に接続されるとともに第1データ信号線S1aに接続され、画素P(3,1)が走査信号線G3に接続されるとともに第2データ信号線S1bに接続され、同様に、2番目の画素P(2,1)と4番目の画素P(4,1)とが対とされ、画素P(2,1)が走査信号線G2に接続されるとともに第1データ信号線S1aに接続され、画素P(4,1)が走査信号線G4に接続されるとともに第2データ信号線S1bに接続され、同様に、5番目の画素P(5,1)と7行目の画素P(7,1)とが対とされ、画素P(5,1)が走査信号線G5に接続されるとともに第1データ信号線S1aに接続され、画素P(7,1)が走査信号線G7に接続されるとともに第2データ信号線S1bに接続されている。

【0117】

また、画素列PS2についていえば、画素列PS2の両側に第1および第2データ信号線S2a・S2bが配されており、1番目の画素P(1,2)と3番目の画素P(3,2)とが対とされ、画素P(1,2)が走査信号線G1に接続されるとともに第1データ信号線S2aに接続され、画素P(3,2)が走査信号線G3に接続されるとともに第2データ信号線S2bに接続され、同様に、2番目の画素P(2,2)と4番目の画素P(4,2)とが対とされ、画素P(2,2)が走査信号線G2に接続されるとともに第1データ信号線S2aに接続され、画素P(4,2)が走査信号線G4に接続されるとともに第2データ信号線S2bに接続され、同様に、5番目の画素P(5,2)と7行目の画素P(7,2)とが対とされ、画素P(5,2)が走査信号線G5に接続されるとともに第1データ信号線S2aに接続され、画素P(7,2)が走査信号線G7に接続されるとともに第2データ信号線S2bに接続されている。

【0118】

上記第1および第2データ信号線S1a・S1bについては、所定水平走査期間（図33(b)に示した状態）では第1データ信号線S1aにプラス極性の電位が供給されるとともに、第2データ信号線S1bにもプラス極性の電位が供給され、次の水平走査期間（図33(c)に示した状態）では第1データ信号線S1aにマイナス極性の電位が供給されるとともに、第2データ信号線S1bにもマイナス極性の電位が供給され、次の水平走査期間（図33(d)に示した状態）では第1データ信号線S1aにプラス極性の電位が供給されるとともに、第2データ信号線S1bにもプラス極性の電位が供給される。

【0119】

そして、図33(b)～(d)および図34に示すように、画素P(1,1)・P(1,2)に接続する走査信号線G1と画素P(3,1)・P(3,2)に接続する走査信号線G3とがまず同時選択され、次いで、画素P(2,1)・P(2,2)に接続する走査信号線G2と画素P(4,1)・P(4,2)に接続する走査信号線G4とが同時選択され、次いで、画素P(5,1)・P(5,2)に接続する走査信号線G5と画素P(7,1)・P(7,2)に接続する走査信号線G7とが同時選択される。

【0120】

これにより、表示部10kでは、最初の水平走査期間に、第1データ信号線S1aから

10

20

30

40

50

画素 P (1 , 1) の画素電極にプラス極性の電位が書き込まれるのに同期して、第 2 データ信号線 S 1 y から画素 P (3 , 1) の画素電極にプラス極性の電位が書き込まれるとともに、第 1 データ信号線 S 2 a から画素 P (1 , 2) の画素電極にマイナス極性の電位が書き込まれるのに同期して、第 2 データ信号線 S 2 b から画素 P (3 , 2) の画素電極にマイナス極性の電位が書き込まれる (図 3 3 (b) 参照) 。また、次の水平走査期間には、第 1 データ信号線 S 1 a から画素 P (2 , 1) の画素電極にマイナス極性の電位が書き込まれるのに同期して、第 2 データ信号線 S 1 b から画素 P (4 , 1) の画素電極にマイナス極性の電位が書き込まれるとともに、第 1 データ信号線 S 2 a から画素 P (2 , 2) の画素電極にプラス極性の電位が書き込まれるのに同期して、第 2 データ信号線 S 2 b から画素 P (4 , 2) の画素電極にプラス極性の電位が書き込まれる (図 3 3 (c) 参照) 。さらに次の水平走査期間には、第 1 データ信号線 S 1 a から画素 P (5 , 1) の画素電極にプラス極性の電位が書き込まれるのに同期して、第 2 データ信号線 S 1 b から画素 P (7 , 1) の画素電極にプラス極性の電位が書き込まれるとともに、第 1 データ信号線 S 2 a から画素 P (5 , 2) の画素電極にマイナス極性の電位が書き込まれるのに同期して、第 2 データ信号線 S 2 b から画素 P (7 , 2) の画素電極にマイナス極性の電位が書き込まれる (図 3 3 (d) 参照) 。

【 0 1 2 1 】

このように、表示部 1 0 k によれば、2 本の走査信号線を同時選択することで一水平走査期間を延ばしつつ、各画素をドット反転させることができる。すなわち、フリッカを抑制しつつ画素充電時間を増やすことが可能となる。

【 0 1 2 2 】

なお、本構成でも、一水平走査期間を走査信号線が 1 本ずつ選択される場合と同じにすれば 2 倍の本数の走査信号線を走査することができ、走査信号線の本数を上記場合と同じにすれば一水平走査期間を 2 倍にすることができる。したがって、本液晶表示装置は、倍速駆動を行う液晶表示装置やデジタルシネマ規格あるいはスーパーハイビジョン規格の液晶表示装置に好適である。

【 0 1 2 3 】

さらに、本構成ではデータ信号線に供給される信号電位の極性を 1 水平走査期間単位で反転させるため、大型、高精細あるいは高速駆動等によって必然的に画素充電時間が小さくなる液晶表示装置において、一水平走査期間前に同一データ信号線に供給された電位レベルの相異に起因する現水平走査期間の到達電位 (充電率) のばらつきを概ね解消することができる。すなわち、倍速駆動時において、データ信号線に供給される信号電位の極性が 1 フレーム中プラス極性であって現水平走査期間の階調が中間調の場合には、上記のとおり一水平走査期間前に供給された電位レベルの相異によって到達電位がばらつくが (図 4 1 参照) 、図 3 4 のようにデータ信号線に供給される信号電位の極性を 1 水平走査期間ごとに反転させて倍速駆動を行うことで、図 4 4 に示すように、一水平走査期間前に供給された電位レベルが白階調に対応する値 (階調電位 $V_{255} = -7.5 \text{ V}$) である場合の画素電位の波形と、該電位レベルが黒階調 (階調電位 $V_0 = 0 \text{ V}$) に対応する場合の画素電位の波形と、上記電位レベルが中間調に対応する場合の画素電位の波形とを揃えることができ、各場合の到達電位をほぼ一致させることができる。

【 0 1 2 4 】

図 3 3 (a) の表示部 1 0 k を、例えば図 3 5 (a) に示すような画素分割方式 (マルチ画素構造) とすることもできる。図 3 5 (a) に示す表示部 1 0 p では、1 つの画素を横切るように該画素に対応する 1 本の走査信号線が設けられ、走査信号線と平行に複数の保持容量配線が設けられる。各画素には、走査信号線の一方側に第 1 トランジスタおよび第 1 画素電極 P E 1 が設けられるとともに該走査信号線の他方側に第 2 トランジスタおよび第 2 画素電極 P E 2 が設けられており、第 1 および第 2 画素電極 P E 1 ・ P E 2 は、それぞれ第 1 および第 2 トランジスタを介して同一のデータ信号線に接続され、第 1 および第 2 のトランジスタは同一の走査信号線に接続され、第 1 および第 2 の画素電極 P E 1 ・ P E 2 は、それぞれ異なる保持容量配線と保持容量を形成している。また、列方向に隣り

10

20

30

40

50

合う2つの画素（2つの画素列）に対応して1本の保持容量配線が設けられ、該2つの画素の一方に設けられた第1あるいは第2の画素電極と上記2つの画素領域の他方に設けられた第1あるいは第2の画素電極とが、この保持容量配線と保持容量を形成している。なお、各画素（これに含まれる第1および第2画素電極PE1・PE2、並びに第1および第2トランジスタ）とデータ信号線および走査信号線との接続関係は、図33（a）の表示部10kと同様である。

【0125】

図36は表示部10pの各データ信号線および各走査信号線、並びに各保持容量配線の駆動方法を示すタイミングチャートである。図36に示すように、各データ信号線および各走査信号線の駆動方法は図34と同様であり、1つの画素に接続する走査信号線をOFFするの同期して、あるいはOFFした後に、該画素の第1および第2の画素電極PE1・PE2と保持容量を形成する2本の保持容量配線の電位を、互いに逆方向（突き上げ・突き下げ方向）にレベルシフトさせる。例えば走査信号線G1・G3がOFFするときは保持容量配線Cs1およびCs2の電位は変動（レベルシフト）させず、走査信号線G2・G4がOFFするの同期して、保持容量配線Cs1の電位を突き上げる方向にレベルシフトさせるとともに保持容量配線Cs2の電位を突き下げる方向にレベルシフトさせ、かつ保持容量配線Cs3の電位を突き上げる方向にレベルシフトさせるとともに保持容量配線Cs4の電位を突き下げる方向にレベルシフトさせる。

【0126】

より具体的には、表示部10pの各保持容量配線は以下のように形成され、そして電位制御される。すなわち、1行目の画素（例えば、P（1，1））の各画素電極PE1・PE2と保持容量を形成する保持容量配線が1番目および2番目の保持容量配線Cs1・Cs2であり、2番目の保持容量配線Cs2は2行目の画素（例えば、P（2，1））の画素電極PE2とも保持容量を形成しており、1行目および2行目の画素の同時書き込み終了時あるいはその後、1番目および2番目の保持容量配線Cs1・Cs2の電位が同期して逆向きにレベルシフトし、1番目の保持容量配線Cs1を数え始めとして走査方向に数え、奇数番目の保持容量配線を2本ずつ束にして考えた場合に、各束（例えば、Cs1・Cs3の束）では、前番となる保持容量配線（例えば、Cs1）の電位のレベルシフトに同期して後番となる保持容量配線（例えば、Cs3）の電位がこれと同じ向きにレベルシフトし、隣り合う2つの束（例えば、Cs1およびCs3の束とCs5およびCs7の束）間では、走査方向下流側に位置する束の各保持容量配線（Cs5・Cs7）の電位が、走査方向上流側に位置する束の各保持容量配線（Cs1・Cs3）の電位がレベルシフトした2水平走査期間（2H）後にレベルシフトし、偶数番目の保持容量配線を2本ずつ束にして考えた場合に、各束（例えば、Cs2・Cs4の束）では、前番となる保持容量配線（例えば、Cs2）の電位のレベルシフトに同期して後番となる保持容量配線（例えば、Cs4）の電位がこれと同じ向きにレベルシフトし、隣り合う2つの束（例えば、Cs2およびCs4の束とCs6およびCs8の束）間では、走査方向下流側に位置する束の各保持容量配線（Cs6・Cs8）の電位が、走査方向上流側に位置する束の各保持容量配線（Cs2・Cs4）の電位がレベルシフトした2水平走査期間（2H）後にレベルシフトする。なお、各保持容量配線の電位レベルシフトの周期は、1垂直走査期間（1フレーム期間）である。

【0127】

表示部10pでは、図35（b）に示すように、最初の水平走査期間に走査信号線G1・G3が同時にON（選択）され、第1データ信号線S1aから画素P（1，1）の第1および第2画素電極PE1・PE2にプラス極性の同一電位が書き込まれるのに同期して、第2データ信号線S1bから画素P（3，1）の第1および第2画素電極PE1・PE2にプラス極性の同一電位が書き込まれるとともに、第1データ信号線S2aから画素P（1，2）の第1および第2画素電極PE1・PE2にマイナス極性の同一電位が書き込まれるのに同期して、第2データ信号線S2bから画素P（3，2）の第1および第2画素電極PE1・PE2へマイナス極性の同一電位が書き込まれる。

10

20

30

40

50

【 0 1 2 8 】

そして、図 3 5 (c) に示すように、次の水平走査期間に走査信号線 G 2 ・ G 4 が同時に ON (選択) され、第 1 データ信号線 S 1 a から画素 P (2 , 1) の第 1 および第 2 画素電極 P E 1 ・ P E 2 にマイナス極性の同一電位が書き込まれるのに同期して、第 2 データ信号線 S 1 b から画素 P (4 , 1) の第 1 および第 2 画素電極 P E 1 ・ P E 2 にマイナス極性の同一電位が書き込まれるとともに、第 1 データ信号線 S 2 a から画素 P (2 , 2) の第 1 および第 2 画素電極 P E 1 ・ P E 2 にプラス極性の同一電位が書き込まれるのに同期して、第 2 データ信号線 S 2 b から画素 P (4 , 2) の第 1 および第 2 画素電極 P E 1 ・ P E 2 にプラス極性の同一電位が書き込まれる。

【 0 1 2 9 】

ここで、走査信号線 G 2 ・ G 4 が同時に OFF されるのに同期して、保持容量配線 C s 1 が突き上げるとともに保持容量配線 C s 2 が突き下げ、かつ保持容量配線 C s 3 が突き上げるとともに保持容量配線 C s 4 が突き下げる。

【 0 1 3 0 】

これにより、画素列 P S 1 では、画素 P (1 , 1) の第 1 画素電極 P E 1 を含む部分は明副画素、画素 P (1 , 1) の第 2 画素電極 P E 2 を含む部分は暗副画素、画素 P (2 , 1) の第 1 画素電極 P E 1 を含む部分は明副画素、画素 P (2 , 1) の第 2 画素電極 P E 2 を含む部分は暗副画素、画素 P (3 , 1) の第 1 画素電極 P E 1 を含む部分は明副画素、画素 P (3 , 1) の第 2 画素電極 P E 2 を含む部分は暗副画素... となり、画素列 P S 2 では、画素 P (1 , 2) の第 2 画素電極 P E 2 を含む部分は暗副画素、画素 P (1 , 2) の第 1 画素電極 P E 1 を含む部分は明副画素、画素 P (2 , 1) の第 2 画素電極 P E 2 を含む部分は暗副画素、画素 P (2 , 1) の第 1 画素電極 P E 1 を含む部分は明副画素、画素 P (3 , 1) の第 2 画素電極 P E 2 を含む部分は暗副画素、画素 P (3 , 1) の第 1 画素電極 P E 1 を含む部分は明副画素... となる。これにより、画素列 P S 1 では、副画素が、明、暗、明、暗、明・・・の順に並び、画素列 P S 2 では、副画素が、暗、明、暗、明、暗・・・の順に並ぶことになる。

【 0 1 3 1 】

このように、表示部 1 0 p によれば、フリッカを抑制しつつ画素の画素充電時間を増やすとともに、一水平走査期間前に供給された電位レベルの相異によって現水平走査期間での到達電位 (充電率) がばらつくという問題を概ね解消し、かつ視野角特性も高めることが可能となる。また、明副画素と暗副画素とを市松状に配置し、明副画素同士あるいは暗副画素同士が隣り合わないようにすることができる。これにより、ざらつき感 (ジャギー) を抑制しながら視野角特性を高めることが可能となる。

【 0 1 3 2 】

なお、本構成でも、一水平走査期間を走査信号線が 1 本ずつ選択される場合と同じにすれば 2 倍の本数の走査信号線を走査することができ、走査信号線の本数を上記場合と同じにすれば一水平走査期間を 2 倍にすることができる。したがって、本液晶表示装置は、倍速駆動を行う液晶表示装置やデジタルシネマ規格あるいはスーパーハイビジョン規格の液晶表示装置に好適である。

【 0 1 3 3 】

さらに、保持容量配線 C s 1 および C s 3 の電位のレベルシフトが同じ向きでかつ同期し、保持容量配線 C s 2 および C s 4 の電位のレベルシフトが同じ向きでかつ同期しているため、保持容量配線 C s 1 および C s 3 に与える信号 (C s 信号) を共通化し、また、保持容量配線 C s 2 および C s 4 に与える信号 (C s 信号) を共通化することができる。すなわち、上記のように、奇数番目の保持容量配線を 1 番目の保持容量配線から順に 2 本ずつ束にし、偶数番目の保持容量配線を 2 番目の保持容量配線から順に 2 本ずつ束にすれば、束とされる 2 本の保持容量配線に与える C s 信号を共通化することができる。これにより、全保持容量配線に与える C s 信号の数 (種類) をほぼ半分に削減でき、C s 信号を生成する C s 制御回路 (図 4 6 参照) の回路規模を小さくすることができる。なお、束とされる 2 本の保持容量 (例えば、C s 1 と C s 3) は、パネル内で接続されて (例えば、

10

20

30

40

50

同一のCs幹配線に接続されて)いてもよいし、Cs制御回路内の同じ出力端子に接続されていてもよい。

【0134】

図33(a)の表示部10kを、図37に示すように駆動することも可能である。すなわち、各水平走査期間の冒頭にリフレッシュ期間Rを設け、このリフレッシュ期間Rには、各データ信号線にリフレッシュ電位(例えば、Vcom)を供給する。なお、リフレッシュ期間Rは、例えば、ラッチストロブ信号LSが「High」になっている期間に同期させる(後述)。こうすれば、大型化、高精細化あるいは高速駆動化等によって必然的に画素充電時間が小さくなる液晶表示装置において、一水平走査期間前に同一データ信号線に供給された電位レベルの相異に起因する現水平走査期間の到達電位(充電率)のばらつきを抑制することができる。すなわち、倍速駆動時において、データ信号線に供給される信号電位の極性が1フレーム中プラス極性であって現水平走査期間の階調が中間調の場合には、上記のとおり一水平走査期間前に供給された電位レベルの相異によって到達電位がばらつくが(図41参照)、図37のように、各データ信号線に供給される信号電位の極性を1Hごとに反転させるとともに各水平走査期間冒頭のリフレッシュ期間Rにリフレッシュ電位(Vcom)を供給して倍速駆動を行うことで、図43に示すように、一水平走査期間前に供給された電位レベルが白階調(階調電位 $V_{255} = -7.5V$)に対応する場合の画素電位の波形と、該電位レベルが黒階調(階調電位 $V_0 = 0V$)に対応する場合の画素電位の波形と、上記電位レベルが中間調に対応する場合の画素電位の波形とを近づけることができ、到達電位のばらつきを抑制することができる。

10

20

【0135】

なお、画素分割方式である図35(a)の表示部10pを図38のように駆動することでも、一水平走査期間前に同一データ信号線に供給された電位レベルの相異に起因する現水平走査期間の到達電位(充電率)のばらつきを大幅に抑制することができる。

【0136】

また、図33(a)の表示部10kを、図39に示すように駆動することも可能である。すなわち、各水平走査期間の冒頭にリフレッシュ期間Rを設けて該リフレッシュ期間Rに各データ信号線へリフレッシュ電位(例えば、Vcom)を供給するとともに、各走査信号線を、前回の走査から2/3フレーム期間程度経過したタイミングで、リフレッシュ期間Rと同期するように複数回(例えば、3回)選択し、この中途選択期間において各走査信号線に接続する画素に上記リフレッシュ電位(例えば、Vcom)を書き込む。中途選択期間は一水平走査期間よりも短期間であるが、中途選択期間を一水平走査期間の間隔において複数回設けてインパルス駆動を行うことで、各画素に黒を書き込む(黒挿入)ことができる。こうすれば、各画素は、1フレーム期間のうち2/3フレーム期間は入力映像データを表示する一方、残りの1/3フレーム期間は黒表示を行うことになるため、動画表示時の尾引き等が低減され、動画表示品位を向上させることができる。

30

【0137】

なお、画素分割方式である図35(a)の表示部10pを、図40のように駆動することでも、動画表示時の尾引き等が低減され、動画表示品位を向上させることができる。

【0138】

実施の形態4の説明では、データ信号線に供給される信号電位の極性を1水平走査期間(1H)ごとに反転させているが、これに限定されない。各画素の接続関係はそのままにして同時選択の順序を変えれば、データ信号線に供給される信号電位の極性を複数水平走査期間ごとに反転させることもできる。この場合、上記信号電位の極性を1水平走査期間ごとに反転させる場合よりもソースドライバの消費電力を低減することができる。

40

【0139】

[上記各実施の形態について]

上記各実施の形態では、1つの画素列に対応して、その両側に第1および第2データ信号線が設けられているが、これに限定されない。例えば、図53のように、1つの画素列に対応して、該画素列の一方の側に第1データ信号線(例えば、S1xやS1a)が設け

50

られ、該画素列と重なるように第2データ信号線（例えば、S1yやS1b）が設けられていてもよい。こうすれば、データ信号線同士を離すことができ、これらの間に生じる寄生容量を低減することができる。また、こうすれば、画素列の両側に該画素列に対応するデータ信号線を配置する構成に比べてデータ信号線同士の距離を広く保つことができる。これにより、データ信号線同士の短絡率を減少させることができ、製造歩留まりを高めることができる。なお、この構成では、データ信号線と各画素の画素電極とが重なるため、データ信号線上の層間絶縁膜を厚くしておく（例えば、該層間絶縁膜に有機絶縁膜を用いる）ことが望ましい。

【0140】

上記の図9～12で示すような、1V反転駆動（各データ信号線に供給する信号電位の極性を1フレームごとに反転させる駆動）でリフレッシュを行う場合には、リフレッシュ電位 V_r を、1H（水平走査期間）前の信号電位 V_p と、現水平走査期間の信号電位 V_q と、アクティブマトリクス基板の対向基板に形成される共通電極の電位 V_{com} とに基づいて設定することもできる（アクティブリフレッシュ）。例えば、 $V_r = V_q + \{ (V_q - V_{com}) - (V_p - V_{com}) \} / 2$ とする。この場合、リフレッシュ期間を、データ信号線の時定数（ソースラインの時定数）の90～100パーセントとする。図57は、上記のアクティブリフレッシュを、リフレッシュ期間をデータ信号線の時定数の90パーセントとして行った場合の、1水平走査期間前に供給された電位レベルによる現水平走査期間の到達電位のばらつきを示す波形図である。図57から、0階調（1H前）100階調（現水平走査期間）、100階調100階調、および255階調（1H前）100階調それぞれの場合について、画素の到達電位が良く揃い、また、到達電位も設定階調電位に略等しいものとなっていることがわかる。図58は、上記のアクティブリフレッシュを、リフレッシュ期間をデータ信号線の時定数の100パーセントとして行った場合の、1水平走査期間前に供給された電位レベルによる現水平走査期間の到達電位のばらつきを示す波形図である。図58から、0階調（1H前）100階調（現水平走査期間）、100階調100階調、および255階調（1H前）100階調それぞれの場合について、画素の到達電位がさらに良く揃い、また、到達電位も設定階調電位に略等しいものとなっていることがわかる。

【0141】

図45は、上記表示部10a、10e、10i、10k等（非画素分割方式）を含む本液晶表示装置の構成を示すブロック図である。同図に示されるように、本液晶表示装置は、表示部（液晶パネル）と、ソースドライバと、ゲートドライバと、バックライトと、バックライト駆動回路と、表示制御回路と、データ並べ替え回路44とを備えている。ソースドライバはデータ信号線を駆動し、ゲートドライバは走査信号線を駆動し、データ並べ替え回路44は入力データの並べ替えを行い（後述）、表示制御回路は、ソースドライバ、ゲートドライバおよびバックライト駆動回路を制御する。

【0142】

表示制御回路は、外部の信号源（例えばチューナー）から、表示すべき画像を表すデジタルビデオ信号 D_v と、当該デジタルビデオ信号 D_v に対応する水平同期信号 $H_S Y$ および垂直同期信号 $V_S Y$ と、表示動作を制御するための制御信号 D_c とを受け取る。また、表示制御回路は、受け取ったこれらの信号 D_v 、 $H_S Y$ 、 $V_S Y$ 、 D_c に基づき、そのデジタルビデオ信号 D_v の表す画像を表示部に表示させるための信号として、データスタートパルス信号 $S_S P$ と、データクロック信号 $S_C K$ と、ラッチストロブ信号 L_S と、表示すべき画像を表すデジタル画像信号 D_A （ビデオ信号 D_v に対応する信号）と、ゲートスタートパルス信号 $G_S P$ と、ゲートクロック信号 $G_C K$ と、ゲートドライバ出力制御信号（走査信号出力制御信号） $G_O E$ とを生成し、これらを出力する。

【0143】

より詳しくは、ビデオ信号 D_v を内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号 D_A として表示制御回路から出力し、そのデジタル画像信号 D_A の表す画像の各画素に対応するパルスからなる信号としてデータクロック信号 $S_C K$ を生

10

20

30

40

50

成し、水平同期信号 H S Y に基づき 1 水平走査期間毎に所定期間だけハイレベル (H レベル) とする信号としてデータスタートパルス信号 S S P を生成し、垂直同期信号 V S Y に基づき 1 フレーム期間 (1 垂直走査期間) 毎に所定期間だけ H レベルとなる信号としてゲートスタートパルス信号 G S P を生成し、水平同期信号 H S Y に基づきゲートクロック信号 G C K を生成し、水平同期信号 H S Y および制御信号 D c に基づきラッチストロブ信号 L S、ならびにゲートドライバ出力制御信号 G O E を生成する。

【 0 1 4 4 】

上記のようにして表示制御回路において生成された信号のうち、デジタル画像信号 D A、ラッチストロブ信号 L S、信号電位 (データ信号電位) の極性を制御する信号 P O L、データスタートパルス信号 S S P、およびデータクロック信号 S C K は、ソースドライバに入力され、ゲートスタートパルス信号 G S P とゲートクロック信号 G C K とゲートドライバ出力制御信号 G O E とは、ゲートドライバに入力される。

10

【 0 1 4 5 】

ソースドライバは、デジタル画像信号 D A、データクロック信号 S C K、ラッチストロブ信号 L S、データスタートパルス信号 S S P、および極性反転信号 P O L に基づき、デジタル画像信号 D A の表す画像の各走査信号線における画素値に相当するアナログ電位としてのデータ信号を 1 水平走査期間毎に順次生成し、これらのデータ信号をデータ信号線 (例えば、S 1 x ・ S 1 y) に出力する。

【 0 1 4 6 】

ゲートドライバは、ゲートスタートパルス信号 G S P およびゲートクロック信号 G C K と、ゲートドライバ出力制御信号 G O E とに基づき、走査信号を生成し、これらを走査信号線に出力し、これによって走査信号線を選択的に駆動する。

20

【 0 1 4 7 】

上記のようにソースドライバおよびゲートドライバにより表示部 (液晶パネル) のデータ信号線および走査信号線が駆動されることで、選択された走査信号線に接続された T F T を介して、データ信号線から画素電極に信号電位が書き込まれる。これにより各画素の液晶層にデジタル画像信号 D A に応じた電圧が印加され、その電圧印加によってバックライトからの光の透過量が制御され、デジタルビデオ信号 D v の示す画像が画素に表示される。

【 0 1 4 8 】

図 4 6 は、上記表示部 1 0 c、1 0 g、1 0 j、1 0 p 等 (画素分割方式) を含む本液晶表示装置の構成を示すブロック図である。該液晶表示装置では、図 4 5 の構成に、C S 制御回路が加えられている。C S 制御回路は、保持容量配線 (C S 配線) の電位を制御するための C S 信号の位相および周期等を制御する回路であり、表示制御回路から出力されるゲートスタートパルス信号 G S P、ゲートクロック信号 G C K が入力される。

30

【 0 1 4 9 】

本液晶表示装置は、図 4 7 に示すように、表示部 (非画素分割方式) に上領域と下領域が設けられるとともに、各領域にデータ信号線および走査信号線並びに画素が設けられ、これらが領域ごとに個別駆動される構成とすることもできる。該構成では、上下領域でデータ信号線を切り離し、それぞれを第 1 および第 2 ソースドライバで駆動する。また、上領域の各走査信号線 G 1 ・ G 2 ・ ・ ・ を第 1 ゲートドライバ G D 1 で駆動し、下領域の各走査信号線 g 1 ・ g 2 ・ ・ ・ を第 2 ゲートドライバ G D 2 で駆動する。また、第 1 および第 2 ソースドライバにはそれぞれ、表示制御回路から D A 1 ・ D A 2 が入力される。なお、表示部が画素分割方式である場合には、図 4 8 のように構成すればよい。すなわち、図 4 7 の構成に、上領域に対応する第 1 C S 制御回路 C S C 1 と、下領域に対応する第 2 C S 制御回路 C S C 2 とを追加し、上領域の保持容量配線を第 1 C S 制御回路 C S C 1 で制御し、下領域の保持容量配線を第 2 C S 制御回路 C S C 2 で制御する。

40

【 0 1 5 0 】

図 4 9 (a) (b) に、ゲートドライバの構成を示す。同図に示されるように、ゲートドライバは、シフトレジスタ 4 0 (図 4 9 (b) 参照) を含む複数の部分回路としてのゲ

50

ートドライバ用 I C (Integrated Circuit) チップ 4 1 1 a , 4 1 1 p , . . . 4 1 1 q からなる。各ゲートドライバ用 I C チップは、図 4 9 (b) に示すように、シフトレジスタ 4 0 と、当該シフトレジスタ 4 0 の各段に対応して設けられた第 1 および第 2 の A N D ゲート 4 2 ・ 4 3 と、第 2 の A N D ゲート 4 3 の出力信号 $g (1) \cdot \cdot \cdot$ に基づき走査信号 $G (1) \cdot \cdot \cdot$ を出力する出力部 4 5 とを備え、外部からの信号をスタートパルス信号 $S P i$ 、クロック信号 $C K$ 、および出力制御信号 $O E$ として受け取る。

【 0 1 5 1 】

スタートパルス信号 $S P i$ はシフトレジスタ 4 0 の入力端に与えられ、シフトレジスタ 4 0 の出力端からは、後続のゲートドライバ用 I C チップに入力されるべきスタートパルス信号 $S P o$ が出力される。また、それぞれの第 1 の A N D ゲート 4 1 にはクロック信号 $C K$ の論理反転信号が入力される一方、それぞれの第 2 の A N D ゲート 4 3 には出力制御信号 $O E$ の論理反転信号が入力される。そして、シフトレジスタ 4 0 の各段の出力信号 $Q k (k = 1 \cdot \cdot \cdot)$ は、当該段に対応する第 1 の A N D ゲート 4 1 に入力され、当該第 1 の A N D ゲート 4 1 の出力信号は当該段に対応する第 2 の A N D ゲート 4 3 に入力される。

【 0 1 5 2 】

また、ゲートドライバは、図 4 9 (a) に示すように、上記構成の複数のゲートドライバ用 I C チップ 4 1 1 a ~ 4 1 1 q が縦続接続されて構成されている。すなわち、ゲートドライバ用 I C チップ 4 1 1 a ~ 4 1 1 q 内のシフトレジスタ 4 0 が 1 つのシフトレジスタを形成するように、各ゲートドライバ用 I C チップ内のシフトレジスタの出力端 (スタートパルス信号 $S P o$ の出力端子) が次ゲートドライバ用 I C チップ内のシフトレジスタの入力端 (スタートパルス信号 $S P i$ の入力端子) に接続される。

【 0 1 5 3 】

ただし、先頭のゲートドライバ用 I C チップ 4 1 1 a 内のシフトレジスタには、表示制御回路からゲートスタートパルス信号 $G S P$ が入力され、最後尾のゲートドライバ用 I C チップ 4 1 1 q 内のシフトレジスタは外部と未接続となっている。また、表示制御回路からのゲートクロック信号 $G C K$ は、各ゲートドライバ用 I C チップにクロック信号 $C K$ として共通に入力される。一方、表示制御回路において生成されるゲートドライバ出力制御信号 $G O E$ は第 1 ~ 第 q のゲートドライバ出力制御信号 $G O E 1 \sim G O E q$ からなり、これらのゲートドライバ出力制御信号 $G O E 1 \sim G O E q$ は、ゲートドライバ用 I C チップ (4 1 1 a . . . 4 1 1 q) に入力制御信号 $O E$ としてそれぞれ個別に入力される。

【 0 1 5 4 】

図 5 0 に、本液晶表示装置に用いられるデータ並べ替え回路 4 4 (図 4 5 ~ 4 8 参照) の構成を示す。図 5 0 に示すように、データ並び替え回路 4 4 は、並び替え制御回路 6 1 と第 1 ラインメモリ 5 1 A と第 2 ラインメモリ 5 1 B とを備える。並び替え制御回路 6 1 は、入力される信号 $D v$ 、 $H S Y$ 、 $V S Y$ および $D c$ を用いて、パラレルに入力される 2 ライン (2 画素行) 分のデータをシリアル化し、1 水平走査期間 (1 H) の出力データとする。例えば、並び替え制御回路 6 1 は、奇数行の画素行の各データを第 1 ラインメモリ 5 1 A に一旦書き込むとともに、次行 (偶数行の画素行) の各データを第 2 ラインメモリ 5 1 B に一旦書き込んでおき、第 1 ラインメモリ 5 1 A および第 2 ラインメモリ 5 1 B から交互にデータを読み出すことで、パラレルに入力される 2 ライン (2 画素行) 分のデータをシリアル化する。ここで、第 1 ラインメモリ 5 1 A および第 2 ラインメモリ 5 1 B から交互にデータを読み出されたデータは、第 1 および第 2 のデータ信号線に供給される信号電位に対応する。

【 0 1 5 5 】

図 5 1 (a) (b) に、本液晶表示装置において、リフレッシュ期間を設ける場合のソースドライバの構成を示す。図 5 1 (a) に示すように、この場合のソースドライバには、各データ信号線に対応してバッファ 3 1 と、データ出力用スイッチ $S W a$ と、リフレッシュ用スイッチ $S W b$ とが設けられる。バッファ 3 1 には対応するデータ d が入力され、バッファ 3 1 の出力は、データ出力用スイッチ $S W a$ を介してデータ信号線への出力端に

接続されている。また、隣り合う2本のデータ信号線それぞれに対応する出力端は、リフレッシュ用スイッチSWbを介して互いに接続されている。すなわち、各リフレッシュ用スイッチSWbは直列に接続され、その一端がリフレッシュ電位供給源35(Vcom)に接続されている。ここで、データ出力用スイッチSWaのゲート端子には、LS(ラッチストロブ信号)がインバータ33を介して入力され、リフレッシュ用スイッチSWbのゲート端子には、LS信号が入力される。上記構成は、リフレッシュ電位のチャージシエアを比較的行き易い場合(隣接するデータ信号線が同極性とならない、表示部10bや10f等)に好適である。

【0156】

なお、図51(a)の構成を、図51(b)のように変形することもできる。すなわち、リフレッシュ用スイッチSWcを、対応するデータ信号線とリフレッシュ電位供給源35(Vcom)にのみに接続し、各リフレッシュ用スイッチSWcを直列に接続しない構成とする。こうすれば、各データ信号線に速やかにリフレッシュ電位を供給することができる。該記構成は、リフレッシュ電位のチャージシエアを比較的行き難い場合(隣接するデータ信号線が同極性となる、表示部10aや10eあるいは10k等)に好適である。

【0157】

ここで、上記各実施の形態ではリフレッシュ電位をVcomとしているがこれに限定されない。例えば、同一データ信号線に1水平走査期間前に供給された電位レベルと現水平走査期間に供給すべき信号電位とに基づいて適切なリフレッシュ電位を算出しておき、このリフレッシュ電位を該データ信号線に供給してもよい。この場合のソースドライバの構成を図52に示す。該構成では、各データ信号線に対応して、データ出力用バッファ131と、リフレッシュ用バッファ132と、データ出力用スイッチSWaと、リフレッシュ用スイッチSWeとが設けられる。データ出力用バッファ131には対応するデータdが入力され、データ出力用バッファ131の出力は、データ出力用スイッチSWaを介してデータ信号線への出力端に接続されている。リフレッシュ用バッファ132には対応する非画像データN(1水平走査期間前に供給された電位レベルと現水平走査期間に供給すべき信号電位とに基づいて決定された最適なリフレッシュ電位に対応するデータ)が入力され、リフレッシュ用バッファ132の出力は、リフレッシュ用スイッチSWeを介してデータ信号線への出力端に接続されている。

【0158】

次に、本液晶表示装置をテレビジョン受信機に適用するときの一構成例について説明する。図54は、テレビジョン受信機用の液晶表示装置800の構成を示すブロック図である。液晶表示装置800は、液晶表示ユニット84と、Y/C分離回路80と、ビデオクロマ回路81と、A/Dコンバータ82と、液晶コントローラ83と、バックライト駆動回路85と、バックライト86と、マイコン(マイクロコンピュータ)87と、階調回路88とを備えている。なお、液晶表示ユニット84は、液晶パネルと、これを駆動するためのソースドライバおよびゲートドライバとで構成される。

【0159】

上記構成の液晶表示装置800では、まず、テレビジョン信号としての複合カラー映像信号Scvが外部からY/C分離回路80に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路81にて光の3原色に対応するアナログRGB信号に変換され、さらに、このアナログRGB信号はA/Dコンバータ82により、デジタルRGB信号に変換される。このデジタルRGB信号は液晶コントローラ83に入力される。また、Y/C分離回路80では、外部から入力された複合カラー映像信号Scvから水平および垂直同期信号も取り出され、これらの同期信号もマイコン87を介して液晶コントローラ83に入力される。

【0160】

液晶表示ユニット84には、液晶コントローラ83からデジタルRGB信号が、上記同期信号に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路88では、カラー表示の3原色R、G、Bそれぞれの階調電位が生成され、それらの階調電

10

20

30

40

50

位も液晶表示ユニット 8 4 に供給される。液晶表示ユニット 8 4 では、これらの RGB 信号、タイミング信号および階調電位に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号 = 信号電位、走査信号等）が生成され、それらの駆動用信号に基づき、内部の液晶パネルにカラー画像が表示される。なお、この液晶表示ユニット 8 4 によって画像を表示するには、液晶表示ユニット内の液晶パネルの後方から光を照射する必要があり、この液晶表示装置 8 0 0 では、マイコン 8 7 の制御の下にバックライト駆動回路 8 5 がバックライト 8 6 を駆動することにより、液晶パネルの裏面に光が照射される。

【 0 1 6 1 】

上記の処理を含め、システム全体の制御はマイコン 8 7 が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この液晶表示装置 8 0 0 では、様々な映像信号に基づいた画像表示が可能である。

10

【 0 1 6 2 】

液晶表示装置 8 0 0 でテレビジョン放送に基づく画像を表示する場合には、図 5 5 に示すように、液晶表示装置 8 0 0 にチューナー部 9 0 が接続され、これによって本テレビジョン受像機 6 0 1 が構成される。このチューナー部 9 0 は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号 S c v を取り出す。この複合カラー映像信号 S c v は、既述のように液晶表示装置 8 0 0 に入力され、この複合カラー映像信号 S c v に基づく画像が該液晶表示装置 8 0 0 によって表示される。

20

【 0 1 6 3 】

図 5 6 は、本テレビジョン受像機の一構成例を示す分解斜視図である。同図に示すように、本テレビジョン受像機 6 0 1 は、その構成要素として、液晶表示装置 8 0 0 の他に第 1 筐体 8 0 1 および第 2 筐体 8 0 6 を有しており、液晶表示装置 8 0 0 を第 1 筐体 8 0 1 と第 2 筐体 8 0 6 とで包み込むようにして挟持した構成となっている。第 1 筐体 8 0 1 には、液晶表示装置 8 0 0 で表示される画像を透過させる開口部 8 0 1 a が形成されている。また、第 2 筐体 8 0 6 は、液晶表示装置 8 0 0 の背面側を覆うものであり、当該表示装置 8 0 0 を操作するための操作用回路 8 0 5 が設けられると共に、下方に支持用部材 8 0 8 が取り付けられている。

30

【 0 1 6 4 】

なお、本実施の形態では、例えば、保持容量配線の電位を該保持容量配線に供給する保持容量配線信号によって制御する。この場合、上記の説明において、保持容量配線の電位（レベル）を、該保持容量配線に供給する保持容量配線信号の電位（レベル）と読み替えることが可能である。

【 0 1 6 5 】

また、「電位極性」とは、基準となる電位以下あるいは以上を示すものであり、プラス極性とは基準となる電位以上を示し、マイナス極性とは基準となる電位以下を示している。なお、基準となる電位は共通電極（対向電極）の電位である V c o m（コモン電位）であってもその他任意の電位であってもよい。

40

【 0 1 6 6 】

さらに、「電位極性の反転」とは、基準となる電位以下のレベルから基準となる電位以上へレベルシフトすること、あるいは基準となる電位以上のレベルから基準となる電位以下へレベルシフトすることを示すものである。ここで、上記のとおり、基準となる電位は共通電極（対向電極）の電位である V c o m（コモン電位）であってもその他任意の電位であってもよく、したがって、「電位の反転（電位極性の反転）」を「電位のレベルシフト」と言い換えることもできる。

【 0 1 6 7 】

50

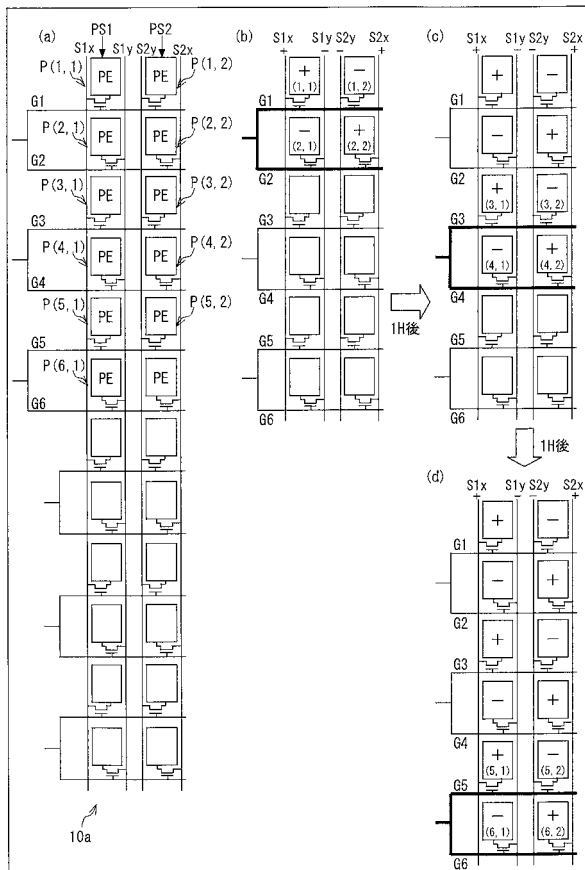
本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【産業上の利用可能性】

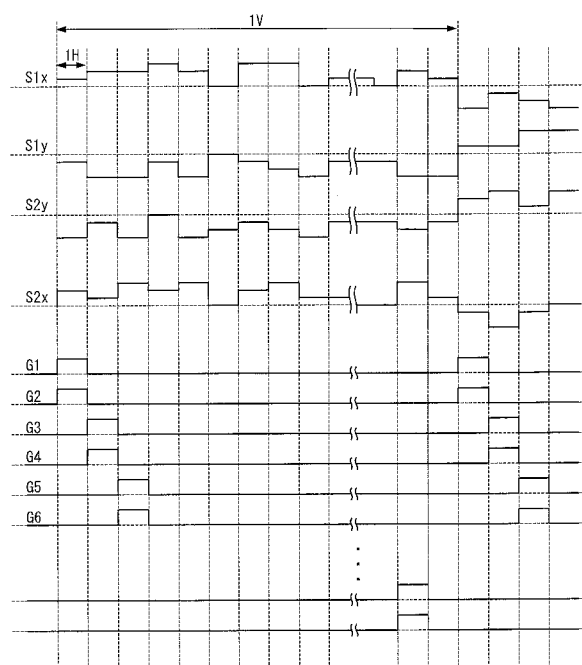
【0168】

本発明の液晶パネルおよび液晶表示装置は、例えば液晶テレビに好適である。

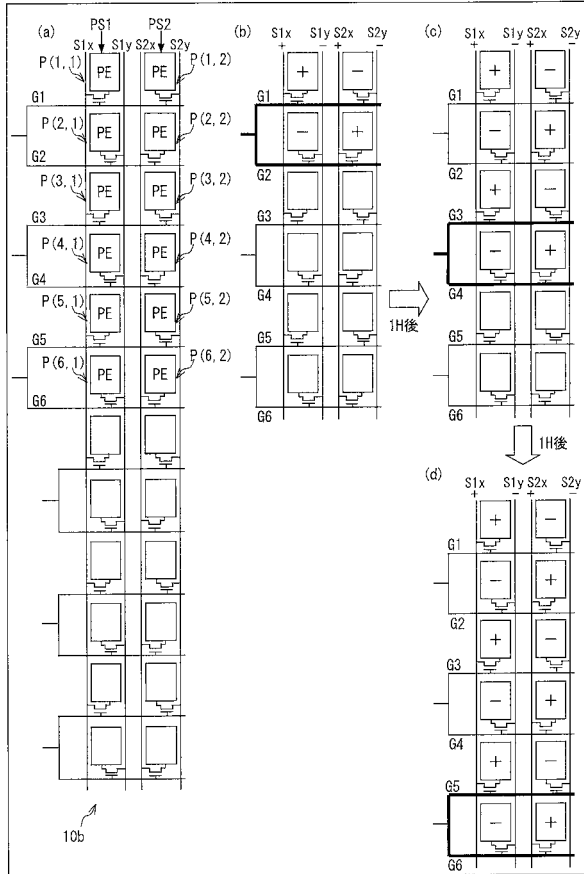
【図1】



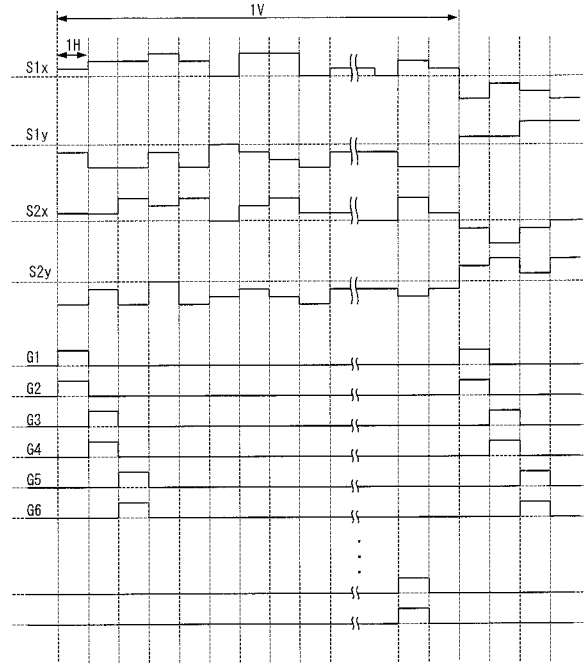
【図2】



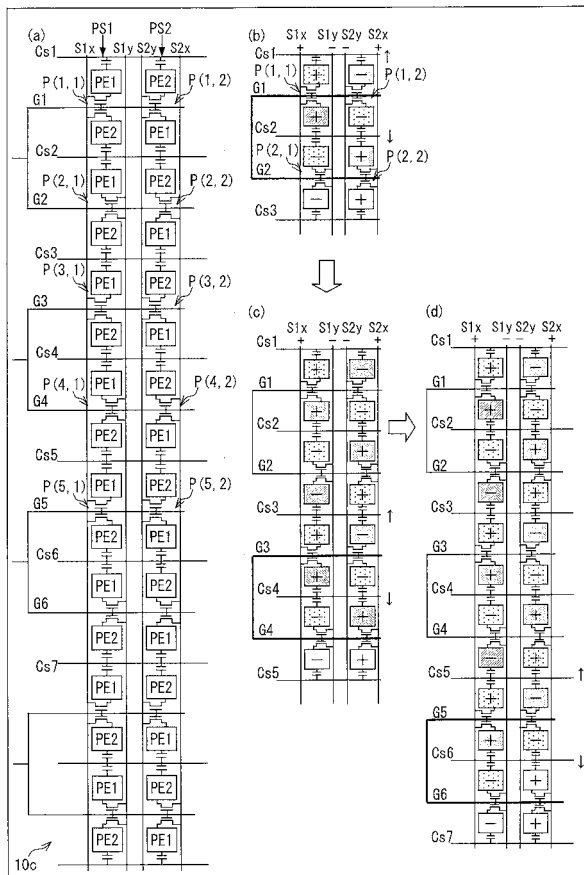
【図3】



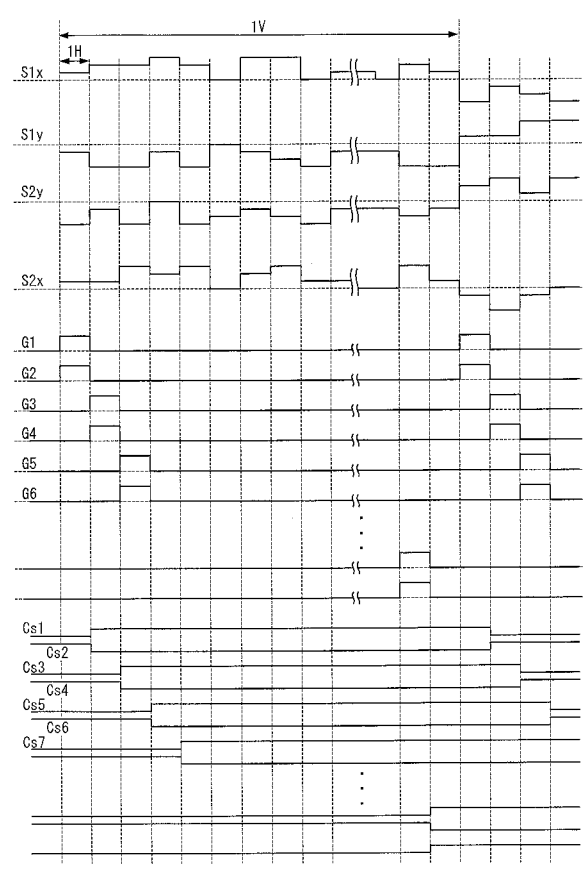
【図4】



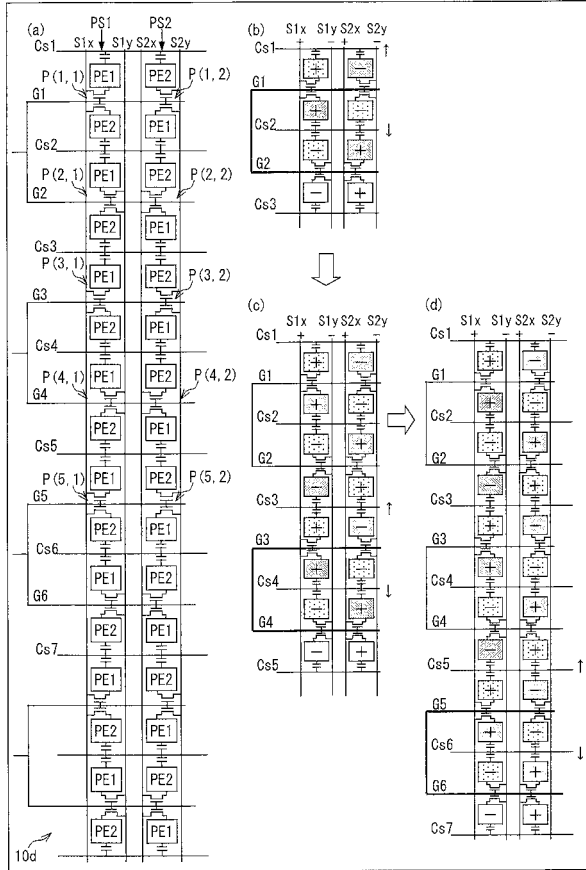
【図5】



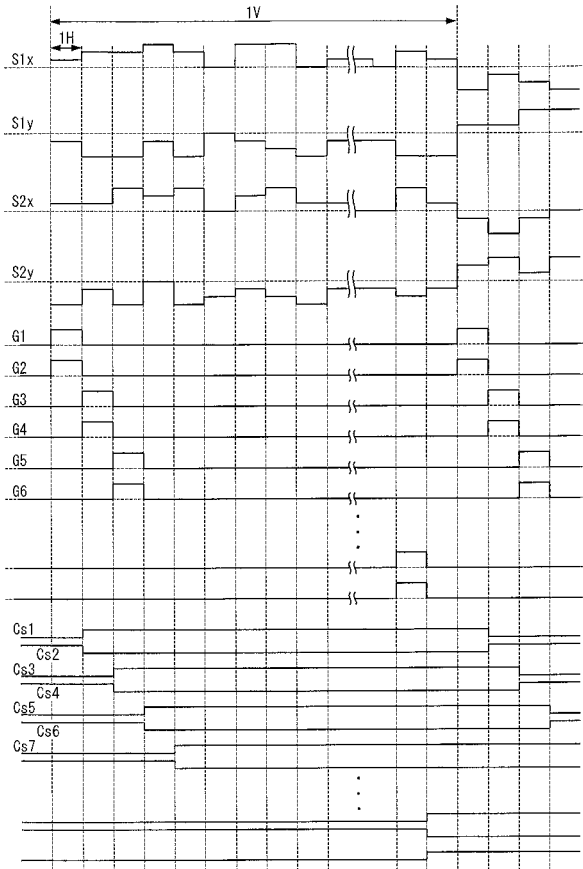
【図6】



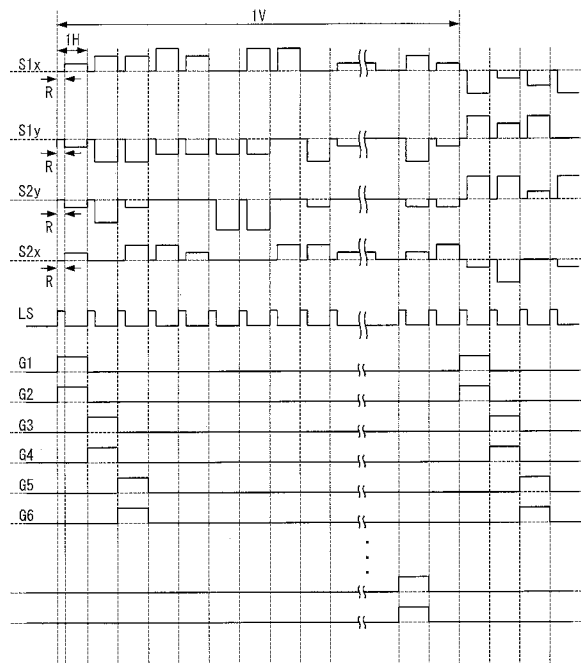
【 図 7 】



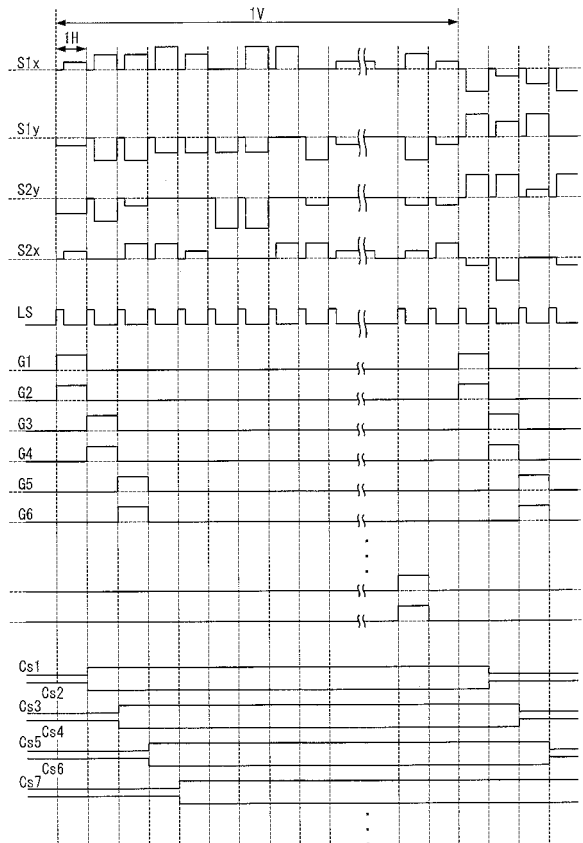
【 図 8 】



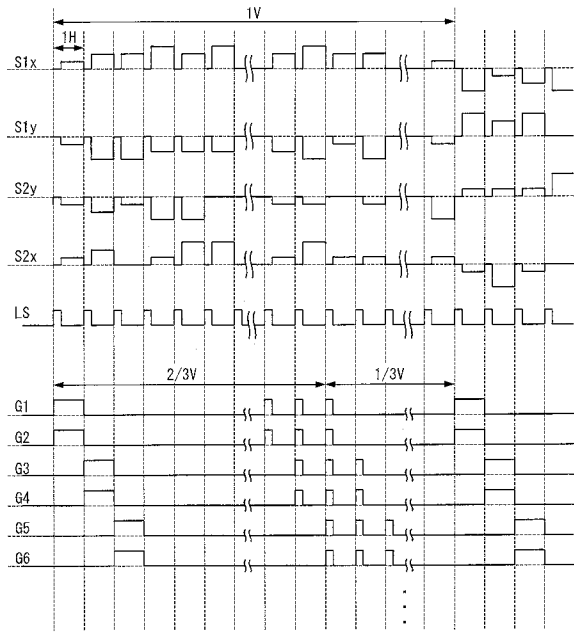
【 図 9 】



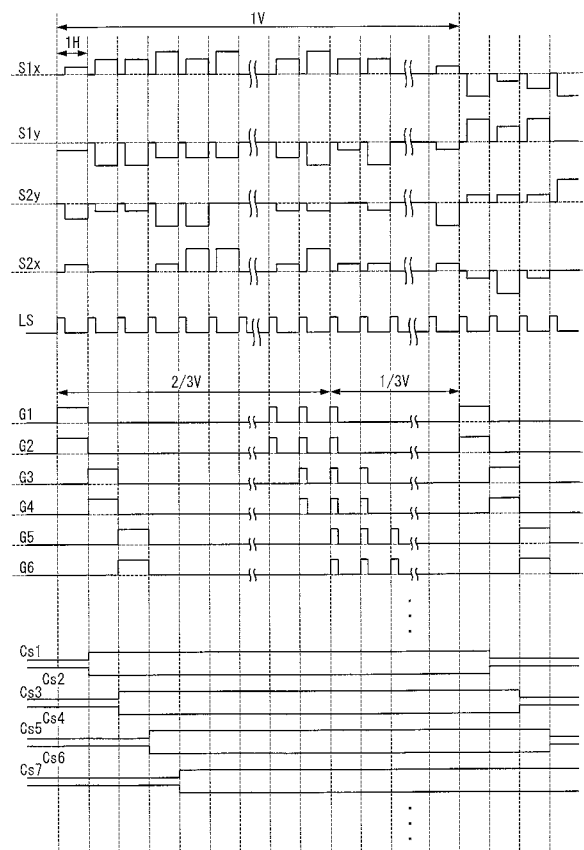
【 図 10 】



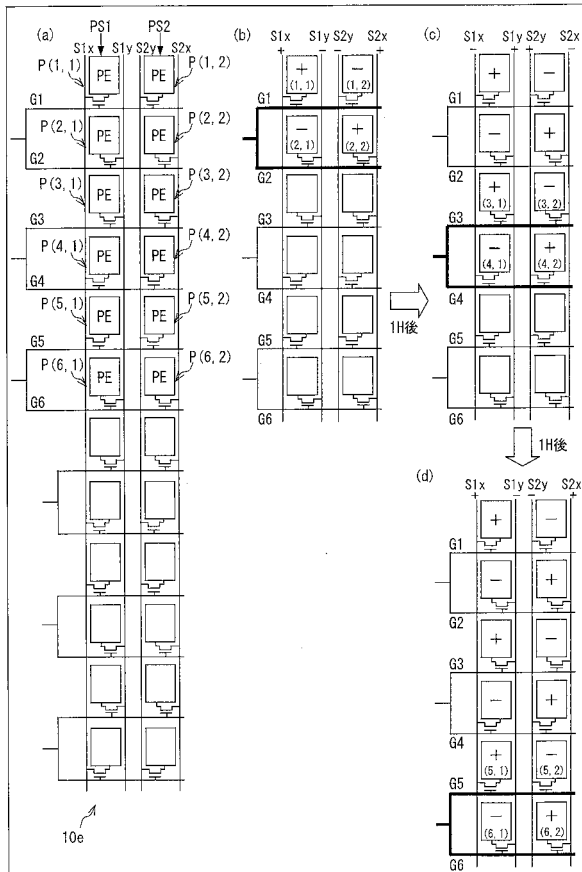
【図 1 1】



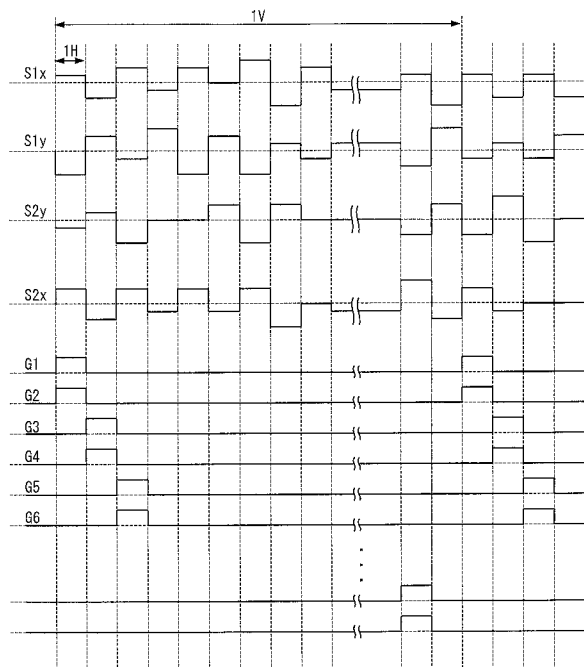
【図 1 2】



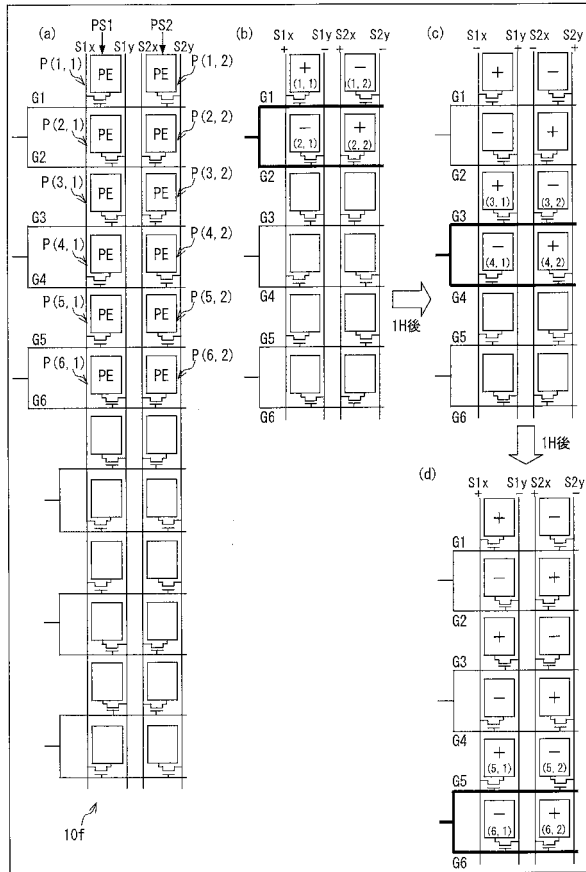
【図 1 3】



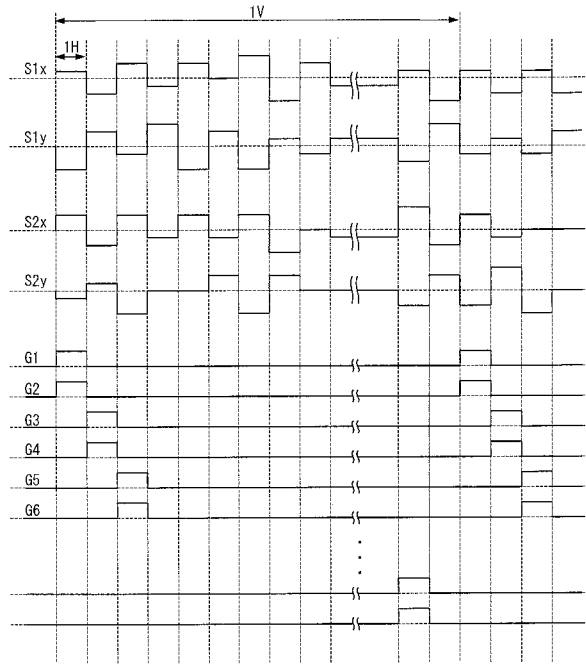
【図 1 4】



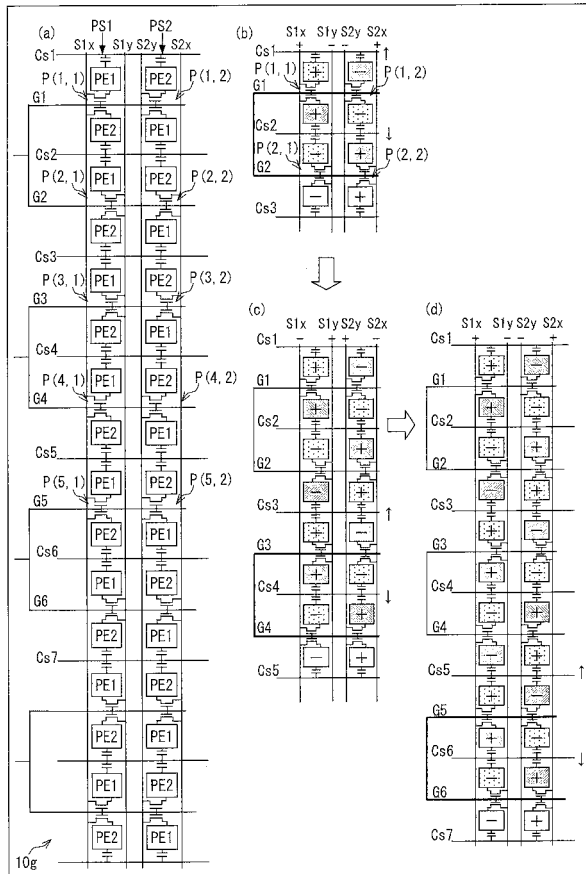
【図15】



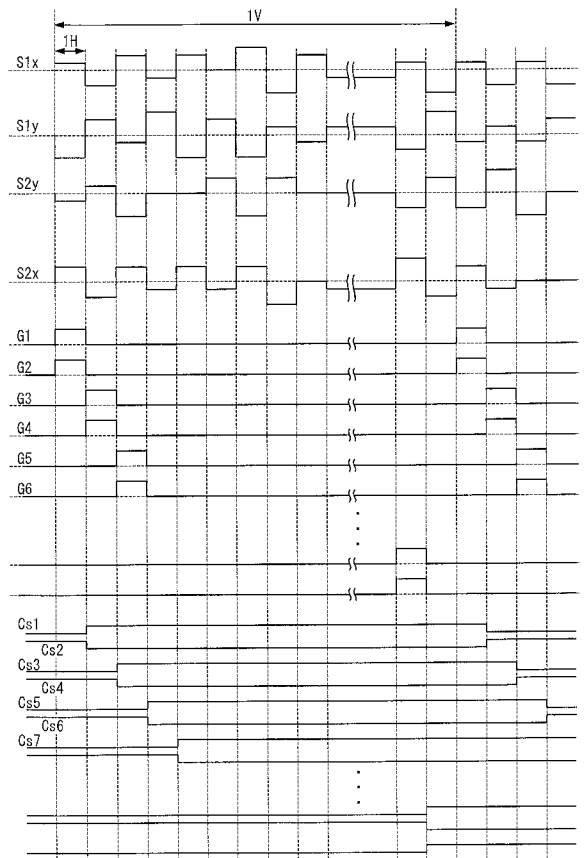
【図16】



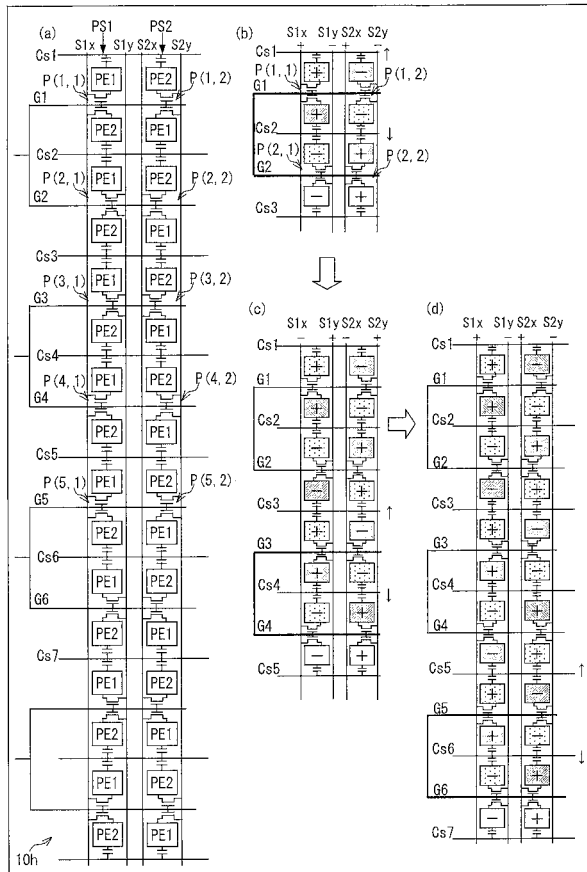
【図17】



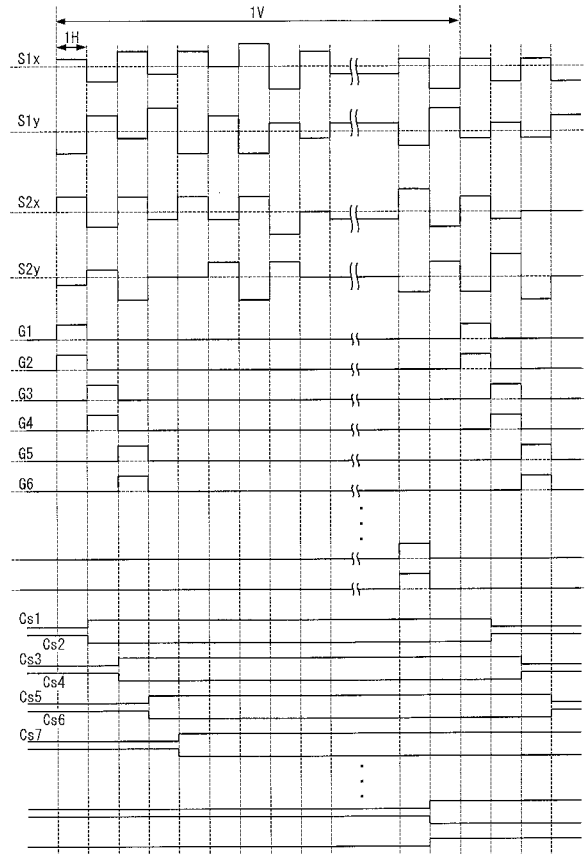
【図18】



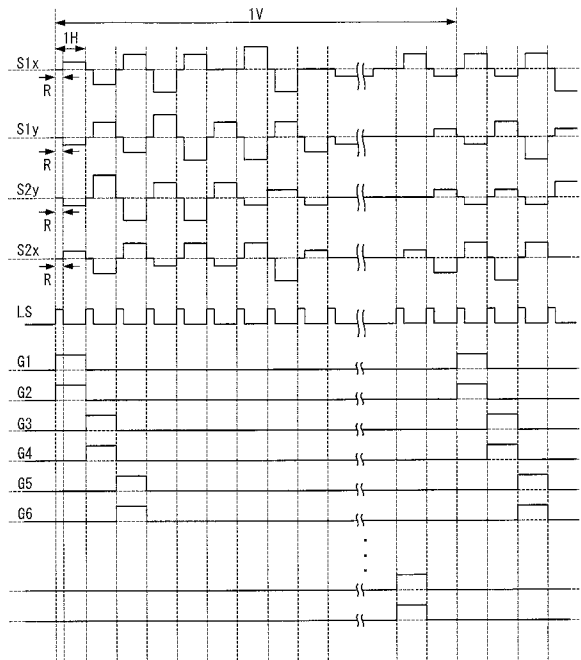
【図19】



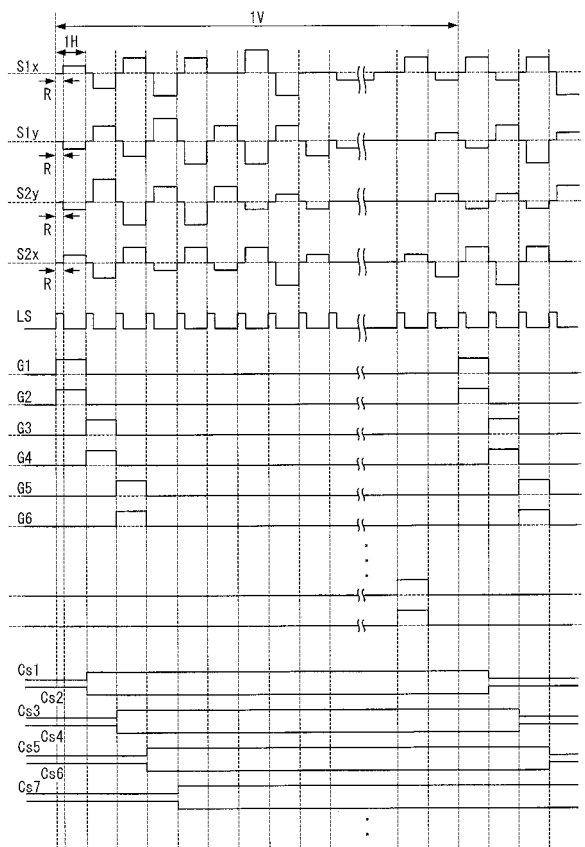
【図20】



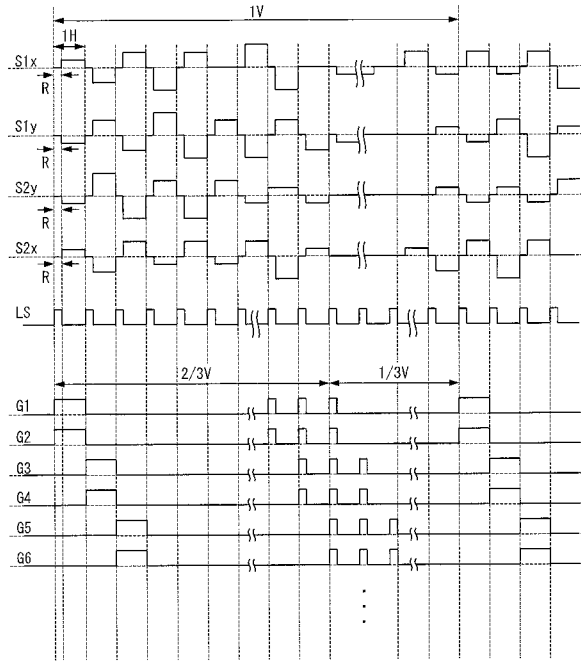
【図21】



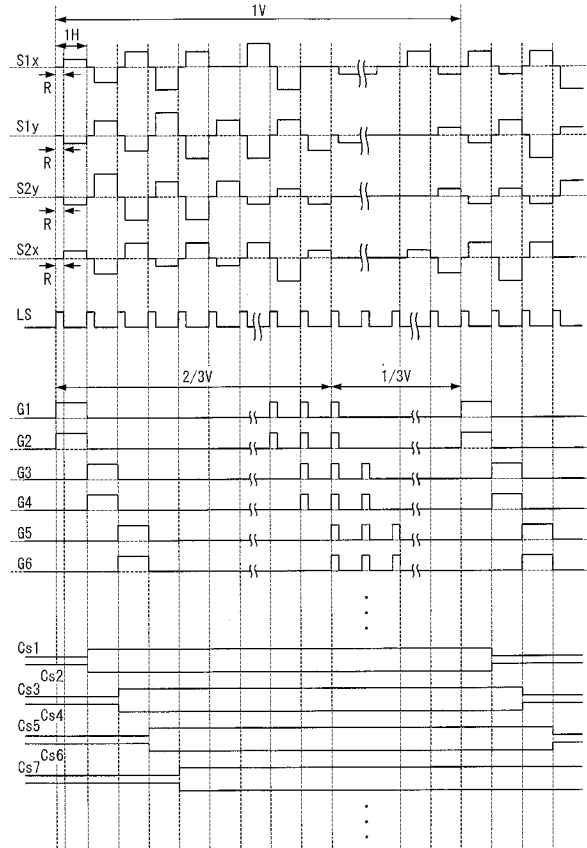
【図22】



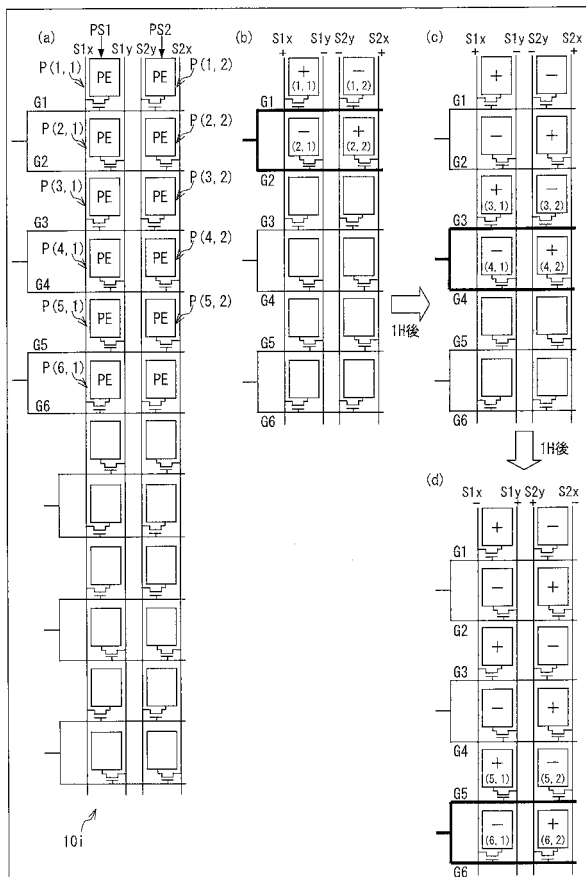
【図 23】



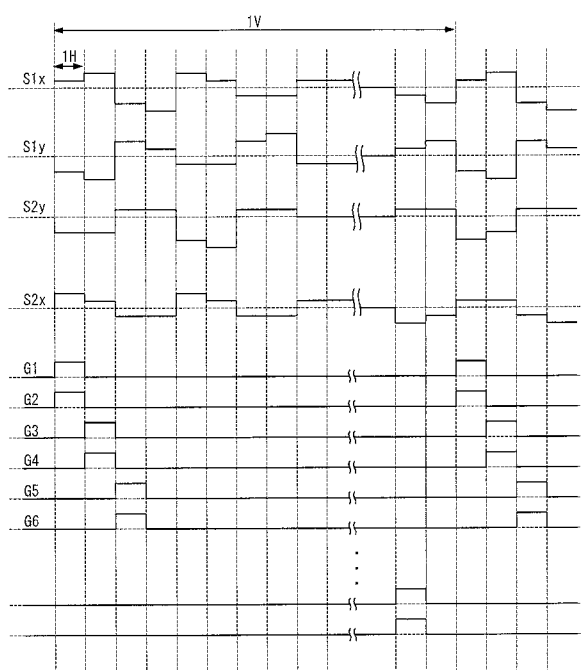
【図 24】



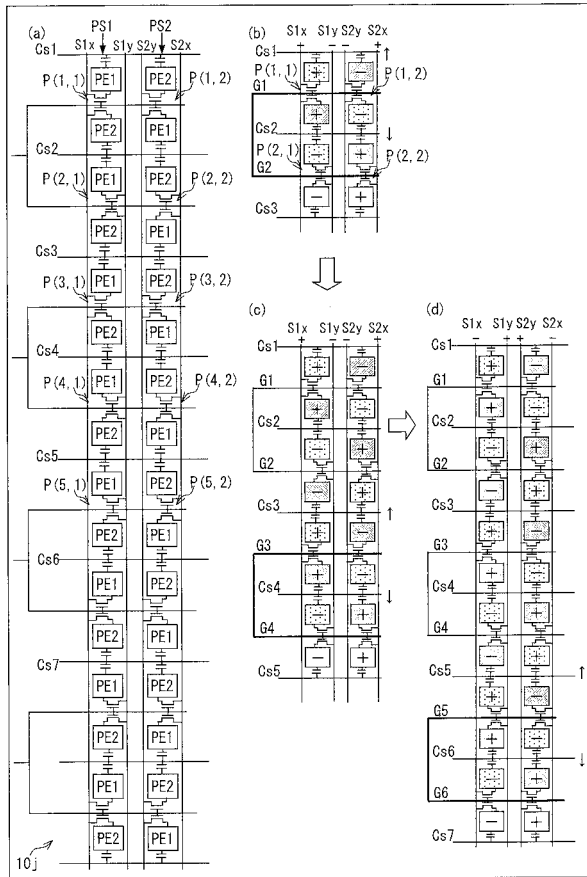
【図 25】



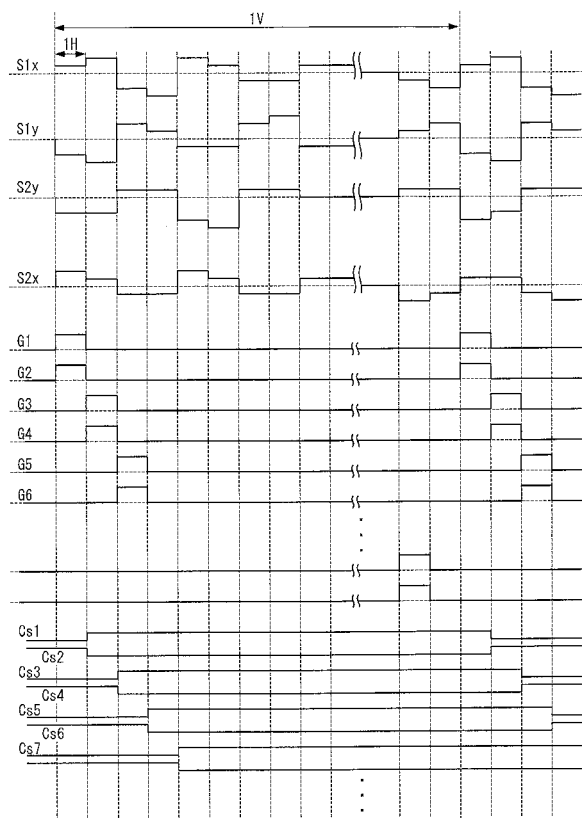
【図 26】



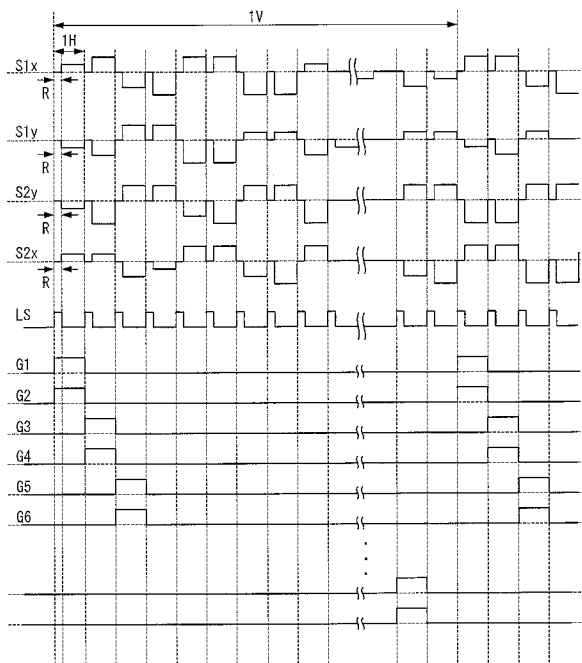
【図 27】



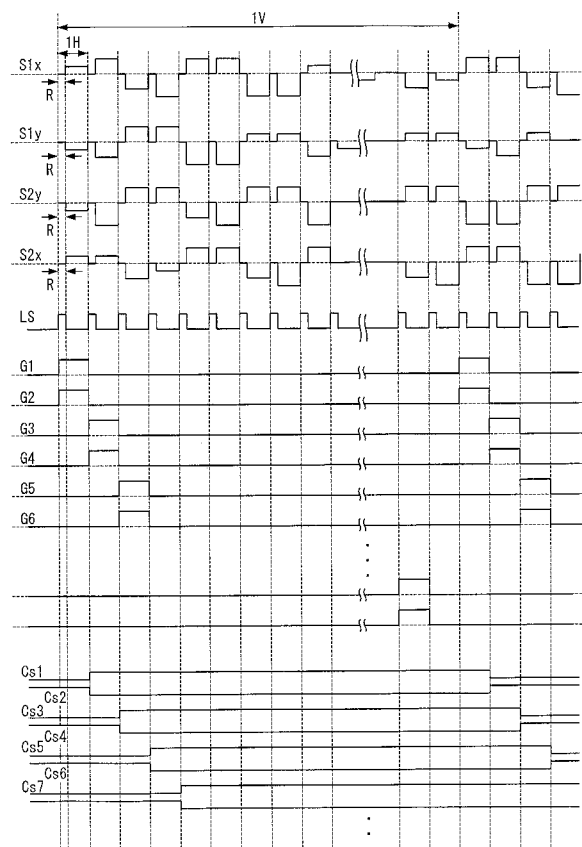
【図 28】



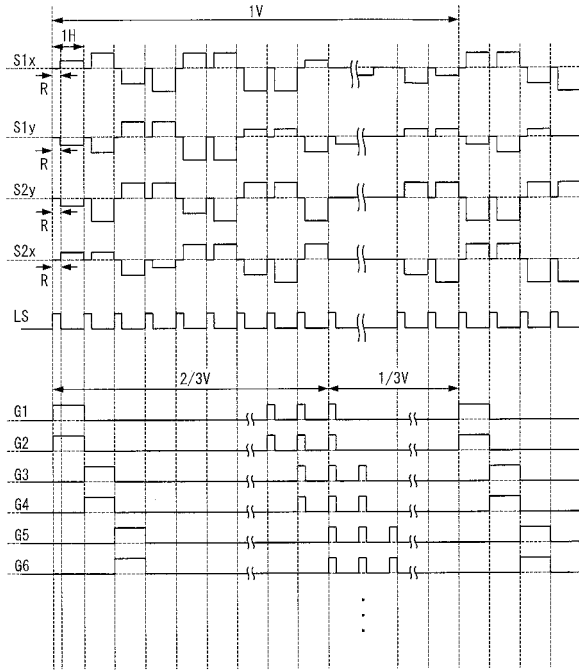
【図 29】



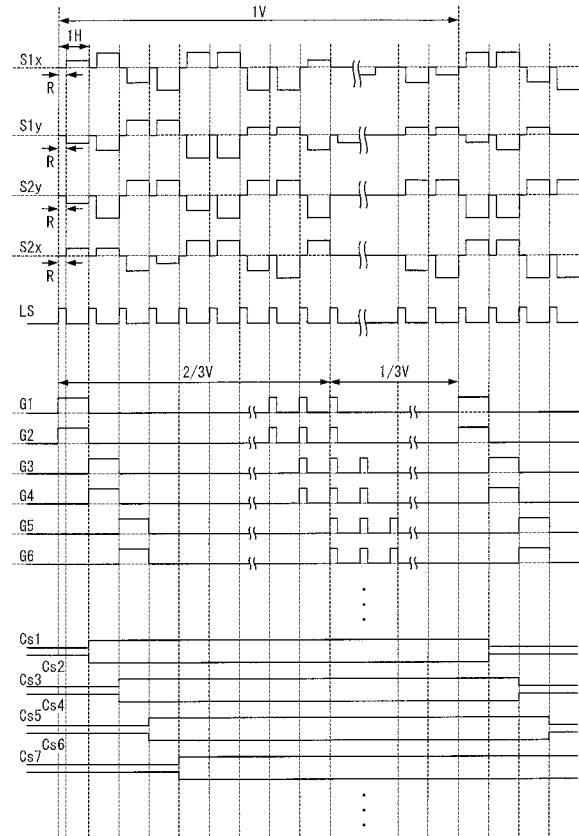
【図 30】



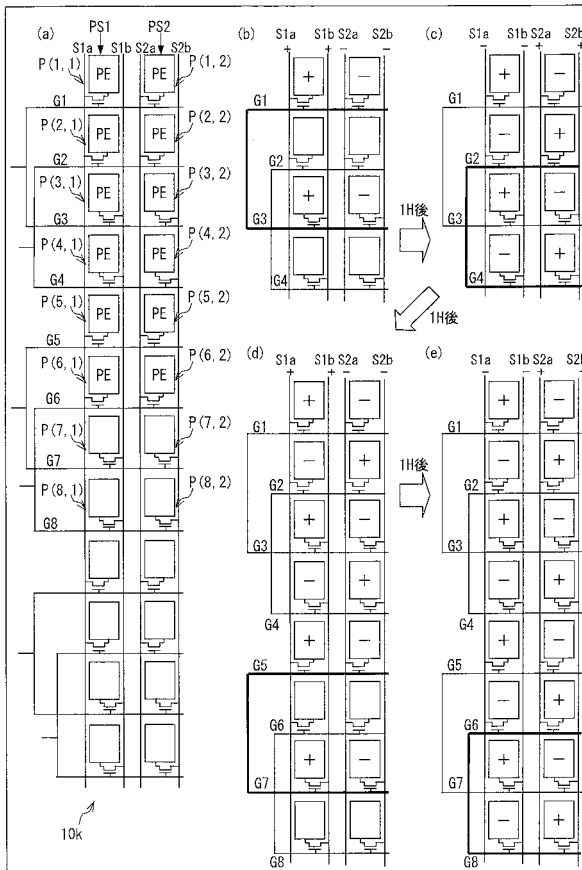
【図 3 1】



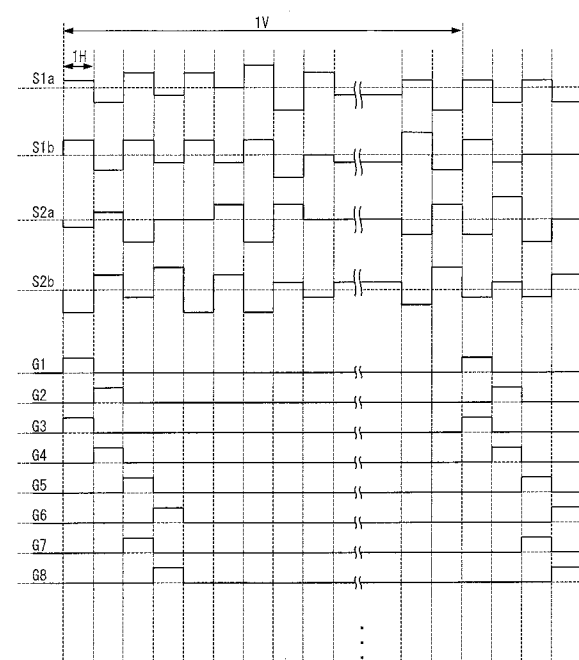
【図 3 2】



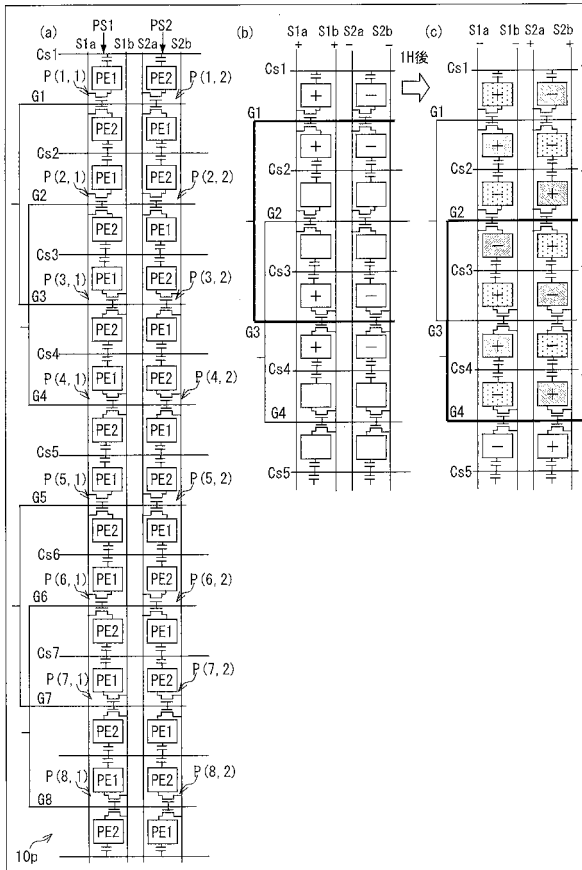
【図 3 3】



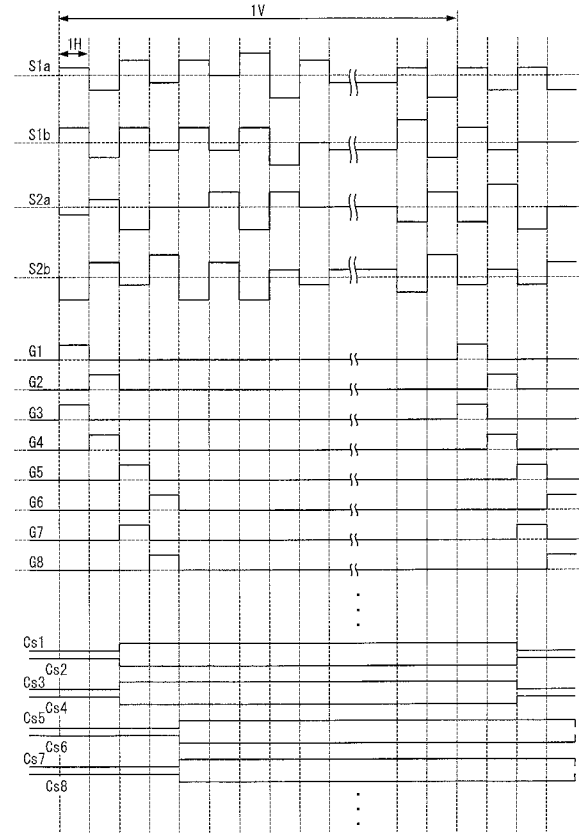
【図 3 4】



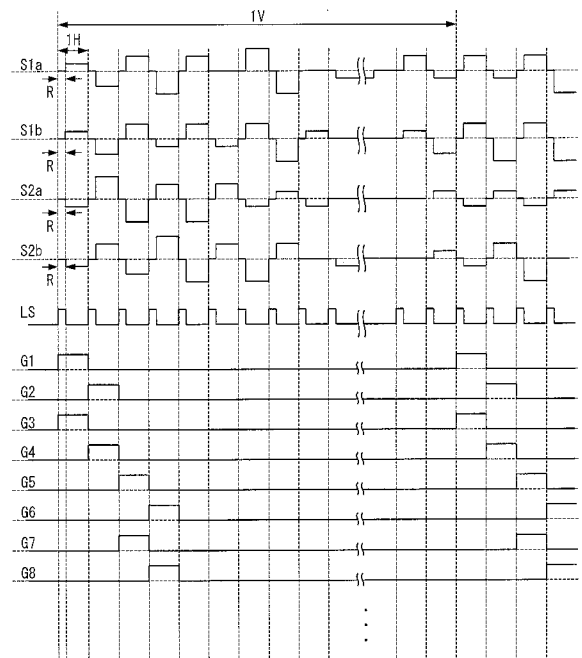
【図 35】



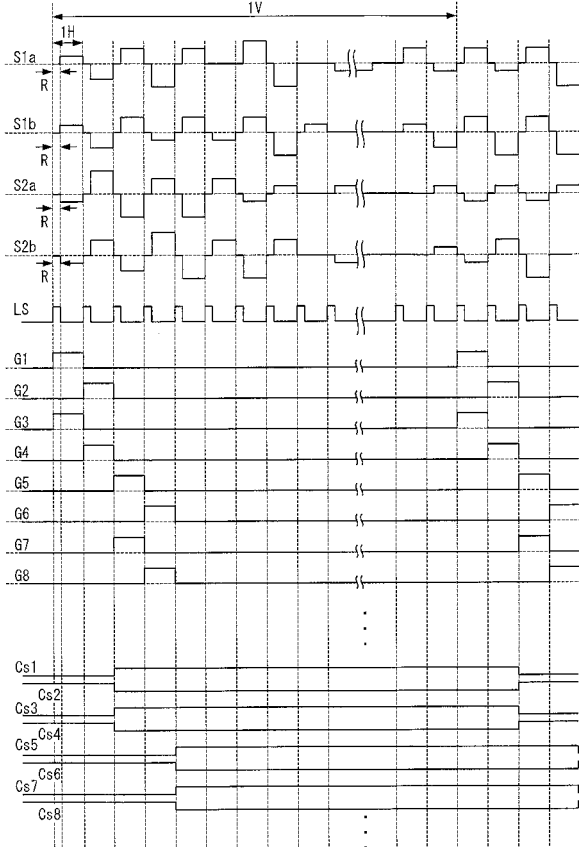
【図 36】



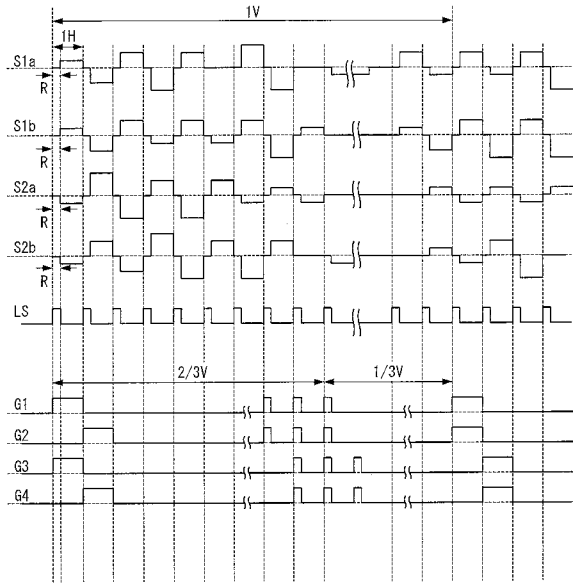
【図 37】



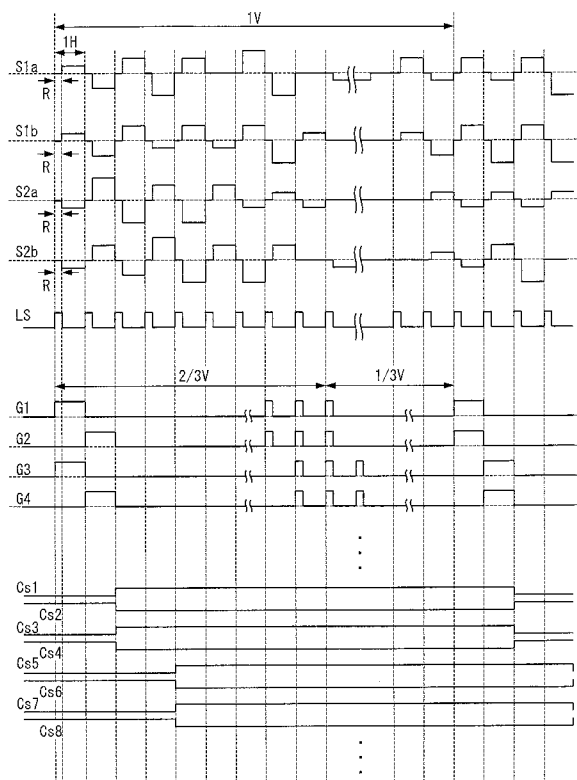
【図 38】



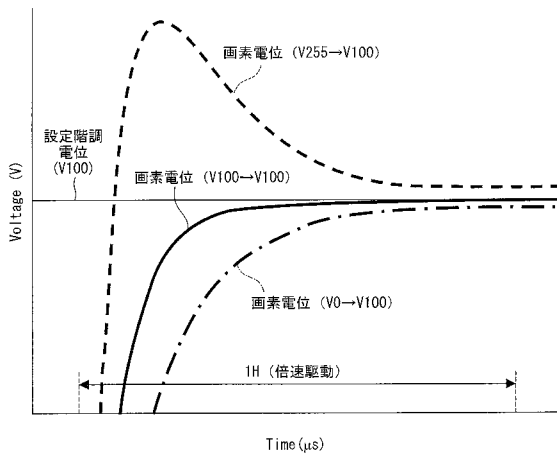
【図 39】



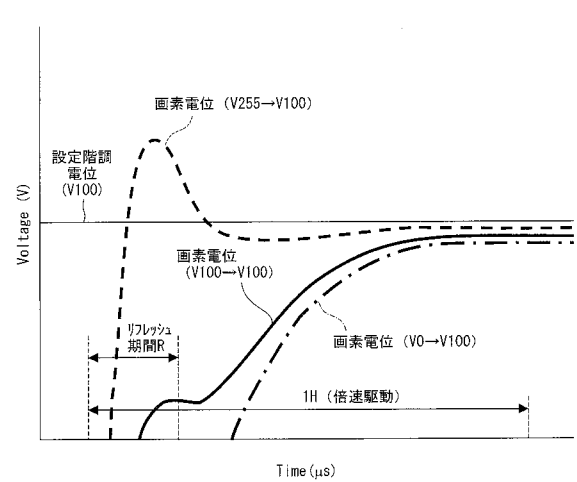
【図 40】



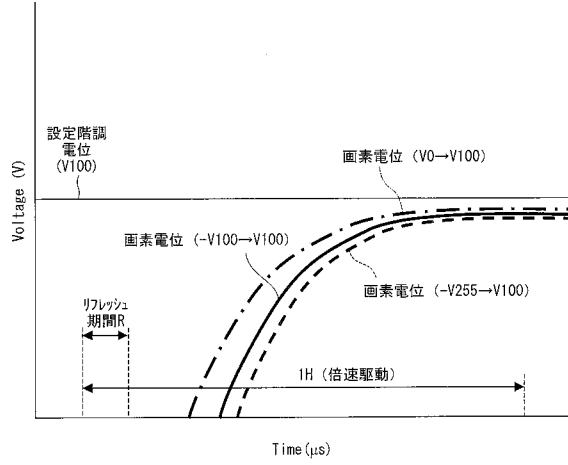
【図 41】



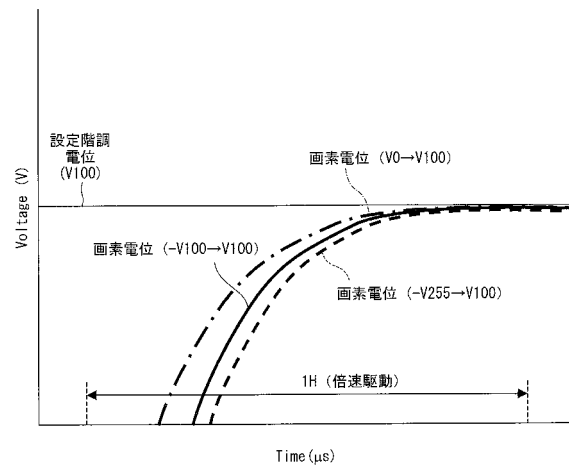
【図 42】



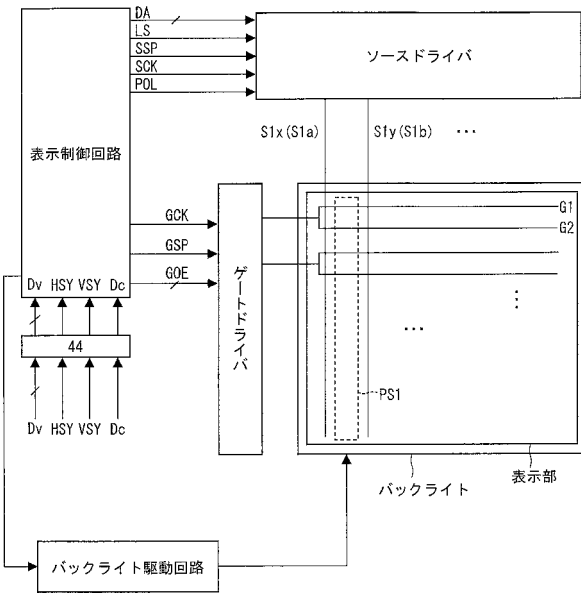
【図43】



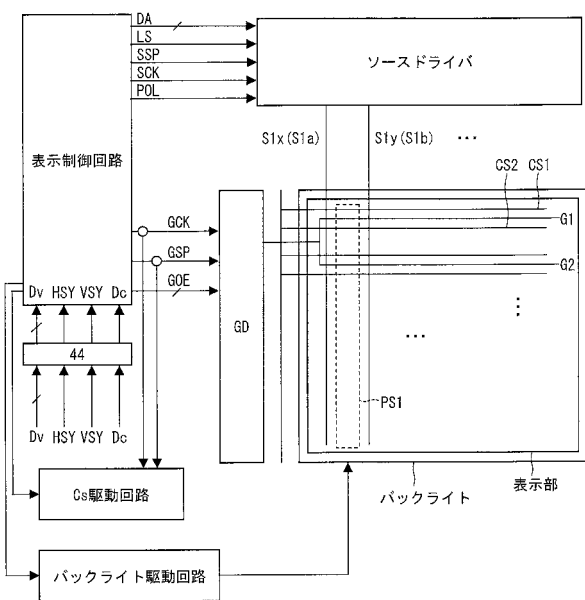
【図44】



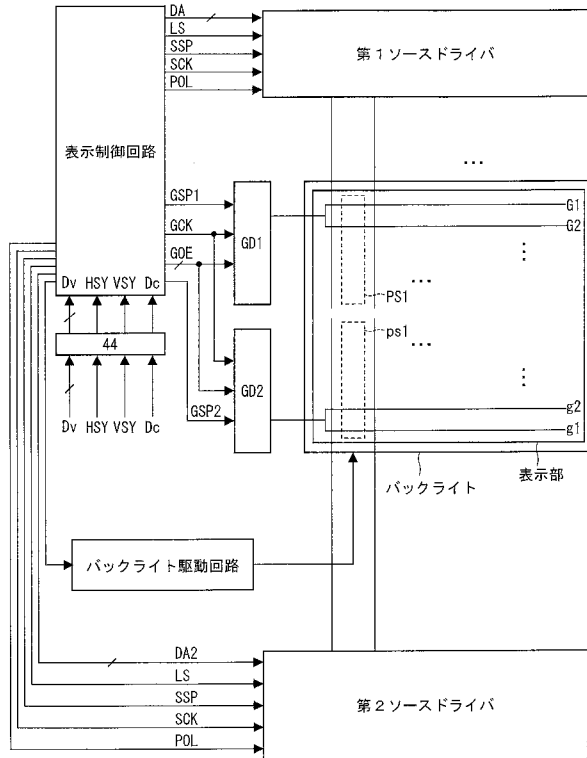
【図45】



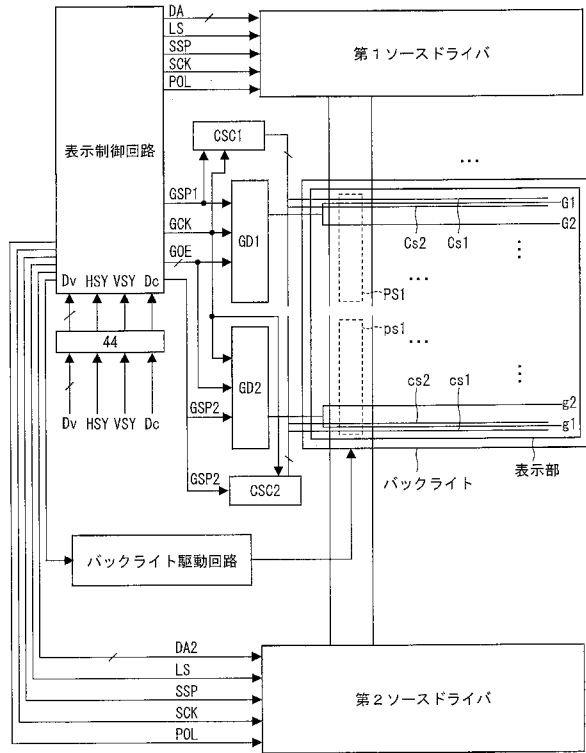
【図46】



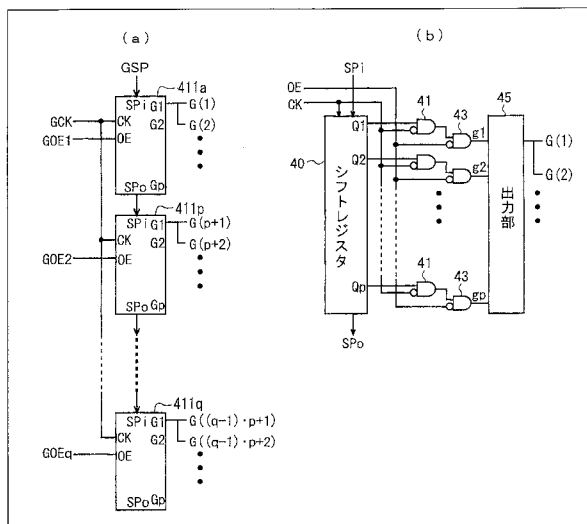
【図47】



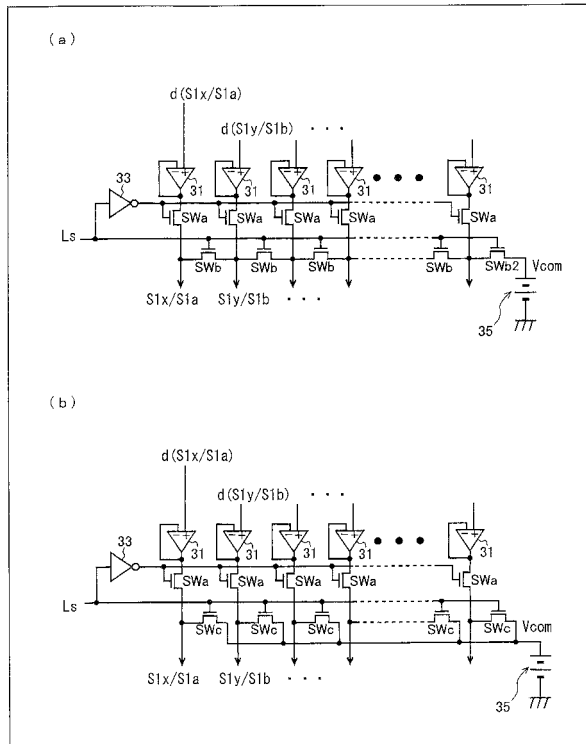
【図48】



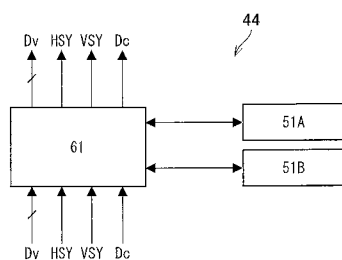
【図49】



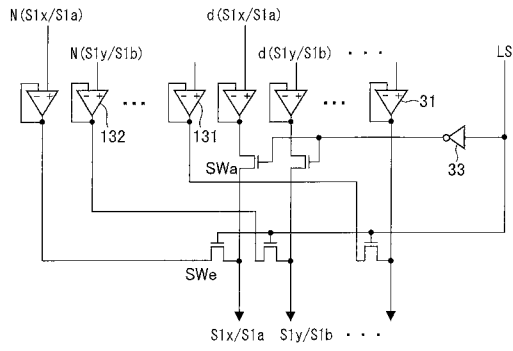
【図51】



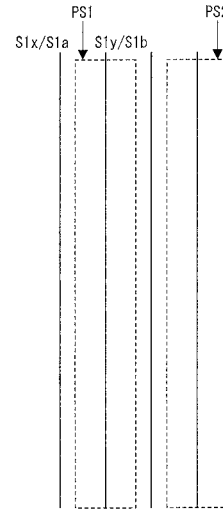
【図50】



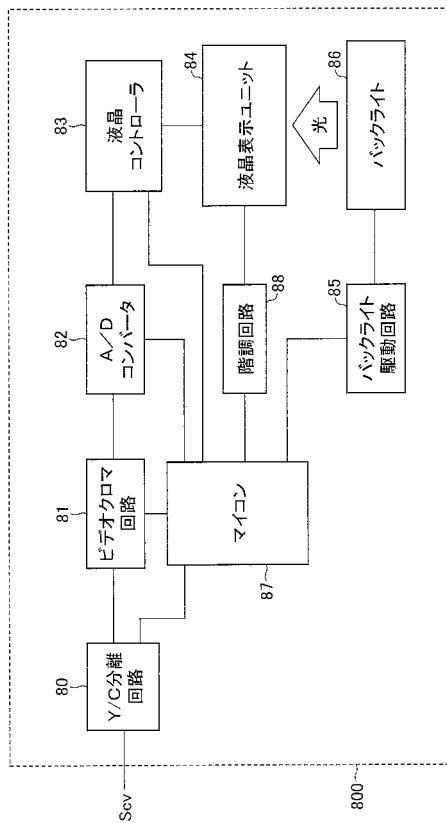
【図52】



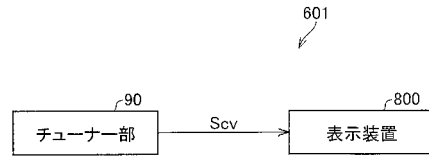
【図53】



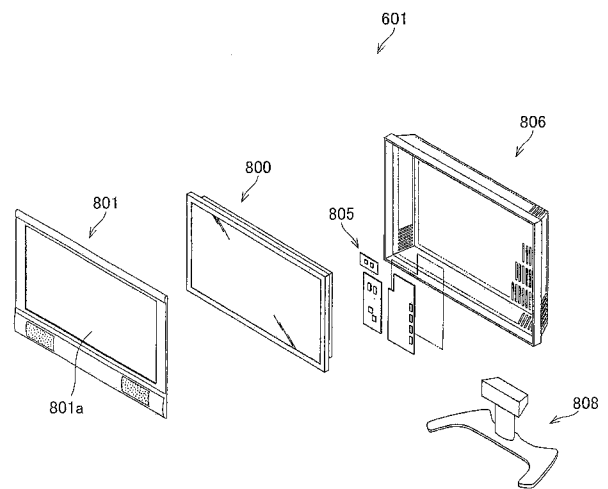
【図54】



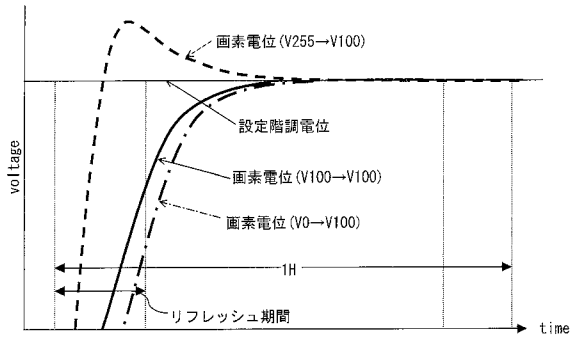
【図55】



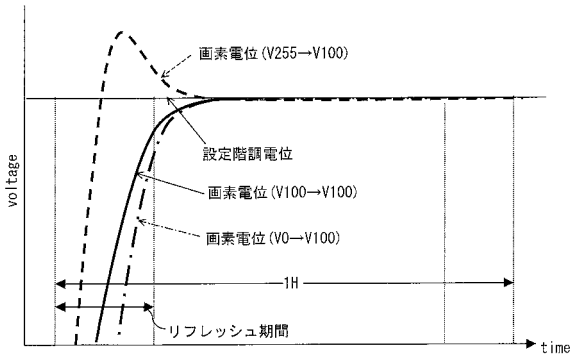
【図56】



【図 57】



【図 58】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 2 J
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 2 3 W
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 4 1 R
G 0 9 G	3/20	6 8 0 H

(72)発明者 津幡 俊英

日本国大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

合議体

審判長 飯野 茂

審判官 中塚 直樹

審判官 小林 紀史

(56)参考文献 特開平10-253987(JP,A)

特開2005-208551(JP,A)

特開2006-106062(JP,A)

特開2007-256540(JP,A)

特開2005-31202(JP,A)

特開2007-298769(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133

专利名称(译)	液晶显示装置，液晶显示装置的驱动方法，电视接收机		
公开(公告)号	JP5512284B2	公开(公告)日	2014-06-04
申请号	JP2009547954	申请日	2008-11-11
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	杉原利典 伴厚志 津幡俊英		
发明人	杉原 利典 伴 厚志 津幡 俊英		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G02F1/136286 G02F2203/30 G09G3/2096 G09G3/3607 G09G3/3614 G09G3/3648 G09G3/3666 G09G3/3677 G09G3/3688 G09G2300/0426 G09G2300/0447 G09G2310/021 G09G2310/0289 G09G2320/0247 G09G2320/028		
FI分类号	G09G3/36 G02F1/133.525 G02F1/133.550 G09G3/20.611.E G09G3/20.621.B G09G3/20.622.J G09G3/ /20.623.U G09G3/20.623.W G09G3/20.624.B G09G3/20.624.C G09G3/20.641.R G09G3/20.680.H		
审查员(译)	饭野滋		
助理审查员(译)	纳基·纳卡塔茨卡		
优先权	2007338259 2007-12-27 JP		
其他公开文献	JPWO2009084331A1		
外部链接	Espacenet		

摘要(译)

对应于一个像素列（例如，PS1）提供第一和第二数据信号线（例如，S1x-S1y），并且将彼此相反极性的信号电位提供给这些数据信号线。像素（P（1,1））被设置为计数开始时的第一像素，以及扫描方向上除 $2 \times n \times i + 1$ 像素之外的像素（例如，P（2,1））连接到与前一级像素不同的数据信号线（例如，S1y），而 $2 \times n \times i + 1$ 像素（例如，在 $n = i = 1$ 的情况下为P（3,1））是连接到与前一级像素相同的数据信号线（例如，S1y）并提供给每条数据信号线的信号电位的极性每n个水平扫描周期（例如1H）和扫描信号线（G1, G1）反转。G2）从连接到预定像素的扫描信号线（G1）开始依次，将共同选择的相邻的两个。根据上述配置，在液晶显示装置中，可以在抑制闪烁的同时增加像素充电时间。

【图2】

